数字信号处理器 FCP32C335

特性

- 高性能静态 CMOS 技术
  - 高达 150MHz（6.67ns 周期时间）
  - 1.9V/1.8V 内核，3.3V I/O 设计
  - 支持允许系统进入休眠模式，直到被主站寻址的低功耗模式
- 高性能 32 位 CPU
  - IEEE-754 单精度浮点单元（FPU）
  - 16x16 和 32x32 介质访问控制(MAC)运算
  - 16x16 双 MAC
  - 哈佛(Harvard)总线架构
  - 快速中断响应和处理
  - 统一存储器编程模型
  - 高效代码（使用 C/C++和汇编语言）
- 6 通道 DMA 处理器（用于 ADC，McBSP，ePWM，XINTF 和 SARAM）
- 16 位或 32 位外部接口(XINTF)
  - 超过 2M×16 地址范围
- 片载存储器
  - 256K×16 闪存，34K×16SARAM
  - 1Kx16 一次性可编程(OTP)ROM
- 引导 ROM(8KX16)
  - 支持软件引导模式（通过 SCI，SPI，CAN，I^2C，McBSP，XINTF 和并行 I/O）
  - 标准数学表
- 时钟和系统控制
  - 支持动态锁相环(PLL)比率变化
  - 片载振荡器
  - 安全装置定时器模块
- GPIO0 到 GPIO63 引脚可以连接到八个外部内核中断其中的一个
- 可支持全部 58 个外设中断的外设中断扩展(PIE)块
- 128 位安全密钥/锁
  - 保护闪存/OTP/RAM 模块
  - 防止固件逆向工程
- 低功耗模式和省电模式
  - 支持 IDLE（空闲）,STANDBY（待机）、HALT（暂停）模式
- 字节序：小端序
- 工作温度范围：-40℃至 125℃
- 增强型控制外设
  - 多达 18 个脉宽调制(PWM)输出
  - 高达 6 个支持 150ps 微边界定位(MEP)分辨率的高分辨率脉宽调制器(HRPWM)输出
  - 高达 6 个事件捕捉输入
  - 多达两个正交编码器接口
  - 高达 8 个 32 位定时器
  - （6 个 eCAP 以及 2 个 eQEP）
  - 高达 9 个 32 位定时器（6 个 ePWM 以及 3 个 XINTCTR）
- 三个 32 位 CPU 定时器
- 串行端口外设
  - 2 个控制器局域网(CAN)模块
  - 3 个 SCI(UART)模块
  - 2 个 McBSP 模块（可配置为 SPI）
  - 1 个 SPI 模块
  - 1 个内部集成电路(I^2C)总线
- 12 位模数转换器(ADC)，16 个通道
  - 80ns 转换速率
  - 2×8 通道输入多路复用器
  - 两个采样保持
  - 单个/同步转换
  - 内部或外部基准
- 多达 88 个具有输入滤波功能可单独编程的多路复用通用输入输出(GPIO)引脚
- JTAG 边界扫描支持
- 高级仿真特性
  - 分析和断点功能
  - 硬件实时调试
- 开发支持包括

  - ANSIC/C++编译器/汇编器/连接器
  - CodeComposerStudio™IDE
  - DSP/BIOS™和 SYS/BIOS
  - 数字电机控制和数字电源软件库
- 产品型号
  - FCP32C335P2N
  - FCP32C335P3N
  - FCP32C335B2N

目录

图目录 5
表目录 6
1 描述 8
1.1 器件特性 8
1.1.1 引脚图 9
1.2 信号说明 14
1.3 功能框图 25
1.4 简要说明 26
1.4.1 内存总线（哈弗总线架构） 26
1.4.2 实时 JTAG 和分析 26
1.4.3 外部接口(XINTF) 26
1.4.4 闪存 27
1.4.5 SARAM 27
1.4.6 引导 ROM 28
1.4.7 安全性 30
1.4.8 外设中断扩展(PIE) 31
1.4.9 外部中断(XINT1-XINT7，XNMI) 31
1.4.10 振荡器和锁相环(PLL) 31
1.4.11 看门狗 31
1.4.12 外设时钟 31
1.4.13 低功耗模式 32
1.4.14 外设帧 0，1，2，3(PFn) 33
1.4.15 通用输入/输出(GPIO)复用器 34
1.4.16 32 位 CPU 定时器(0，1，2) 34
1.4.17 控制外设 35
1.4.18 串行端口外设 35
1.5 外设 36
1.5.1 DMA 概述 37
1.5.2 32 位 CPU 定时器 0，CPU 定时器 1，CPU 定时器 2 38
1.5.3 增强型 PWM 模块 40
1.5.4 高分辨率 PWM(HRPWM) 44
1.5.5 增强型捕获模块（eCAP）模块 45
1.5.6 增强型正交编码器脉冲(QEP)模块 47
1.5.7 模数转换器(ADC)模块 49
1.5.8 多通道缓冲串行端口(McBSP)模块 54

1.5.9 增强型控制器局域网(eCAN)模块（eCAN-A 和 eCAN-B） 57
1.5.10 串行通信接口(SCI)模块(SCI-A，SCI-B，SCI-C) 61
1.5.11 串行外设接口(SPI)模块（SPI-A） 64
1.5.12 内部集成电路(I^2C) 65
1.5.13 GPIOMUX 68
1.5.14 外部接口(XINTF) 72
1.6 内存映射 75
1.7 寄存器映射 79
1.8 中断 82
2 电参 86
2.1 建议运行条件 86
2.2 功耗 87
3 时序 88
3.1 上电时序 88
4 订购信息 89
5 托盘信息 90
6 包装信息 91
7 封装 92
8 SMT 焊接曲线推荐 95
9 修订记录 96

图目录

图 1-1 176 引脚薄型四方扁平封装（LQFP）引脚图 9
图 1-2 BGA176(左上象限底视图) 10
图 1-3 BGA176(右上象限底视图) 11
图 1-4 BGA176(左下象限底视图) 12
图 1-5 BGA176(右下象限底视图) 13
图 1-6 功能方框图 25
图 1-7 DMA 功能方框图 37
图 1-8 CPU 定时器 38
图 1-9 CPU 定时器中断信号和输出信号 38
图 1-10 时基计数器同步方案 3 40
图 1-11 ePWM 信号互连 42
图 1-12 eCAP 功能方框图 45
图 1-13 eQEP 功能方框图 47
图 1-14 ADC 功能框图 50
图 1-15 ADC 内部基准引脚 50
图 1-16 ADC 外部基准引脚 51
图 1-17 MCBSP 功能方框图 55
图 1-18 eCAN 方框图和接口电路 58
图 1-19 eCAN-A 内存映射 58
图 1-20 eCAN-B 内存映射 59
图 1-21 SPI 方框图 65
图 1-22 I^2C 外设模块接口 66
图 1-23 GPIO 复用 68
图 1-24 使用采样窗口的限定 71
图 1-25 外部接口方框图 72
图 1-26 典型的 16 位数据总线 XINTF 连接 73
图 1-27 典型的 32 位数据总线 XINTF 连接 73
图 1-28 外部和 PIE 中断源 82
图 1-29 外部中断 82
图 1-30 PIE 块的中断复用 83
图 5-1 托盘信息 90
图 8-1 焊接曲线 95

表目录

表 1-1 器件特性 8
表 1-2 信号说明 14
表 1-3 引导 ROM 28
表 1-4 引导加载器使用的外设引脚 29
表 1-5 外设帧 0，1，2，3 33
表 1-6 控制外设 35
表 1-7 串行端口外设 35
表 1-8 CPU 定时器寄存器 39
表 1-9 ePWM 控制和状态寄存器 41
表 1-10 重新映射寄存器 43
表 1-11 eCAP 控制和状态寄存器 46
表 1-12 eQEP 控制和状态寄存器 48
表 1-13 ADC 控制和状态寄存器 52
表 1-14 MCBSP 寄存器 56
表 1-15 CAN 寄存器映射 60
表 1-16 SCIA 寄存器 62
表 1-17 SCIB 寄存器 62
表 1-18 SCIC 寄存器 63
表 1-19 SPI 端口配置和寄存器 65
表 1-20 I^2C 寄存器 67
表 1-21 GPIO 寄存器映射 69
表 1-22 XINTF 配置和控制寄存器 74
表 1-23 内存映射 76
表 1-24 闪存扇区地址 77
表 1-25 安全代码地址 78
表 1-26 外设帧 0 寄存器 79
表 1-27 外设帧 1 寄存器 80
表 1-28 外设帧 2 寄存器 80
表 1-29 外设帧 3 寄存器 81
表 1-30 PIE 外设中断向量表 83
表 1-31 PIE 配置和控制寄存器 84
表 1-32 外部中断寄存器 85
表 2-1 建议运行条件 86
表 2-2 功耗 87
表 4-1 订购信息 89

表 5-1 托盘信息.....90
表 6-1 包装信息.....91
表 8-1 焊接参数.....95

1 描述

1.1 器件特性

表 1-1 器件特性

特性	FCP32C335(150MHz)
指令周期	6.67ns
浮点单元	支持
3.3V 片载闪存(16 位字)	256K
单周期访问 RAM(SARAM)（16 位字）	34K
一次性可编程(OTP)ROM（16 位字）	1K
针对片上闪存/SARAM/OTP 块的代码安全	支持
引导 ROM(8K×16)	支持
16/32 位外部接口（XINTF）	是
6 通道直接内存存取(DMA)	是
PWM 通道	ePWM1/2/3/4/5/6
HRPWM 通道	ePWM1A/2A/3A/4A/5A/6A
32 位捕捉输入或辅助 PWM 输出	eCAP1/2/3/4/5/6
32 位正交编码器脉冲(QEP)通道（四个输入/通道）	eQEP1/2
看门狗定时器	支持
16 通道 12 位 ADC	是
32 位 CPU 定时器	3
多通道缓冲串行端口(McBSP)/SPI	2(A/B)
串行外设接口(SPI)	1
串行通信接口(SCI)（兼容 UART）	3(A/B/C)
增强型控制器局域网(eCAN)	2(A/B)
内部集成电路(I^2C)	1
通用 I/O 引脚（共用）	88
外部中断	8

1.1.1 引脚图

下图为 176 引脚薄型四方扁平封装（LQFP）引脚图。

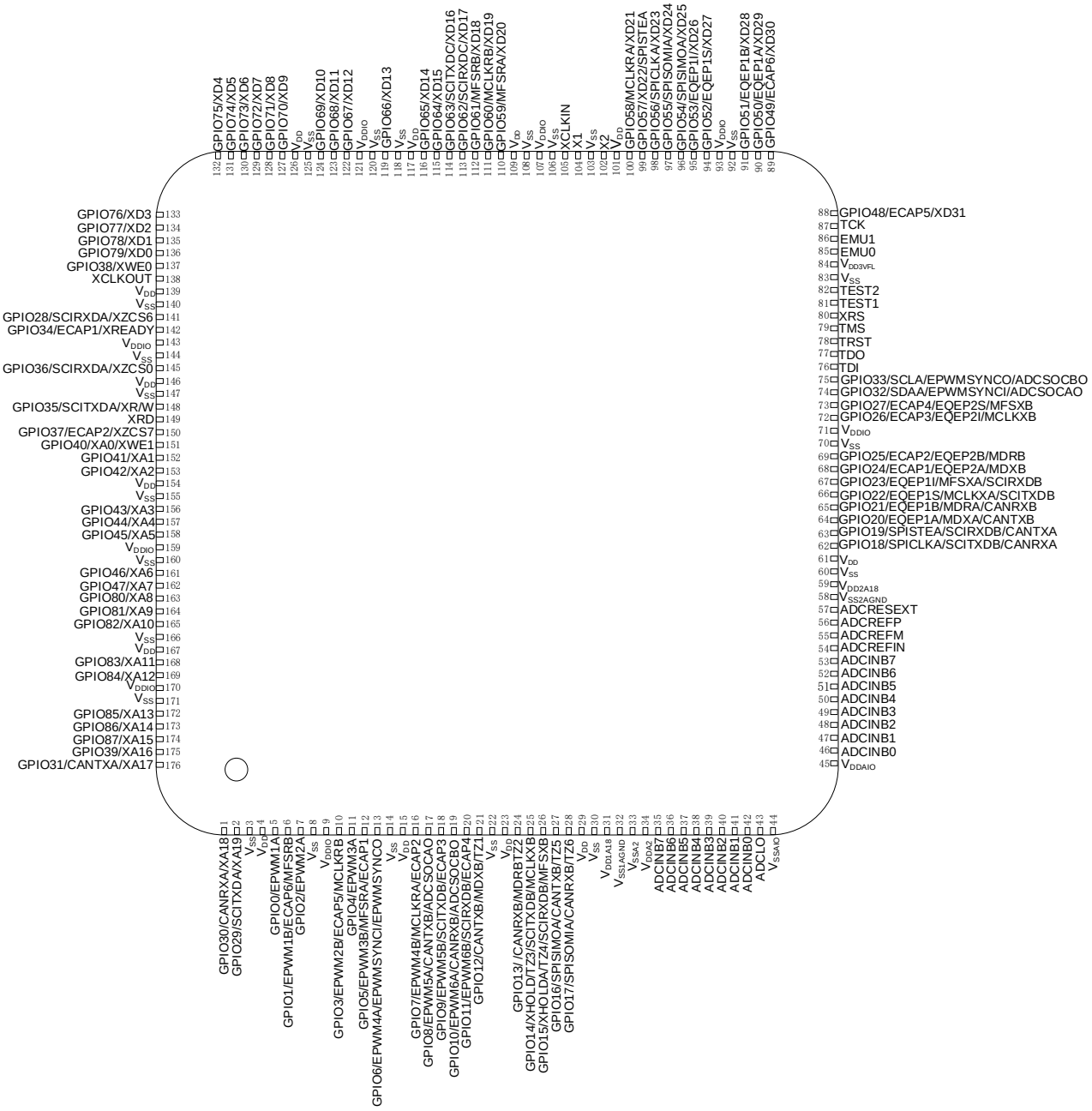


图 1-1 176 引脚薄型四方扁平封装（LQFP）引脚图

V_{SSA2}	$V_{SS2AGND}$	ADCINB0	ADCREFM	ADCREFP	ADCRESEXT	ADCREFIN
V_{SSAIO}	ADCLO	ADCINB1	ADCINB3	ADCINB5	ADCINB7	EMU0
ADCINA2	ADCINA1	ADCINA0	ADCINB2	ADCINB4	ADCINB6	TEST1
ADCINA5	ADCINA4	ADCINA3	$V_{SS1AGND}$	V_{DDAIO}	V_{DD2A18}	TEST2
ADCINA7	ADCINA6	V_{DD1A18}	V_{DDA2}			
GPIO15 TZ4 XHOLDA SCIRXDB MFSXB	GPIO16 SPISIMOA CANTXB TZ5	GPIO17 SPISOMIA CANRXB TZ6	V_{DD}		V_{SS}	V_{SS}
GPIO12 TZ1 CANTXB MDXB	GPIO13 TZ2 CANRXB MDRB	GPIO14 TZ3 XHOLD SCITXDB MCLKXB	V_{DD}		V_{SS}	V_{SS}

图 1-2 BGA176(左上象限底视图)

EMU1	GPIO20 EQEP1A MDXA CANTXB	GPIO23 EPQE1I MFSXA SCIRXDB	GPIO26 ECAP3 EQEP2I MCLKXB	GPIO33 SCLA EPWMSYNCO ADCSOCBO	V_{SS}	V_{SS}
GPIO18 SPICLKA SCITXDB CANRXA	GPIO21 EQEP1B MDRA CANRXB	GPIO24 ECAP1 EQEP2A MDXB	GPIO27 ECAP4 EQEP2S MFSXB	TDI	TDO	V_{DDIO}
GPIO19 SPISTEA SCIRXDB CANTXA	GPIO22 EQEP1S MCLKXA SCITXDB	GPIO25 ECAP2 EQEP2B MDRB	GPIO32 SDAA EPWMSYNCI ADSOCAO	TMS	XRS	TCK
V_{DD}	V_{DD3VFL}	V_{DDIO}	TRST	GPIO50 EQEP1A XD29	GPIO49 ECAP6 XD30	GPIO48 ECAP5 XD31
			V_{DD}	GPIO53 EQEP1I XD26	GPIO52 EQEP1S XD27	GPIO51 EQEP1B XD28
V_{SS}	V_{SS}		V_{DD}	GPIO56 SPICLKA XD23	GPIO55 SPISOMIA XD24	GPIO54 SPISIMOA XD25
V_{SS}	V_{SS}		GPIO59 MFSRA XD20	GPIO58 MCLKRA XD21	GPIO57 SPISTEA XD22	X2

图 1-3 BGA176(右上象限底视图)

GPIO9 EPWM5B SCITXDB ECAP3	GPIO10 EPWM6A CANRXB ADCSOCBO	GPIO11 EPWM6B SCIRXDB ECAP4	V_{DDIO}		V_{SS}	V_{SS}
GPIO6 EPWM4A EPWMSYNCI EPWMSYNCO	GPIO7 EPWM4B MCLKRA ECAP2	GPIO8 EPWM5A CANTXB ADCSOCAO	V_{DD}		V_{SS}	V_{SS}
GPIO3 EPWM2B ECAP5 MCLKRB	GPIO4 EPWM3A	GPIO5 EPWM3B MFSRA ECAP1	V_{DDIO}			
GPIO0 EPWM1A	GPIO1 EPWM1B ECAP6 MFSRB	GPIO2 EPWM2A	V_{DD}	V_{DD}	GPIO47 XA7	V_{DDIO}
GPIO29 SCITXDA XA19	GPIO30 CANRXA XA18	GPIO39 XA16	GPIO85 XA13	GPIO82 XA10	GPIO46 XA6	GPIO43 XA3
V_{DDIO}	GPIO31 CANTXA XA17	GPIO87 XA15	GPIO84 XA12	GPIO81 XA9	GPIO45 XA5	GPIO42 XA2
V_{SS}	V_{SS}	GPIO86 XA14	GPIO83 XA11	GPIO80 XA8	GPIO44 XA4	GPIO41 XA1

图 1-4 BGA176(左下象限底视图)

V_{SS}	V_{SS}		V_{DDIO}	GPIO60 MCLKRB XD19	XCLKIN	X1
V_{SS}	V_{SS}		V_{DD}	GPIO63 SCITXDC XD16	GPIO62 SCIRXDC XD17	GPIO61 MFSRB XD18
			V_{DD}	GPIO66 XD13	GPIO65 XD14	GPIO64 XD15
V_{DD}	V_{DD}	GPIO28 SCIRXDA XZCS6	V_{DDIO}	GPIO69 XD10	GPIO68 XD11	GPIO67 XD12
GPIO40 XA0 XWE1	GPIO36 SCIRXDA XZCS0	GPIO38 XWE0	GPIO78 XD1	GPIO75 XD4	GPIO71 XD8	GPIO70 XD9
GPIO37 ECAP2 XZCS7	GPIO35 SCITXDA XR/W	GPIO79 XD0	GPIO77 XD2	GPIO74 XD5	GPIO72 XD7	V_{SS}
XRD	GPIO34 ECAP1 XREADY	XCLKOUT	GPIO76 XD3	GPIO73 XD6	V_{DDIO}	V_{SS}

图 1-5 BGA176(右下象限底视图)

1.2 信号说明

表 1-2 信号说明

引脚名称	LQFP 176	BAG 176	引脚方向	引脚说明
$\overline{TRST}$	78	L11	I	带有内部下拉电阻的 JTAG 测试复位。当被驱动至高电平时，$\overline{TRST}$ 使扫描系统获得器件运行的控制权。如果此信号未连接或驱动至低电平，则器件将在功能模式下运行，测试复位信号将被忽略。 注意：$\overline{TRST}$ 是一个高电平有效测试引脚并且必须在正常器件运行期间一直保持低电平。在这个引脚上需要一个外部下拉电阻器。此电阻器的阻值应该基于适用于该设计的调试器驱动强度。通常情况下，一个 2.2kΩ 电阻器可提供足够的保护。由于这是特定于应用的，建议针对调试器和应用的适当运行对每个目标板进行验证。
TCK	87	M14	I	带有内部上拉电阻的 JTAG 测试时钟
TMS	79	M12	I	带有内部上拉电阻器的 JTAG 测试模式选择(TMS)。此串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。 TAP 控制器中计时
TDI	76	N12	I	带有内部上拉电阻器的 JTAG 测试数据输入(TDI)。TDI 在 TCK 上升沿上的所选寄存器（指令或数据）中计时。
TDO	77	N13	O/Z	JTAG 扫描输出，测试数据输出(TDO)。所选寄存器（指令或者数据）的内容被从 TCK 下降沿上的 TDO 移出。
EMU0	85	N7	I/O/Z	仿真器引脚 0。当 $\overline{TRST}$被驱动为高电平时，此引脚用作一个对 JTAG 调试探针系统的中断或来自该系统的中断并在 JTAG 扫描过程中被定义为输入/输出。这个引脚也被用于将器件置于边界扫面模式中。在 EMU0 引脚处于逻辑高电平状态并且 EMU1 引脚处于逻辑低电平状态时，$\overline{TRST}$引脚的上升沿将把器件锁存在边界扫描模式。 注意：在这个引脚上需要一个外部上拉电阻器。这个电阻器的值应该基于适用于这个设计的调试器推进源代码的驱动强度。通常一个 2.2kΩ 至 4.7kΩ 的电阻器已可以满足要求。由于这是特定于应用的，建议针对调试器和应用的适当运行对每个目标板进行验证。
EMU1	86	P8	I/O/Z	仿真器引脚 1。当 $\overline{TRST}$ 被驱动为高电平时，此引脚用作一个对 JTAG 调试探针系统的中断或来自该系统的中断并在 JTAG 扫描过程中被定义为输入/输出。这个引脚也被用于将器件置于边界扫面模式中。在 EMU0 引脚处于逻辑高电平状态并且 EMU1 引脚处于逻辑低电平状态时，$\overline{TRST}$ 引脚的上升沿将把器件锁存在边界扫面模式。 注意：在这个引脚上需要一个外部上拉电阻器。这个电阻器的值应该基于适用于这个设计的调试器推进源代码的驱动强度。通常一个 2.2kΩ 至 4.7kΩ 的电阻器已可以满足要求。由于这是特定于应用的，建议针对调试器和应用的适当运行对每个目标板进行验证。
V_{DD3VFL}	84	L9		3.3V 闪存内核电源引脚。这个引脚应该一直被连接至 3.3V
TEST1	81	M7	I/O	测试引脚，必须保持未连接状态
TEST2	82	L7	I/O	测试引脚，必须保持未连接状态
XCLKOUT	138	A10	O/Z	SYSCLKOUT 的输出时钟。XCLKOUT 频率或者与 SYSCLKOUT 的频率相同，或者是后者的一半或四分之一。这是由位 18：16(XTIMCLK)和在 XINTCNF2 寄存器中的位 2(CLKMODE)控制的。

				复位时，XCLKOUT=SYSCLKOUT/4。通过将 XINTCNF2[CLKOFF]设定为 1，可关闭 XCLKOUT 信号。与其它 GPIO 引脚不同，复位时，不将 XCLKOUT 引脚置于一个高阻抗状态。
XCLKIN	105	G13	I	外部振荡器输入。这个引脚被用于从一个外部 3.3V 振荡器馈入一个时钟。在这种情况下，X1 引脚必须连接到 GND。如果使用到了晶振/谐振器（或 1.9V 外部振荡器被用来把时钟馈入 X1 引脚），此引脚必须连接到 GND。
X1	104	G14	I	内部/外部振荡器输入。为了使用这个内部振荡器，一个石英晶振或者一个陶瓷电容器必须被连接在 X1 和 X2。X1 引脚 1.9V/1.8V 内核数字电源为基准。可在 X1 引脚上连接一个 1.9V/1.8V 外部振荡器。在这种情况下，XCLKIN 引脚必须接地。如果一个 3.3V 外部振荡器与 XCLKIN 引脚一起使用的话，X1 必须接至 GND。
X2	102	H14	O	内部振荡器输出。一个石英晶振或者一个陶瓷电容器必须被连接在 X1 和 X2。如果 X2 未使用，必须使其保持未连接状态。
$\overline{\text{XRS}}$	80	M13	I/OD	器件复位（输入）和看门狗复位（输出） 器件复位。$\overline{\text{XRS}}$导致器件终止执行。PC 将指向包含在位置 0x3FFFC0 中的地址。当 $\overline{\text{XRS}}$被置为高电平时，在 PC 指向的位置开始执行。当看门狗复位时，此引脚由 MCU 驱动为低电平。看门狗复位期间，在 512 个 OSCCLK 周期的看门狗复位持续时间内，$\overline{\text{XRS}}$引脚被驱动为低电平。 此引脚的输出缓冲器是一个带有内部上拉电阻器的开漏。如果此引脚由外部器件驱动，则应该使用开漏器件。可在该引脚上使用一个外部 R-C 电路，并注意仍要满足断电期间的时序要求。
ADCINA7	35	K1	I	ADC 组 A，通道 7 输入
ADCINA6	36	K2	I	ADC 组 A，通道 6 输入
ADCINA5	37	L1	I	ADC 组 A，通道 5 输入
ADCINA4	38	L2	I	ADC 组 A，通道 4 输入
ADCINA3	39	L3	I	ADC 组 A，通道 3 输入
ADCINA2	40	M1	I	ADC 组 A，通道 2 输入
ADCINA1	41	M2	I	ADC 组 A，通道 1 输入
ADCINA0	42	M3	I	ADC 组 A，通道 0 输入
ADCINB7	53	N6	I	ADC 组 B，通道 7 输入
ADCINB6	52	M6	I	ADC 组 B，通道 6 输入
ADCINB5	51	N5	I	ADC 组 B，通道 5 输入
ADCINB4	50	M5	I	ADC 组 B，通道 4 输入
ADCINB3	49	N4	I	ADC 组 B，通道 3 输入
ADCINB2	48	M4	I	ADC 组 B，通道 2 输入
ADCINB1	47	N3	I	ADC 组 B，通道 1 输入
ADCINB0	46	P3	I	ADC 组 B，通道 0 输入
ADCLO	43	N2	I	低基准（连接至模拟接地）
ADCRESEXT	57	P6	-	ADC 外部电流偏置电阻器。将一个 22kΩ 电阻器接至模拟接地

ADCREFIN	54	P7	I	外部基准输入
ADCREFP	56	P5	O	内部基准正输出。要求将一个低等效串联电阻(ESR)（低于 1.5Ω）的 2.2μF 陶瓷旁路电容器接至模拟接地。
ADCREFM	55	P4	O	内部基准中输出。要求将一个低等效串联电阻(ESR)（低于 1.5Ω）的 2.2μF 陶瓷旁路电容器接至模拟接地。
V_{DDA2}	34	K4		ADC 模拟电源引脚
V_{SSA2}	33	P1		ADC 模拟接地引脚
V_{DDAIO}	45	L5		ADC 模拟 I/O 电源引脚
V_{SSAIO}	44	N1		ADC 模拟 I/O 接地引脚
V_{DD1A18}	31	K3		ADC 模拟电源引脚
$V_{SS1AGND}$	32	L4		ADC 模拟接地引脚
V_{DD2A18}	59	L6		ADC 模拟电源引脚
$V_{SS2AGND}$	58	P2		ADC 模拟接地引脚
V_{DD}	4	D4		CPU 和逻辑数字电源引脚
	15	D5		
	23	D8		
V_{DD}	29	D9		CPU 和逻辑数字电源引脚
	61	E11		
	101	F4		
	109	F11		
	117	H4		
	126	J4		
	139	J11		
	146	K11		
	154	L8		
	167	-		
V_{DDIO}	9	A13		数字 I/O 电源引脚
	71	B1		
	93	D7		
	107	D11		
	121	E4		
	143	G4		
	159	G11		
	170	L10		
	-	N14		

V_{SS}	3	A1		数字接地引脚
	8	A2		
	14	A14		
	22	B14		
	30	F6		
	60	F7		
	70	F8		
V_{SS}	83	F9		数字接地引脚
	92	G6		
	103	G7		
	106	G8		
	108	G9		
	118	H6		
	120	H7		
	125	H8		
	140	H9		
	144	J6		
	147	J7		
	155	J8		
	160	J9		
	166	P13		
	171	P14		
GPIO0 EPWM1A	5	D1	I/O/Z	通用输入/输出 0 增强型 PWM1 输出 A 和 HRPWM 通道
GPIO1 EPWM1B ECAP6 MFSRB	6	D2	I/O/Z	通用输入/输出 1 增强型 PWM1 输出 B 增强型捕捉 6 输入/输出 McBSP-B 接收帧同步
GPIO2 EPWM2A	7	D3	I/O/Z	通用输入/输出 2 增强型 PWM2 输出 A 和 HRPWM 通道
GPIO2 EPWM2A	7	D3	I/O/Z	通用输入/输出 2 增强型 PWM2 输出 A 和 HRPWM 通道
GPIO3 EPWM2B ECAP5 MCLKRB	10	E1	I/O/Z	通用输入/输出 3 增强型 PWM2 输出 B 增强型捕捉 5 输入/输出 McBSP-B 接收时钟

GPIO4 EPWM3A	11	E2	I/O/Z	通用输入/输 4 增强型 PWM3 输出 A 和 HRPWM 通道
GPIO5 EPWM3B MFSRA ECAP1	12	E3	I/O/Z	通用输入/输出 5 增强型 PWM3 输出 B McBSP-B 接收帧同步 增强型捕捉输入/输出 1
GPIO6 EPWM4A EPWMSYNCI EPWMSYNCO	13	F1	I/O/Z	通用输入/输出 6 增强型 PWM4 输出 A 和 HRPWM 通道 外部 ePWM 同步脉冲输入 外部 ePWM 同步脉冲输出
GPIO7 EPWM4B MCLKRA ECAP2	16	F2	I/O/Z	通用输入/输出 7 增强型 PWM4 输出 B McBSP-A 接收时钟 增强型捕捉输入/输出 2
GPIO8 EPWM5A CANTXB $\overline{\text{ADCSOCAO}}$	17	F3	I/O/Z	通用输入/输出 8 增强型 PWM5 输出 A 和 HRPWM 通道 增强型 CAN-B 发送 ADC 转换启动 A
GPIO9 EPWM5B SCITXDB ECAP3	18	G1	I/O/Z	通用输入/输出 9 增强型 PWM5 输出 B SCI-B 传输数据 增强型捕捉输入/输出 3
GPIO10 EPWM6A CANRXB $\overline{\text{ADCSOCBO}}$	19	G2	I/O/Z	通用输入/输出 10 增强型 PWM6 输出 A 和 HRPWM 通道 增强型 CAN-B 接收 ADC 转换启动 B
GPIO11 EPWM6B SCIRXDB ECAP4	20	G3	I/O/Z	通用输入/输出 11 增强型 PWM6 输出 B SCI-B 接收数据 增强型捕捉输入/输出 4
GPIO12 $\overline{\text{TZ1}}$ CANTXB MDXB	21	H1	I/O/Z	通用输入/输出 12 跳闸区输入 1 增强型 CAN-B 发送 McBSP-B 发送串行数据
GPIO13 $\overline{\text{TZ2}}$ CANRXB MDRB	24	H2	I/O/Z	通用输入/输出 13 跳闸区输入 2 增强型 CAN-B 接收 McBSP-B 接收串行数
GPIO14 $\overline{\text{TZ3/XHOLD}}$	25	H3	I/O/Z	通用输入/输出 14

SCITXDB MCLKXB				触发区输入 3/外部保持请求 XHOLD，（低电平）有效时，请求外部接口(XINTF)释放外部总线并将所有总线和选通置于高阻抗状态。为了防止在 TZ3 信号变为有效时发生这种情况，请通过写入 XINTCNF2[HOLD]=1 来禁用此功能。如果没有这样做，XINTF 总线将在 TZ3 变为低电平后的随时进入高阻抗状态。在 ePWM 侧,TZn 信号在默认情况下被忽略，除非它们由代码启用。当任一当前的访问完成并且在 XINIF 上没有等待的访问时，XINIF 将释放总线。 SCI-B 发送 McBSP-B 发送时钟
GPIO15 TZ4/XHOLDA SCIRXDB MFSXB	26	J1	I/O/Z	通用输入/输出 15 触发区输入 4/外部保持确认。此选项的引脚功能是基于在 GPADIR 寄存器中的所选方向。如果此引脚被配置为输入，则 TZ4 功能就会被选择。如果此引脚被配置为输出，则 XHOLDA 功能就会被选择。当 XININ 已经准予一个 XHOLD 请求时，XHOLDA 被驱动至有效（低电平）。所有 XINIF 总线和选通脉冲将处于高阻抗状态。当 XHOLD 信号被释放时，XHOLDA 被释放。当 XHOLDA 为有效（低电平）时，外部器件应该只驱动外部总线。 SCI-B 接收 McBSP-B 发送帧同步
GPIO16 SPISIMOA CANTXB TZ5	27	J2	I/O/Z	通用输入/输出 16 SPI 从器件输入，主器件输出 增强型 CAN-B 发送 跳闸区输入 5
GPIO17 SPISOMIA CANRXB TZ6	28	J3	I/O/Z	通用输入/输出 17 SPI-A 从器件输出，主器件输入 增强型 CAN-B 接收 跳闸区输入 6
GPIO19 SPISTEA SCIRXDB CANTXA	63	M8	I/O/Z	通用输入/输出 19 SPI-A 从器件发送使能输入/输出 SCI-B 接收 增强型 CAN-A 发送
GPIO20 EQEP1A MDXA CANTXB	64	P9	I/O/Z	通用输入/输出 20 增强型 QEP1 输入 A McBSP-A 发送串行数据 增强型 CAN-B 发送
GPIO21 EQEP1B MDRA CANRXB	65	N9	I/O/Z	通用输入/输出 21 增强型 QEP1 输入 B McBSP-A 接收串行数据 增强型 CAN-B 接收
GPIO22 EQEP1S MCLKXA SCITXDB	66	M9	I/O/Z	通用输入/输出 22 增强型 QEP1 选通 McBSP-A 发送时钟 SCI-B 发送

GPIO23 EQEP1I MFSXA SCIRXDB	67	P10	I/O/Z	通用输入/输出 23 增强型 QEP1 索引 McBSP-A 发送帧同步 SCI-B 接收
GPIO24 ECAP1 EQEP2A MDXB	68	N10	I/O/Z	通用输入/输出 24 增强型捕捉 1 增强型 QEP2 输入 A McBSP-B 发送串行数据
GPIO25 ECAP2 EQEP2B MDRB	69	M10	I/O/Z	通用输入/输出 25 增强型捕捉 2 增强型 QEP2 输入 B McBSP-B 接收串行数据
GPIO26 ECAP3 EQEP2I MCLKXB	72	P11	I/O/Z	通用输入/输出 26 增强型捕捉 3 增强型 QEP2 索引 McBSP-B 发送时钟
GPIO27 ECAP4 EQEP2S MFSXB	73	N11	I/O/Z	通用输入/输出 27 增强型捕捉 4 增强型 QEP2 选通 McBSP-B 发送帧同步
GPIO28 SCIRXDA XZCS6	141	D10	I/O/Z	通用输入/输出 28 SCI 接收数据 外部接口区域 6 芯片选择
GPIO29 SCITXDA XA19	2	C1	I/O/Z	通用输入/输出 29 SCI 发送数据 外部接口地址线路 19
GPIO30 CANRXA XA18	1	C2	I/O/Z	通用输入/输出 30 增强型 CAN-A 接收 外部接口地址线路 18
GPIO31 CANTXA XA17	176	B2	I/O/Z	通用输入/输出 31 增强型 CAN-A 发送 外部接口地址线路 17
GPIO32 SDAA EPWMSYNCI ADCSOCAO	74	M11	I/O/Z OD	通用输入/输出 32 I^2C 数据开漏双向端口 增强型 PWM 外部同步脉冲输入 ADC 转换启动 A
GPIO33 SCLA EPWMSYNCO ADCSOCBO	75	P12	I/O/Z OD	通用输入/输出 33 I^2C 时钟开漏双向端口 增强型 PWM 外部同步脉冲输出 ADC 转换启动 B

GPIO34 ECAP1 XREADY	142	A9	I/O/Z	通用输入/输出 34 增强型捕捉输入/输出 1 外部接口就绪信号。请注意，此引脚始终是（直接）连接到 XINTF 的。如果一个应用程序使用引脚作为 GPIO，同时还使用了 XINTF，则应配置 XINTF 来忽略就绪。
GPIO35 SCITXDA XR/$\overline{W}$	148	B9	I/O/Z	通用输入/输出 35 SCI-A 发送数据 外部接口读取，不是写入选通
GPIO36 SCIRXDA $\overline{XZCS0}$	145	C9	I/O/Z	通用输入/输出 36 SCI 接收数据 外部接口区域 0 芯片选择
GPIO37 ECAP2 $\overline{XZCS7}$	150	B8	I/O/Z	通用输入/输出 37 增强型捕捉输入/输出 2 外部接口区域 7 芯片选择
GPIO38 $\overline{XWE0}$	137	C10	I/O/Z	通用输入/输出 38 外部接口写入使能 0
GPIO39 XA16	175	C3	I/O/Z	通用输入/输出 39 外部接口地址线路 16
GPIO40 XA0/$\overline{XWE1}$	151	C8	I/O/Z	通用输入/输出 40 外部接口地址线路 0/外部接口写入使能 1
GPIO41 XA1	152	A7	I/O/Z	通用输入/输出 41 外部接口地址线路 1
GPIO42 XA2	153	B7	I/O/Z	通用输入/输出 42 外部接口地址线路 2
GPIO43 XA3	156	C7	I/O/Z	通用输入/输出 43 外部接口地址线路 3
GPIO44 XA4	157	A6	I/O/Z	通用输入/输出 44 外部接口地址线路 4
GPIO45 XA5	158	B6	I/O/Z	通用输入/输出 45 外部接口地址线路 5
GPIO46 XA6	161	C6	I/O/Z	通用输入/输出 46 外部接口地址线路 6
GPIO47 XA7	162	D6	I/O/Z	通用输入/输出 47 外部接口地址线路 7
GPIO48 ECAP5 XD31	88	L14	I/O/Z	通用输入/输出 48 增强型捕捉输入/输出 5 外部接口数据线路 31
GPIO49 ECAP6	89	L13	I/O/Z	通用输入/输出 49 增强型捕捉输入/输出 6

XD30				外部接口数据线路 30
GPIO50 EQEP1A XD29	90	L12	I/O/Z	通用输入/输出 50 增强型 QEP1 输入 A 外部接口数据线路 29
GPIO51 EQEP1B XD28	91	K14	I/O/Z	通用输入/输出 51 增强型 QEP1 输入 B 外部接口数据线路 28
GPIO52 EQEP1S XD27	94	K13	I/O/Z	通用输入/输出 52 增强型 QEP1 选通 外部接口数据线路 27
GPIO53 EQEP1I XD26	95	K12	I/O/Z	通用输入/输出 53 增强型 QEP1 索引 外部接口数据线路 26
GPIO54 SPISIMOA XD25	96	J14	I/O/Z	通用输入/输出 54 SPI-A 从器件输入，主器件输出 外部接口数据线路 25
GPIO55 SPISOMIA XD24	97	J13	I/O/Z	通用输入/输出 55 SPI-A 从器件输出，主器件输入 外部接口数据线路 24
GPIO56 SPICLKA XD23	98	J12	I/O/Z	通用输入/输出 56 SPI-A 时钟 外部接口数据线路 23
GPIO57 $\overline{\text{SPISTEA}}$ XD22	99	H13	I/O/Z	通用输入/输出 57 SPI-A 从器件发送使能 外部接口数据线路 22
GPIO58 MCLKRA XD21	100	H12	I/O/Z	通用输入/输出 58 McBSP-A 接收时钟 外部接口数据线路 21
GPIO59 MFSRA XD20	110	H11	I/O/Z	通用输入/输出 59 McBSP-A 接收帧同步 外部接口数据线路 20
GPIO60 MCLKRB XD19	111	G12	I/O/Z	通用输入/输出 60 McBSP-B 接收时钟 外部接口数据线路 19
GPIO61 MFSRB XD18	112	F14	I/O/Z	通用输入/输出 61 McBSP-B 接收帧同步 外部接口数据线路 18
GPIO62 SCIRXDC	113	F13	I/O/Z	通用输入/输出 62 SCI-C 接收数据

XD17				外部接口数据线路 17
GPIO63 SCITXDC XD16	114	F12	I/O/Z	通用输入/输出 63 SCI-C 发送数据 外部接口数据线路 16
GPIO64 XD15	115	E14	I/O/Z	通用输入/输出 64 外部接口数据线路 15
GPIO65 XD14	116	E13	I/O/Z	通用输入/输出 65 外部接口数据线路 14
GPIO66 XD13	119	E12	I/O/Z	通用输入/输出 66 外部接口数据线路 13
GPIO67 XD12	122	D14	I/O/Z	通用输入/输出 67 外部接口数据线路 12
GPIO68 XD11	123	D13	I/O/Z	通用输入/输出 68 外部接口数据线路 11
GPIO69 XD10	124	D12	I/O/Z	通用输入/输出 69 外部接口数据线路 10
GPIO70 XD9	127	C14	I/O/Z	通用输入/输出 70 外部接口数据线路 9
GPIO71 XD8	128	C13	I/O/Z	通用输入/输出 71 外部接口数据线路 8
GPIO72 XD7	129	B13	I/O/Z	通用输入/输出 72 外部接口数据线路 7
GPIO73 XD6	130	A12	I/O/Z	通用输入/输出 73 外部接口数据线路 6
GPIO74 XD5	131	B12	I/O/Z	通用输入/输出 74 外部接口数据线路 5
GPIO75 XD4	132	C12	I/O/Z	通用输入/输出 75 外部接口数据线路 4
GPIO76 XD3	133	A11	I/O/Z	通用输入/输出 76 外部接口数据线路 3
GPIO77 XD2	134	B11	I/O/Z	通用输入/输出 77 外部接口数据线路 2
GPIO78 XD1	135	C11	I/O/Z	通用输入/输出 78 外部接口数据线路 1
GPIO79 XD0	136	B10	I/O/Z	通用输入/输出 79 外部接口数据线路 0
GPIO80 XA8	163	A5	I/O/Z	通用输入/输出 80 外部接口地址线路 8

GPIO81 XA9	164	B5	I/O/Z	通用输入/输出 81 外部接口地址线路 9
GPIO82 XA10	165	C5	I/O/Z	通用输入/输出 82 外部接口地址线路 10
GPIO83 XA11	168	A4	I/O/Z	通用输入/输出 83 外部接口地址线路 11
GPIO84 XA12	169	B4	I/O/Z	通用输入/输出 84 外部接口地址线路 12
GPIO85 XA13	172	C4	I/O/Z	通用输入/输出 85 外部接口地址线路 13
GPIO86 XA14	173	A3	I/O/Z	通用输入/输出 86 外部接口地址线路 14
GPIO87 XA15	174	B3	I/O/Z	通用输入/输出 87 外部接口地址线路 15
XRD	149	A8	I/O/Z	外部接口读取使能

1.3 功能框图

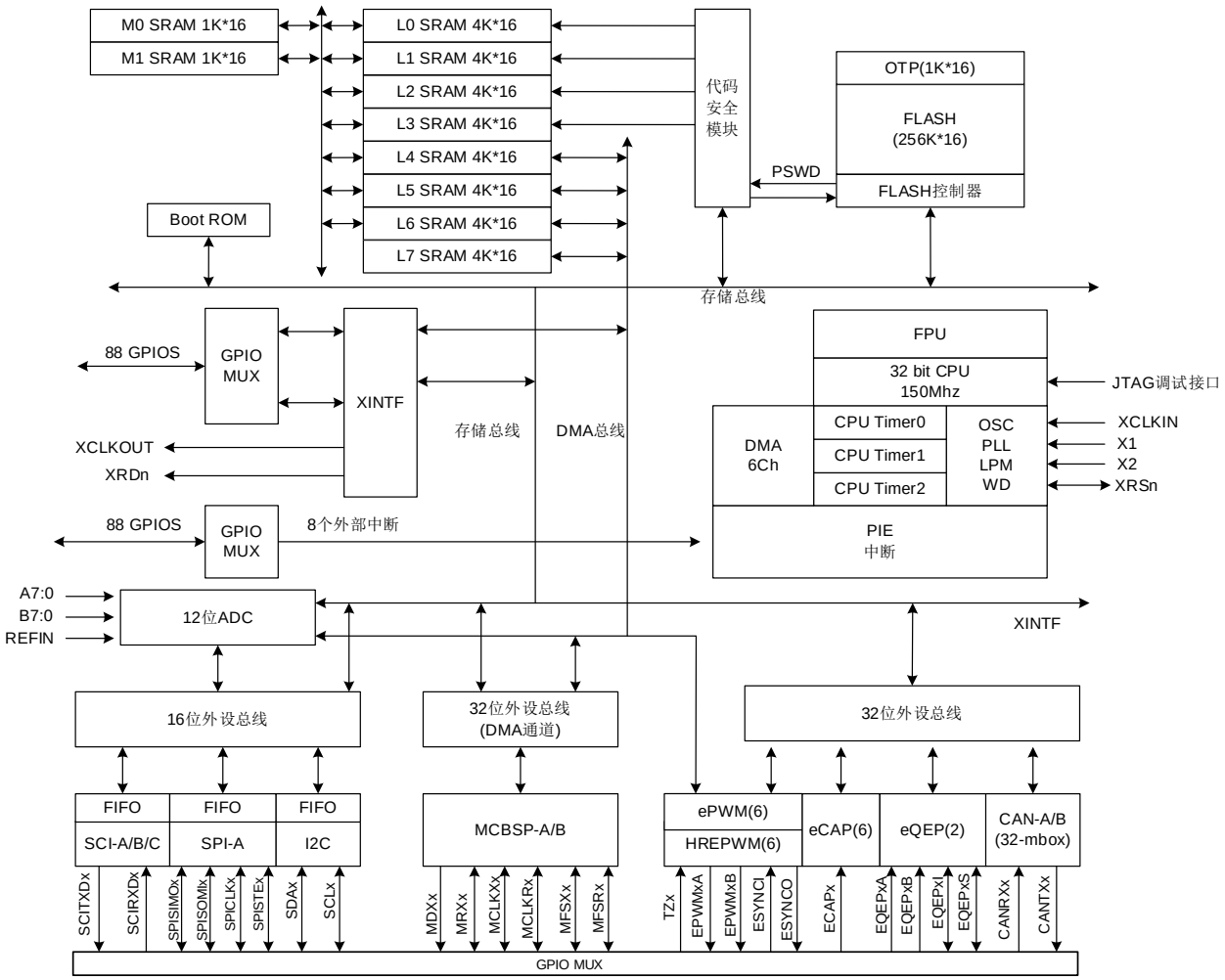


图 1-6 功能方框图

1.4 简要说明

1.4.1 内存总线（哈弗总线架构）

与很多 MCU 类型器件一样，内存、外设和 CPU 之间使用多个总线来移动数据。芯片内存总线架构包括程序读取总线、数据读取总线和数据写入总线。程序读取总线包含 22 条地址线和 32 条数据线。数据读取总线和数据写入总线各由 32 条地址线和 32 条数据线组成。32 位宽数据总线可实现单周期 32 位运行。多总线结构，通常称为哈弗总线，使得芯片能够在一个单周期内取一个指令、读取一个数据值和写入一个数据值。所有连接在内存总线上的外设和内存对内存访问进行优先级设定。总的来说，内存总线访问的优先级可概括如下：

最高级： 数据写入 （内存总线上不能同时进行数据和程序写入。）

程序写入 （内存总线上不能同时进行数据和程序写入。）

数据读取

程序读取 （内存总线上不能同时进行程序读取和取指令。）

最低级： 取指令 （内存总线上不能同时进行程序读取和取指令。）

1.4.2 实时 JTAG 和分析

FCP32C33X 器件使用标准的 IEEE1149.1JTAG 接口。此外，器件支持实时运行模式，在处理器正在运行、执行代码并且处理中断时，可修改存储器内容、外设和寄存器位置。用户也可以通过非时间关键代码进行单步操作，同时可在没有干扰的情况下启用将被处理的时间关键中断。此器件在 CPU 的硬件内执行实时模式。这是 FCP32C33X 器件所独有的特性，无需软件监控。此外，还提供了特别分析硬件以实现硬件断点或者数据/地址观察点的设置并当一个匹配发生时生成不同的用户可选中断事件。

1.4.3 外部接口(XINTF)

该异步接口由 20 位地址总线，32 位数据总线，和 3 个芯片选信号组成。此芯片选择线路被映射到 3 个外部区域，即区域 0、6 和 7。3 个区域中的每个区域可被设定为不同的等待状态数量、选通信号设置和保持时序，并且每个区域可被外部设定为扩展等待状态或者没有扩展等待状态。设定的等待状态、芯片选择和可编程选通时序可实现到外部存储器和外设的无缝对接。

1.4.4 闪存

FCP32C335 器件包含 256Kx16 的嵌入式闪存，该闪存分成 8 个 32Kx16 扇区。器件还包含一个单 1Kx16OTP 内存，其地址范围为 0x380400-0x3807FF。用户能够在不改变其它扇区的同时单独对一个闪存扇区进行擦除、编程和验证。然而，不能使用闪存的一个扇区或者这个 OTP 来执行对其它扇区进行擦除/编程的闪存算法。提供了特殊内存流水线操作以使闪存模块实现更高性能。闪存/OTP 被映射到程序和数据空间；因此，它可被用于执行代码或者存储数据信息。请注意地址 0x33FFF0-0x33FFF5 为数据变量保留且不应包含程序代码。

1.4.5 SARAM

芯片包含两个单周期访问存储器块 M0 和 M1SARAM，每个大小为 1K×16。复位时，堆栈指针指向块 M1 的开始位置。M0 和 M1 块被映射到程序和数据空间。因此，用户能够使用 M0 和 M1 来执行代码或者用于数据变量。分区在连接器内执行。

芯片提供了一个到编程器的统一内存映射。这使得用高级语言编程变得更加容易。芯片包含了 32K×16 的 13 个单周期访问 RAM（L0,L1,L2,L3,L4,L5,L6,L7,H0,H1,H2,H3,H4,H5SARAM），每个 RAM 分为 8 个区块（L0-L7 且每块 4K）。每个块可被独立访问以大大减少 CPU 管线延迟。每个块被映射到程序和数据空间。L4，L5，L6，L7 可由 DMA 访问。

1.4.6 引导 ROM

- 引导 ROM

引导 ROM 由厂家使用引导载入软件进行设定。引导 ROM 程序在器件复位后，检查四个 GPIO 引脚状态后确认芯片进入相应的引导模式。例如，用户可以选择执行已经出现在内部闪存中的代码或者通过几个串行端口中的一个将全新的程序下载至内部 RAM。引导 ROM 还包含用于数学相关算法中的标准表，例如 SIN/COS 波形。

表 1-3 引导 ROM

模式	GPIO87/XA15	GPIO86/XA14	GPIO85/XA13	GPIO84/XA12	模式描述
F	1	1	1	1	跳转到闪存
E	1	1	1	0	SCI-Aboot
D	1	1	0	1	SPI-A 引导
C	1	1	0	0	I^2C-A 引导
B	1	0	1	1	eCAN-A 引导
A	1	0	1	0	McBSP-A 引导
9	1	0	0	1	跳转到 XINTFx16
8	1	0	0	0	跳转到 XINTFx32
7	0	1	1	1	跳转到 OTP
6	0	1	1	0	并行 GPIOI/O 引导
5	0	1	0	1	并行 XINTF 引导
4	0	1	0	0	跳转至 SARAM
3	0	0	1	1	分支到检查引导模式
2	0	0	1	0	跳转到闪存，跳过 ADC 校准
1	0	0	0	1	跳转至 SARAM，跳过 ADC 校准
0	0	0	0	0	跳转至 SCI，跳过 ADC 校准

- 引导加载器使用的外设引脚

下表显示了每一个外设引导加载器所使用的 GPIO 引脚。请参阅 GPIO 多路复用器表以检查这些引脚是否与您希望在应用中使用的任一外设冲突。

表 1-4 引导加载器使用的外设引脚

引导加载器	外设加载器引脚
SCI-A	SCIRXDA(GPIO28) SCITXDA(GPIO29)
SPI-A	SPISIMOA(GPIO16) SPISOMIA(GPIO17) SPICLKA(GPIO18) SPISTEA(GPIO19)
I^2C	SDAA(GPIO32) SCLA(GPIO33)
CAN	CANRXA(GPIO30) CANTXA(GPIO31)
McBSP	MDXA(GPIO20) MDRA(GPIO21) MCLKXA(GPIO22) MFSXA(GPIO23) MCLKRA(GPIO7) MFSRA(GPIO5)

1.4.7 安全性

此芯片支持高级别安全以保护用户固件不受逆向工程损坏。该加密装置有一个 128 位密码（针对 16 个等待状态的硬编码），此密码由用户编辑写入闪存。一个代码安全模块（CSM）被用于保护闪存/OTP 和 L0/L1/L2/L3SARAM 块。这个安全特性防止未经授权的用户通过 JTAG 端口检查内存内容，从外部内存执行代码或者试图引导加载一些将会输出安全内存内容的恶意软件。为了启用到安全块的访问，用户必须写入与存储在闪存/ROM 密码位置内的值相匹配的正确的 128 位“KEY（密钥）”值。

除了 CSM，仿真代码安全逻辑电路(ECSL)也已经被实现用来防止未经授权的用户安全代码。在仿真器连接时，任何对于闪存、用户 OTP 或者 L0,L1,L2,L3 内存的代码或者数据访问将触发 ECSL 并断开仿真连接。为了实现安全代码仿真，同时保持 CSM 安全内存读取，用户必须向 KEY 寄存器的低 64 位写入正确的值，这个值与存储在闪存密码位置的低 64 位的值相符合。请注意仍须执行闪存内所有 128 位密钥的伪读取。如果密码位置的低 64 位为全 1（未被编辑），那么无须符合 KEY 值。

当对闪存内被编辑的密码区（即安全的）进行最初调试时，CPU 将开始运行并可执行一个指令来访问一个受保护的 ECSL 区域。如果这一情况发生，ECSL 将发生错误并使仿真器连接被断开。这个问题有两个解决方案：

1.首先是使用在等待中复位的仿真模式，该模式将保持器件在复位状态直到仿真器获得控制权。仿真器必须支持此选项的这种模式。

2.第二种选择是使用“分支至检查引导模式”引导选项。这将进入一个环路，并不断轮询引导模式选择引脚。通过重新映射 PC 到另一个地址，或通过把引导模式选择引脚更改为所需的引导模式，用户可以选择此引导模式，然后在仿真器被连接时退出这种模式。

【提示 1】当代码安全密钥被编辑时，0xFF3380 到 0x33FFF5 间的所有地址不能被用作程序代码或者数据。这些位置必须被设定为 0x0000。

【提示 2】如果代码安全特性未被使用，地址 0x33FF80-0x33FFEF 可被用于代码或者数据。地址 0x33FFF0-0x33FFF5 为数据保留且不能包含程序代码。

【提示 3】128 位密码（位于 0x33FFF8-0x33FFFF）不能写入全零。一旦写入全零将永久锁住此器件，请务必慎重。

1.4.8 外设中断扩展(PIE)

PIE 块将许多中断源复用至中断输入的较小的集合中。PIE 块能够支持多达 96 个外设中断。在 FCP32C335 中，96 中断中的 58 个被外设使用。96 个中断被分成 8 组，每组被提供 12 个 CPU 中断线（INT1 或者 INT12）中的 1 个。96 个中断中的每一个中断由其存储在一个可被用户写覆盖的专用 RAM 块中的矢量支持。在处理这个中断时，这个矢量由 CPU 自动抽取。抽取这个矢量以及保存关键 CPU 寄存器将花费 8 个 CPU 时钟周期。因此 CPU 能够对中断事件做出快速响应。可以通过硬件和软件控制中断的优先级。每个中断都可以在 PIE 块内启用或禁用。

1.4.9 外部中断(XINT1-XINT7，XNMI)

此器件支持 8 个被屏蔽的外部中断(XINT1–XINT7,XNMI)。XNMI 可被连接至 INT13 或者 CPU 的 NMI 中断。这些中断中的每一个可被选择用于负边沿、正边沿或者正负边沿触发，并且可被启用或禁用（包括 XNMI 在内）。XINT1、XINT2 和 XNMI 还包含一个 16 位自由运行的加法计数器，当检测到有效的中断边沿时，该计数器复位为 0。这个计数器可被用于为中断精确计时。XINT1，XINT2 和 XINT 中断可接受来自 GPIO0-GPIO31 引脚的输入。XINT3－XINT7 中断可接受来自 GPIO32-GPIO63 引脚的输入。

1.4.10 振荡器和锁相环(PLL)

此器件可由一个外部振荡器计时或者由一个连接到片载振荡器电路的晶振计时。提供的一个 PLL 支持高达 10 个输入时钟缩放比。PLL 比率可用软件中在器件运行时更改，这使得用户在需要低功耗运行时能够按比例降低运行频率。

1.4.11 看门狗

用户软件必须在特定的周期内定期复位 CPU 看门狗计数器；否则 CPU 看门狗将产生一个复位信号复位处理器。如果需要可将 CPU 看门狗禁用。

1.4.12 外设时钟

在外设闲置时，到每一个独立外设的时钟可被启用/禁用以减少功耗。此外，到串行端口（除了 I^2C 和 eCAN）和 ADC 的系统时钟可按照 CPU 时钟进行缩放。

1.4.13 低功耗模式

FCP32C335 器件是完全静态 CMOS 器件。提供三个低功耗模式：

- IDLE：

将 CPU 置于低功耗模式。可有选择性地关闭外设时钟并且只有那些在 IDLE 期间必须运行的外设保持运行状态。来自使能外设的已启用的中断或者看门狗将处理器从 IDLE 模式中唤醒。

- STANDBY：

关闭到 CPU 和外设的时钟。在这个模式下振荡器和 PLL 仍然运行。一个外部中断事件将唤醒处理器和外设。唤醒操作在检测到中断事件之后的下一个时钟周期执行。

- HALT：

关断内部振荡器的基础上，将器件置于尽可能低的功耗模式中。在此模式下可由一个复位信号或者外部信号将器件从这个模式中唤醒。

1.4.14 外设帧 0，1，2，3(PFn)

此器件将外设分成四个部分。外设映射如下：

表 1-5 外设帧 0，1，2，3

PF0	PIE	PIE 中断启用和控制寄存器加上 PIE 矢量表
	闪存	闪存等待状态寄存器
	XINTF	外部接口寄存器
	DMA	DMA 寄存器
	定时器	CPU-定时器 0，1，2 寄存器
	CSM	代码安全模块 KEY 寄存器
	ADC	ADC 结果寄存器（双映射）
PF1	eCAN	eCAN 邮箱和控制寄存器
	GPIO	GPIOMUX 配置和控制寄存器
	ePWM	增强型脉冲宽度调制器模块和寄存器（双映射）
	eCAP	增强型捕捉模块和寄存器
	eQEP	增强型正交解码器脉冲模块和寄存器
PF2	SYS	系统控制寄存器
	SCI	串行通信接口(SCI)控制和 RX/TX 寄存器
	SPI	串行端口接口(SPI)和 RX/TX 寄存器
	ADC	ADC 状态、控制和结果寄存器
	IC2	内部电路模块和寄存器
	XINT	外部中断寄存器
PF3	McBSP	多通道缓冲串行端口寄存器
	ePWM	增强型脉冲宽度调制器模块和寄存器（双映射）

1.4.15 通用输入/输出(GPIO)复用器

大多数的外设信号与通用输入/输出(GPIO)信号复用。这个复用使得用户能够在外设信号或者功能不使用时将一个引脚用作 GPIO。复位时所有 GPIO 引脚被配置为输入。针对 GPIO 模式或者外设信号模式，用户能够独立设定每一个引脚。对于特定的输入引脚，用户也可以选择输入限定周期的数量。这是为了过滤掉有害的噪音毛刺脉冲。GPIO 信号也可被用于使器件脱离特定低功耗模式。

1.4.16 32 位 CPU 定时器(0，1，2)

CPU 定时器 0、1 和 2 是完全一样的 32 位定时器，这些定时器带有可预先设定的周期和 16 位时钟预分频。此定时器有一个 32 位倒计数寄存器，此寄存器在计数器达到 0 时生成一个中断。这个计数器的减量为被预分频值设置所分频的 CPU 时钟速度的值。当此计数器达到 0 时，它自动重新载入一个 32 位的周期值。CPU 定时器 2 为 DSP/BIOS 预留，并且连接到 CPU 的 INT14。如果 DSP/BIOS 未被使用，CPU 定时器 2 也可作为通用定时器使用。CPU 定时器 0 也为通用定时器并被连接至 PIE 模块。

1.4.17 控制外设

器件支持以下用于嵌入式控制和通信的外设：

表 1-6 控制外设

外设名称	描述
ePWM	增强型 PWM 外设支持针对前缘和后缘边沿、被锁存的和逐周期触发机制的独立的和互补的 PWM 生成，可调节死区生成。某些 PWM 引脚支持 HRPWM 特性。ePWM 寄存器由 DMA 支持，以便减少处理该外设的开销。
Ecap	增强型捕捉外设使用一个 32 位时基并在连续/单次捕捉模式中记录多达四个可编程事件。此外设还可配置为生成辅助 PWM 信号。
Eqep	增强型 QEP 外设使用一个 32 位位置计数器，使用捕捉单元和一个 32 位单元定时器分别支持低速测量和高速测量。这个外设具有一个看门狗定时器来检测电机停转，并通过输入错误检测逻辑电路来识别 QEP 信号中的同步边沿转换。
ADC	ADC 是一个 12 位、单端、16 通道的模数转换器。它包含两个用于同步采样的采样保持单元。ADC 寄存器被 DMA 支持以便减少处理该外设的开销。

1.4.18 串行端口外设

表 1-7 串行端口外设

外设名称	描述
Ecan	该功能是 CAN 外设的增强型版本。它支持 32 个邮箱、消息时间戳并符合 ISO11898-1(CAN2.0B)标准。
McBSP	多通道缓冲串行端口(McBSP)连接到 E1/T1 线路、调制解调器应用的语音质量编解码器，或高质量立体声音频 DAC 器件。McBSP 接收和发送寄存器由 DMA 支持以大大减少处理这个外设所用的开销。如果需要，每一个 McBSP 模块可被配置为一个 SPI。
SPI	SPI 是一个高速同步串行 I/O 端口，此端口允许已经过长度编程（1 至 16 位）的串行位流以可编程的位传输速率移入和移出器件。通常，SPI 用于 MCU 和外部外设或者其他处理器之间的通信。典型应用包含通过移位寄存器、显示驱动器和 ADC 等器件进行外部 I/O 或外设扩展。多器件通信由 SPI 的主/从操作支持。在 2833x/2823x 上，SPI 包含一个 16 级接收和发送 FIFO 来减少中断服务开销。
SCI	串行通信接口是一种双线制异步串行端口，通常称为 UART。SCI 包含一个用于减少中断处理开销的 16 级接收和发送 FIFO。
I^2C	内部集成电路(I^2C)模块提供一个 MCU 和其它器件（符合飞利浦半导体内部 IC 总线(I^2C-bus)规范版本 2.1 并由一个 I^2C-bus 相连）间的接口。通过这个 I^2C 模块，连接在这个两线制总线上的外部组件能够发送 8 位数据到 MCU 或者从 MCU 接收 8 位数据。I^2C 包含一个用于减少中断处理开销的 16 级接收和发送 FIFO。

1.5 外设

器件的集成外设在以下部分进行了说明：

- 6 通道直接内存存取(DMA)
- 三个 32 位 CPU 定时器
- 多达 6 个增强型 PWM 模块（ePWM1、ePWM2、ePWM3、ePWM4、ePWM5、ePWM6）
- 高达 6 个增强型捕获模块(eCAP1，eCAP2，eCAP3，eCAP4，eCAP5，eCAP6)
- 多达 2 个增强型 QEP 模块（eQEP1、eQEP2）
- 增强型模数转换器(ADC)模块
- 多达 2 个增强型控制器局域网(eCAN)模块(eCAN-A，eCAN-B)
- 多达 3 个串行通信接口模块(SCI-A，SCI-B，SCI-C)
- 1 个串行外设接口(SPI)模块（SPI-A）
- 内部集成电路(I^2C)模块
- 高达两个多通道缓冲串口(McBSP-A，McBSP-B)模块
- 数字 I/O 和共用引脚功能
- 外部接口(XINTF)

1.5.1 DMA 概述

功能特性如下:

- 6 个独立的 PIE 中断通道
- 多种中断触发源：
  - ePWMSOCA/SOCB
  - ADC 序列发生器 1 和序列发生器 2
  - McBSP-A 和 McBSP-B 传输和接收逻辑
  - XINT1-7 和 XINT13
  - CPU 定时器
  - 软件
- 支持多种数据源和数据目标地址
- 字大小：16 位或 32 位（McBSP 限制到 16 位）
- 吞吐量：4 个周期/字（McBSP 读取时为 5 个周期/字）

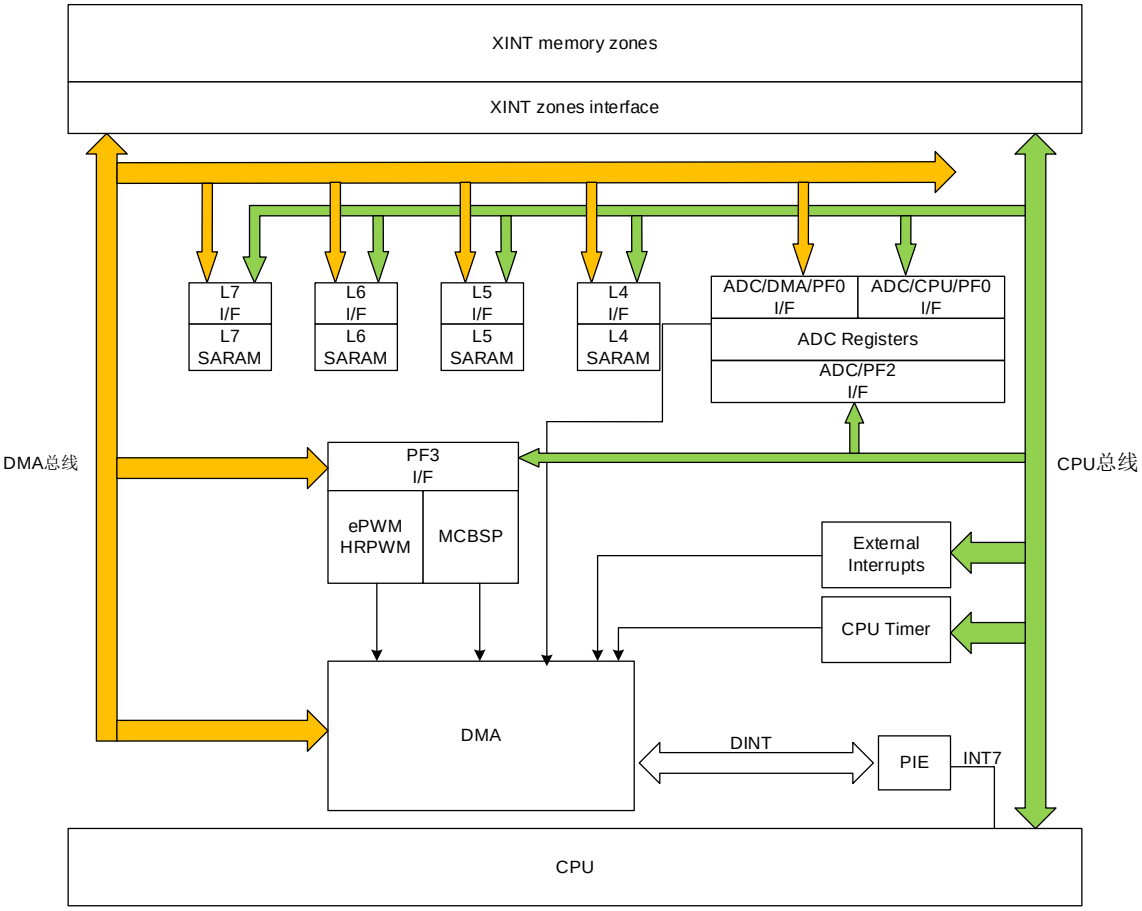


图 1-7 DMA 功能方框图

1.5.2 32 位 CPU 定时器 0，CPU 定时器 1，CPU 定时器 2

在器件上有 3 个 32 位 CPU 定时器(CPU 定时器 0，CPU 定时器 1，CPU 定时器 2)。

CPU 定时器 2 为 DSP/BIOS 或 SYS/BIOS 保留。可以在用户应用程序中使用 CPU 定时器 0 和定时器 1。这些定时器与 ePWM 模块中的定时器不同。

【提示 1】如果应用没有在使用 DSP/BIOS，那么 CPU 定时器 2 可被用在应用中。

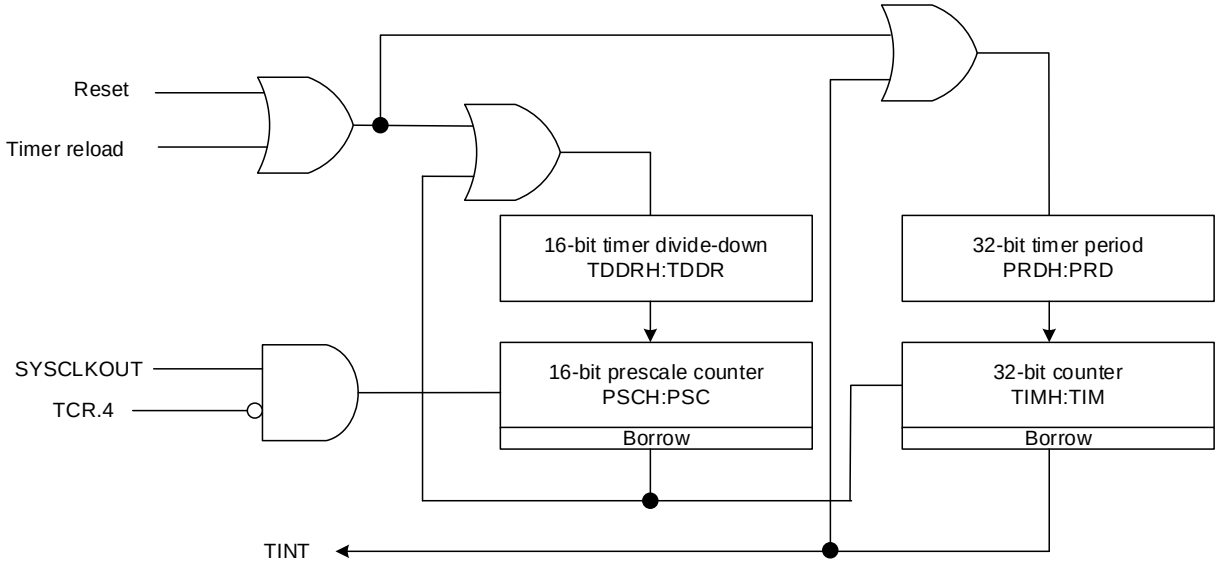


图 1-8 CPU 定时器

定时器中断信号(TINT0、TINT1、TINT2)的连接如下图所示。

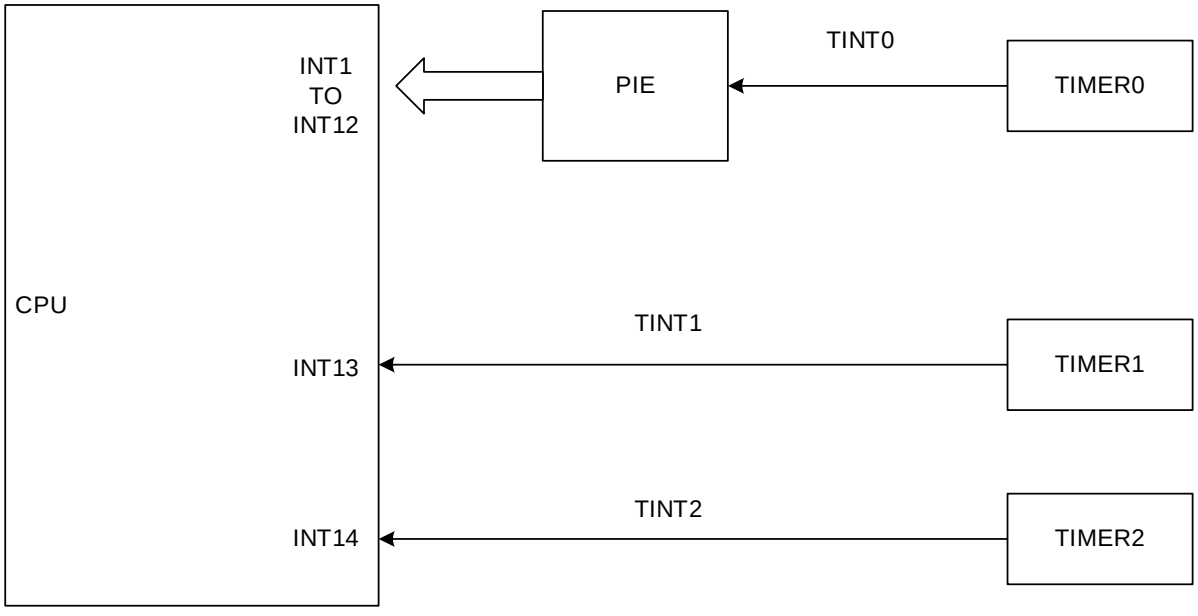


图 1-9 CPU 定时器中断信号和输出信号

定时器的通常操作如下：32 位计数器寄存器“TIMH:TIM”被装入周期寄存器 PRDH:PRD 中的值。定时器寄存器按 CPU 的 SYSCLKOUT 速率递减。当计数器到达 0 时，一个定时器中断输出信号生成一个中断脉冲。

CPU 定时器 0,1,2 配置和控制寄存器如下表所示：

表 1-8 CPU 定时器寄存器

寄存器名称	地址	大小(x16)	说明
TIMER0TIM	0x0C00	1	CPU 定时器 0，计数器寄存器
TIMER0TIMH	0x0C01	1	CPU 定时器 0，计数器寄存器高电平
TIMER0PRD	0x0C02	1	CPU 定时器 0，周期寄存器
TIMER0PRDH	0x0C03	1	CPU 定时器 0，周期寄存器高电平
TIMER0TCR	0x0C04	1	CPU 定时器 0，控制寄存器
保留	0x0C05	1	
TIMER0TPR	0x0C06	1	CPU 定时器 0，预分频寄存器
TIMER0TPRH	0x0C07	1	CPU 定时器 0，预分频寄存器高电平
TIMER1TIM	0x0C08	1	CPU 定时器 1，计数器寄存器
TIMER1TIMH	0x0C09	1	CPU 定时器 1，计数器寄存器高电平
TIMER1PRD	0x0C0A	1	CPU 定时器 1，周期寄存器
TIMER1PRDH	0x0C0B	1	CPU 定时器 1，周期寄存器高电平
TIMER1TCR	0x0C0C	1	CPU 定时器 1，控制寄存器
保留	0x0C0D	1	
TIMER1TPR	0x0C0E	1	CPU 定时器 1，预分频寄存器
TIMER1TPRH	0x0C0F	1	CPU 定时器 1，预分频寄存器高电平
TIMER2TIM	0x0C10	1	CPU 定时器 2，计数器寄存器
TIMER2TIMH	0x0C11	1	CPU 定时器 2，计数器寄存器高电平
TIMER2PRD	0x0C12	1	CPU 定时器 2，周期寄存器
TIMER2PRDH	0x0C13	1	CPU 定时器 2，周期寄存器高电平
TIMER2TCR	0x0C14	1	CPU 定时器 2，控制寄存器
保留	0x0C15	1	
TIMER2TPR	0x0C16	1	CPU 定时器 2，预分频寄存器
TIMER2TPRH	0x0C17	1	CPU 定时器 2，预分频寄存器高电平
保留	0x0C18-0x00C3F	40	

1.5.3 增强型 PWM 模块

器件包括多达 6 个增强型 PWM(ePWM)模块（ePWM1 至 ePWM6）。

下图显示了时基计数器同步方案 3，以及每个模块的完整 ePWM 寄存器组,表 8-5 显示了重新映射的寄存器配置。

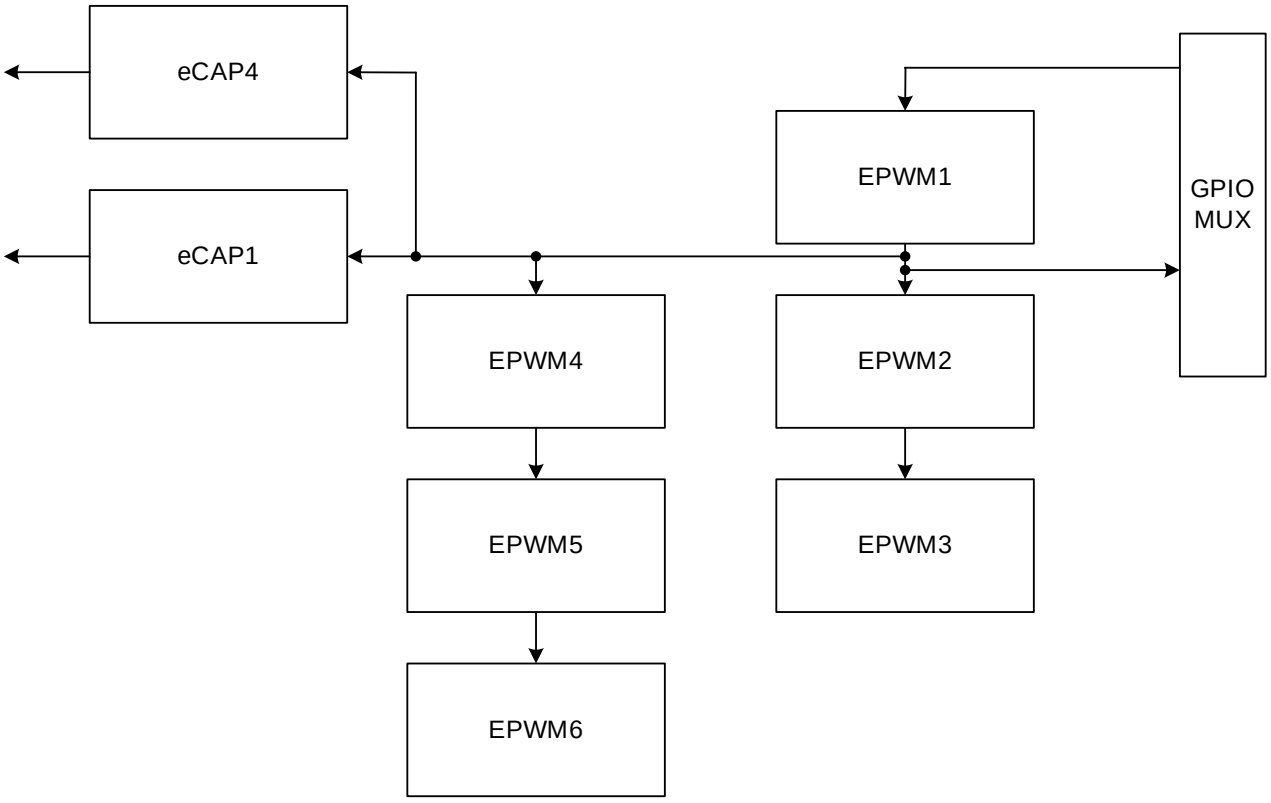


图 1-10 时基计数器同步方案 3

默认情况下，ePWM 和 HRPWM 寄存器会映射到外设帧 1(PF1)。若要将寄存器重新映射至外设帧 3(PF3)来启用 DMA 访问，MAPCNF 寄存器（地址 0x702E）的位 0(MAPEPWM)必须设为 1。

ePWM 控制和状态寄存器（PF1 中的默认配置）如下表所示：

表 1-9 ePWM 控制和状态寄存器

名称	ePWM1	ePWM2	ePWM3	ePWM4	ePWM5	ePWM6	大小(x16) /#SHADOW	说明
TBCTL	0x6800	0x6840	0x6880	0x68C0	0x6900	0x6940	1/0	时基控制寄存器
TBSTS	0x6801	0x6841	0x6881	0x68C1	0x6901	0x6941	1/0	时基状态寄存器
TBPHSHR	0x6802	0x6842	0x6882	0x68C2	0x6902	0x6942	1/0	时基相位 HRPWM 寄存器
TBPHS	0x6803	0x6843	0x6883	0x68C3	0x6903	0x6943	1/0	时基相位寄存器
TBCTR	0x6804	0x6844	0x6884	0x68C4	0x6904	0x6944	1/0	时基计数器寄存器
TBPRD	0x6805	0x6845	0x6885	0x68C5	0x6905	0x6945	1/1	时基周期寄存器设置
CMPCTL	0x6807	0x6847	0x6887	0x68C7	0x6907	0x6947	1/0	计数器比较控制寄存器
CMPAHR	0x6808	0x6848	0x6888	0x68C8	0x6908	0x6948	1/1	时基比较 AHRPWM 寄存器
CMPA	0x6809	0x6849	0x6889	0x68C9	0x6909	0x6949	1/1	计数器比较 A 寄存器组
CMPB	0x680A	0x684A	0x688A	0x68CA	0x690A	0x694A	1/1	计数器比较 B 寄存器组
AQCTLA	0x680B	0x684B	0x688B	0x68CB	0x690B	0x694B	1/0	用于输出 A 的操作限定器控制寄存器
AQCTLB	0x680C	0x684C	0x688C	0x68CC	0x690C	0x694C	1/0	用于输出 B 的操作限定器控制寄存器
AQSFRC	0x680D	0x684D	0x688D	0x68CD	0x690D	0x694D	1/0	操作限定器软件强制寄存器
AQCSFRC	0x680E	0x684E	0x688E	0x68CE	0x690E	0x694E	1/1	操作限定器连续 S/W 强制寄存器组
DBCTL	0x680F	0x684F	0x688F	0x68CF	0x690F	0x694F	1/1	死区生成器控制寄存器
DBRED	0x6810	0x6850	0x6890	0x68D0	0x6910	0x6950	1/0	死区生成器上升沿延迟计数寄存器
DBFED	0x6811	0x6851	0x6891	0x68D1	0x6911	0x6951	1/0	死区生成器下降沿延迟计数寄存器
TZSEL	0x6812	0x6852	0x6892	0x68D2	0x6912	0x6952	1/0	触发区选择寄存器
TZCTL	0x6814	0x6854	0x6894	0x68D4	0x6914	0x6954	1/0	跳匣区域控制寄存器
TZEINT	0x6815	0x6855	0x6895	0x68D5	0x6915	0x6955	1/0	跳匣区域启用中断寄存器
TZFLG	0x6816	0x6856	0x6896	0x68D6	0x6916	0x6956	1/0	触发区标志寄存器
TZCLR	0x6817	0x6857	0x6897	0x68D7	0x6917	0x6957	1/0	跳匣区域清除寄存器
TZFRC	0x6818	0x6858	0x6898	0x68D8	0x6918	0x6958	1/0	跳匣区域强制寄存器
ETSEL	0x6819	0x6859	0x6899	0x68D9	0x6919	0x6959	1/0	事件触发选择寄存器
ETPS	0x681A	0x685A	0x689A	0x68DA	0x691A	0x695A	1/0	事件触发预分频寄存器
ETFLG	0x681B	0x685B	0x689B	0x68DB	0x691B	0x695B	1/0	事件触发标志寄存器
ETCLR	0x681C	0x685C	0x689C	0x68DC	0x691C	0x695C	1/0	事件触发清除寄存器
ETFRC	0x681D	0x685D	0x689D	0x68DD	0x691D	0x695D	1/0	事件触发强制寄存器
PCCTL	0x681E	0x685E	0x689E	0x68DE	0x691E	0x695E	1/0	PWM 斩波器控制寄存器

HRCNFG	0x6820	0x6860	0x68A0	0x68E0	0x6920	0x6960	1/0	HRPWM 配置寄存器

ePWM 的信号互连情况如下图所示：

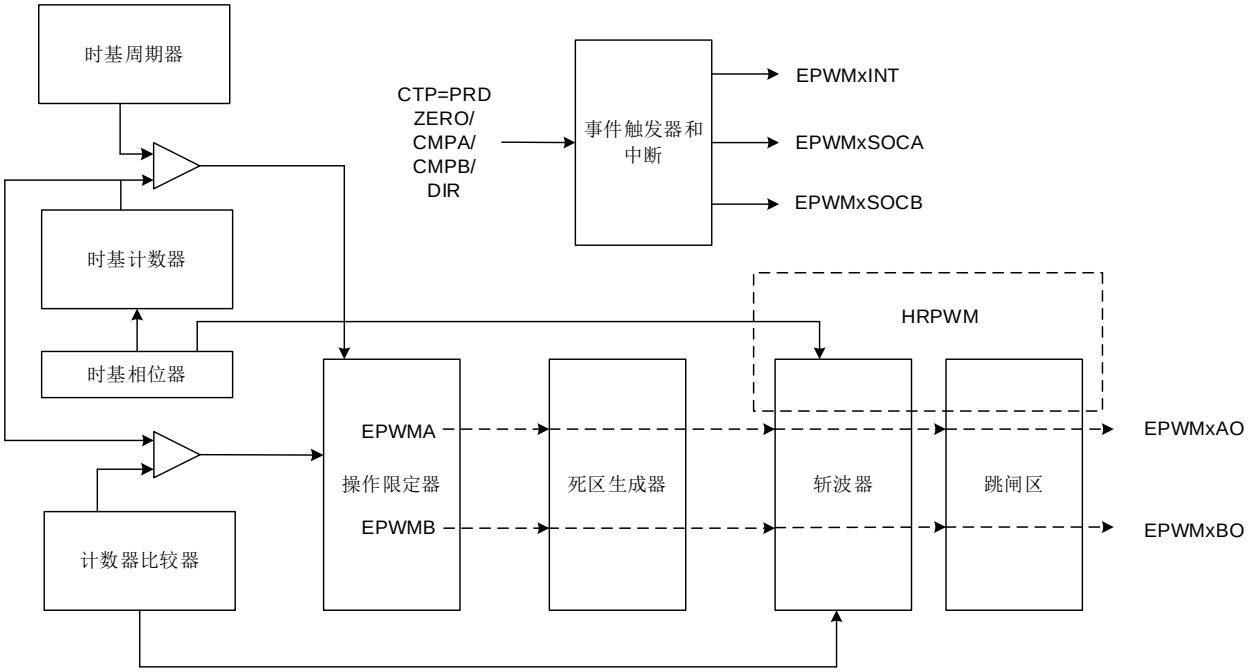


图 1-11 ePWM 信号互连

重新映射的寄存器配置情况如下表所示：

表 1-10 重新映射寄存器

名称	ePWM1	ePWM2	ePWM3	ePWM4	ePWM5	ePWM6	大小(x16) /#SHADOW	说明
TBCTL	0x5800	0x5840	0x5880	0x58C0	0x5900	0x5940	1/0	时基控制寄存器
TBSTS	0x5801	0x5841	0x5881	0x58C1	0x5901	0x5941	1/0	时基状态寄存器
TBPHSHR	0x5802	0x5842	0x5882	0x58C2	0x5902	0x5942	1/0	时基相位 HRPWM 寄存器
TBPHS	0x5803	0x5843	0x5883	0x58C3	0x5903	0x5943	1/0	时基相位寄存器
TBCTR	0x5804	0x5844	0x5884	0x58C4	0x5904	0x5944	1/0	时基计数器寄存器
TBPRD	0x5805	0x5845	0x5885	0x58C5	0x5905	0x5945	1/1	时基周期寄存器设置
CMPCTL	0x5807	0x5847	0x5887	0x58C7	0x5907	0x5947	1/0	计数器比较控制寄存器
CMPAHR	0x5808	0x5848	0x5888	0x58C8	0x5908	0x5948	1/1	时基比较 AHRPWM 寄存器
CMPA	0x5809	0x5849	0x5889	0x58C9	0x5909	0x5949	1/1	计数器比较 A 寄存器组
CMPB	0x580A	0x584A	0x588A	0x58CA	0x590A	0x594A	1/1	计数器比较 B 寄存器组
AQCTLA	0x580B	0x584B	0x588B	0x58CB	0x590B	0x594B	1/0	用于输出 A 的操作限定器控制寄存器
AQCTLB	0x580C	0x584C	0x588C	0x58CC	0x590C	0x594C	1/0	用于输出 B 的操作限定器控制寄存器
AQSFRC	0x580D	0x584D	0x588D	0x58CD	0x590D	0x594D	1/0	操作限定器软件强制寄存器
AQCSFRC	0x580E	0x584E	0x588E	0x58CE	0x590E	0x594E	1/1	操作限定器连续 S/W 强制寄存器组
DBCTL	0x580F	0x584F	0x588F	0x58CF	0x590F	0x594F	1/1	死区生成器控制寄存器
DBRED	0x5810	0x5850	0x5890	0x58D0	0x5910	0x5950	1/0	死区生成器上升沿延迟计数寄存器
DBFED	0x5811	0x5851	0x5891	0x58D1	0x5911	0x5951	1/0	死区生成器下降沿延迟计数寄存器
TZSEL	0x5812	0x5852	0x5892	0x58D2	0x5912	0x5952	1/0	触发区选择寄存器
TZCTL	0x5814	0x5854	0x5894	0x58D4	0x5914	0x5954	1/0	跳匣区域控制寄存器
TZEINT	0x5815	0x5855	0x5895	0x58D5	0x5915	0x5955	1/0	跳匣区域启用中断寄存器
TZFLG	0x5816	0x5856	0x5896	0x58D6	0x5916	0x5956	1/0	触发区标志寄存器
TZCLR	0x5817	0x5857	0x5897	0x58D7	0x5917	0x5957	1/0	跳匣区域清除寄存器
TZFRC	0x5818	0x5858	0x5898	0x58D8	0x5918	0x5958	1/0	跳匣区域强制寄存器
ETSEL	0x5819	0x5859	0x5899	0x58D9	0x5919	0x5959	1/0	事件触发选择寄存器
ETPS	0x581A	0x585A	0x589A	0x58DA	0x591A	0x595A	1/0	事件触发预分频寄存器
ETFLG	0x581B	0x585B	0x589B	0x58DB	0x591B	0x595B	1/0	事件触发标志寄存器
ETCLR	0x581C	0x585C	0x589C	0x58DC	0x591C	0x595C	1/0	事件触发清除寄存器
ETFRC	0x581D	0x585D	0x589D	0x58DD	0x591D	0x595D	1/0	事件触发强制寄存器
PCCTL	0x581E	0x585E	0x589E	0x58DE	0x591E	0x595E	1/0	PWM 斩波器控制寄存器

HRCNFG	0x5820	0x5860	0x58A0	058E0	0x5920	0x5960	1/0	HRPWM 配置寄存器

1.5.4 高分辨率 PWM(HRPWM)

HRPWM 模块提供 PWM 分辨率远好于使用传统数字 PWM 方法所能产生的分辨率。HRPWM 模块的特点如下：

1.大大提高了传统数字 PWM 的输出信号的分辨率。

2.通常在 PWM 的有效分辨率下降低于大约 9-10 位时使用。当系统时钟为 100MHz 并且 PWM 频率大于 200kHz 时会发生这种情况。

3.此功能可用于 PWM 占空比控制和相移控制。

4.通过对 ePWM 模块的 CMPA 和相位寄存器的扩展来控制更加精细的时间粒度控制或者边沿定位。

5.只有 EPWMxA 有 HRPWM 功能。

1.5.5 增强型捕获模块（eCAP）模块

器件包括 6 个增强型捕获(eCAP)模块(eCAP1，eCAP2，eCAP3，eCAP4，eCAP5 和 eCAP6)。下图显示了一个模块的功能框图。

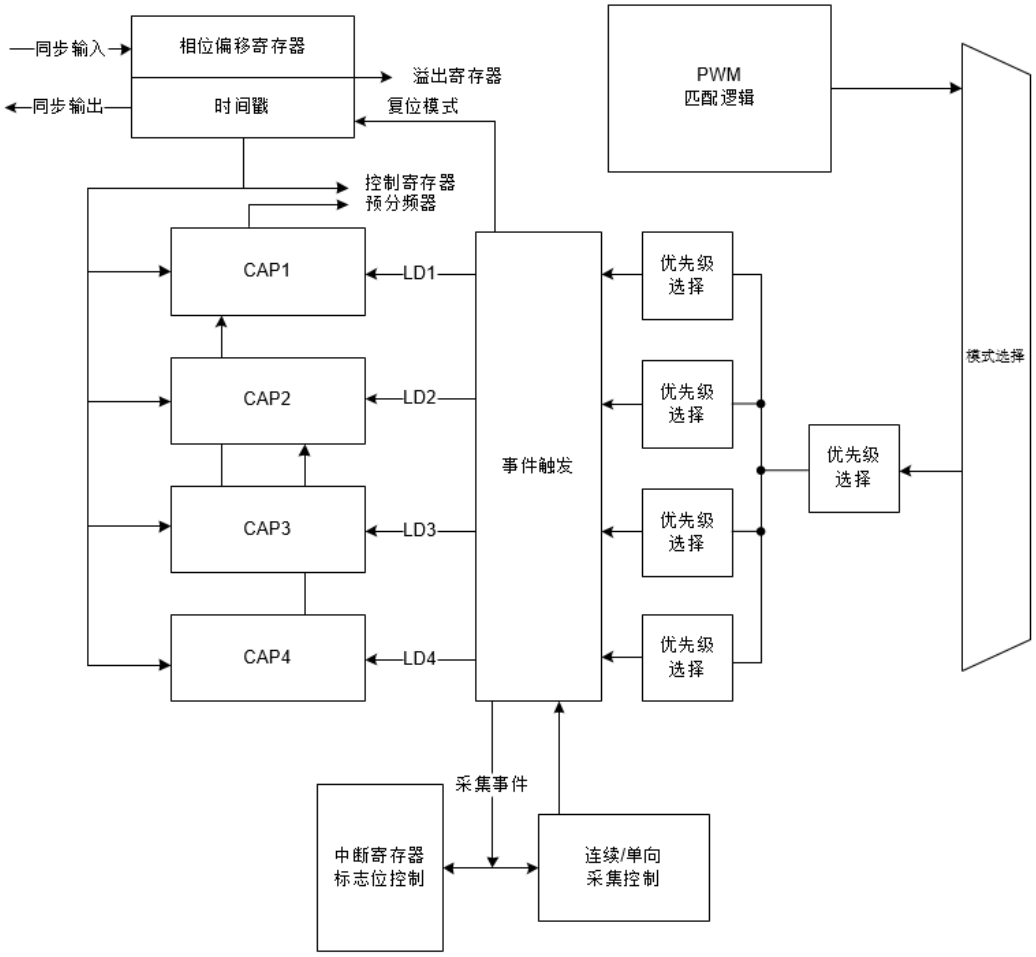


图 1-12 eCAP 功能方框图

eCAP 模块使用系统时钟（SYSCLKOUT）的频率计时。

PCLKCR1 寄存器中的时钟使能位(ECAP1ENCLK,ECAP2ENCLK,ECAP3ENCLK,ECAP4ENCLK,ECAP5ENCLK,ECAP6ENCLK)被单独用来关闭 eCAP 模块（针对低功耗运行）。复位后，ECAP1ENCLK,ECAP2ENCLK,ECAP3ENCLK,ECAP4ENCLK,ECAP5ENCLK,ECAP6ENCLK 被设为低电平，表明外设时钟关闭。

eCAP 控制和状态寄存器配置情况如下表所示：

表 1-11 eCAP 控制和状态寄存器

名称	eCAP1	eCAP2	eCAP3	eCAP4	eCAP5	eCAP6	大小(x16)	说明
TSCTR	0x6A00	0x6A20	0x6A40	0x6A60	0x6A80	0x6AA0	2	时间戳计数器
CTRPHS	0x6A02	0x6A22	0x6A42	0x6A62	0x6A82	0x6AA2	2	计数器相位偏移值寄存器
CAP1	0x6A04	0x6A24	0x6A44	0x6A64	0x6A84	0x6AA4	2	捕获 1 寄存器
CAP2	0x6A06	0x6A26	0x6A46	0x6A66	0x6A86	0x6AA6	2	捕获 2 寄存器
CAP3	0x6A08	0x6A28	0x6A48	0x6A68	0x6A88	0x6AA8	2	捕获 3 寄存器
CAP4	0x6A0A	0x6A2A	0x6A4A	0x6A6A	0x6A8A	0x6AAA	2	捕获 4 寄存器
保留	0x6A0C-0x6A12	0x6A2C-0x6A32	0x6A4C-0x6A52	0x6A6C-0x6A72	0x6A8C-0x6A92	0x6AAC-0x6AB2	8	保留
ECCTL1	0x6A14	0x6A34	0x6A54	0x6A74	0x6A94	0x6AB4	1	捕获控制寄存器 1
ECCTL2	0x6A15	0x6A35	0x6A55	0x6A75	0x6A95	0x6AB5	1	捕获控制寄存器 2
ECEINT	0x6A16	0x6A36	0x6A56	0x6A76	0x6A96	0x6AB6	1	捕获中断使能寄存器
ECFLG	0x6A17	0x6A37	0x6A57	0x6A77	0x6A97	0x6AB7	1	捕获中断标志寄存器
ECCLR	0x6A18	0x6A38	0x6A58	0x6A78	0x6A98	0x6AB8	1	捕获中断清除寄存器
ECFRC	0x6A19	0x6A39	0x6A59	0x6A79	0x6A99	0x6AB9	1	捕获中断强制寄存器
保留	0x6A1A-0x6A1F	0x6A3A-0x6A3F	0x6A5A-0x6A5F	0x6A7A-0x6A7F	0x6A9A-0x6A9F	0x6ABA-0x6ABF	6	保留

1.5.6 增强型正交编码器脉冲(QEP)模块

器件有 2 个增强型正交编码器(eQEP)模块(eQEP1，eQEP2)，下图为 eQEP 模块的功能图。

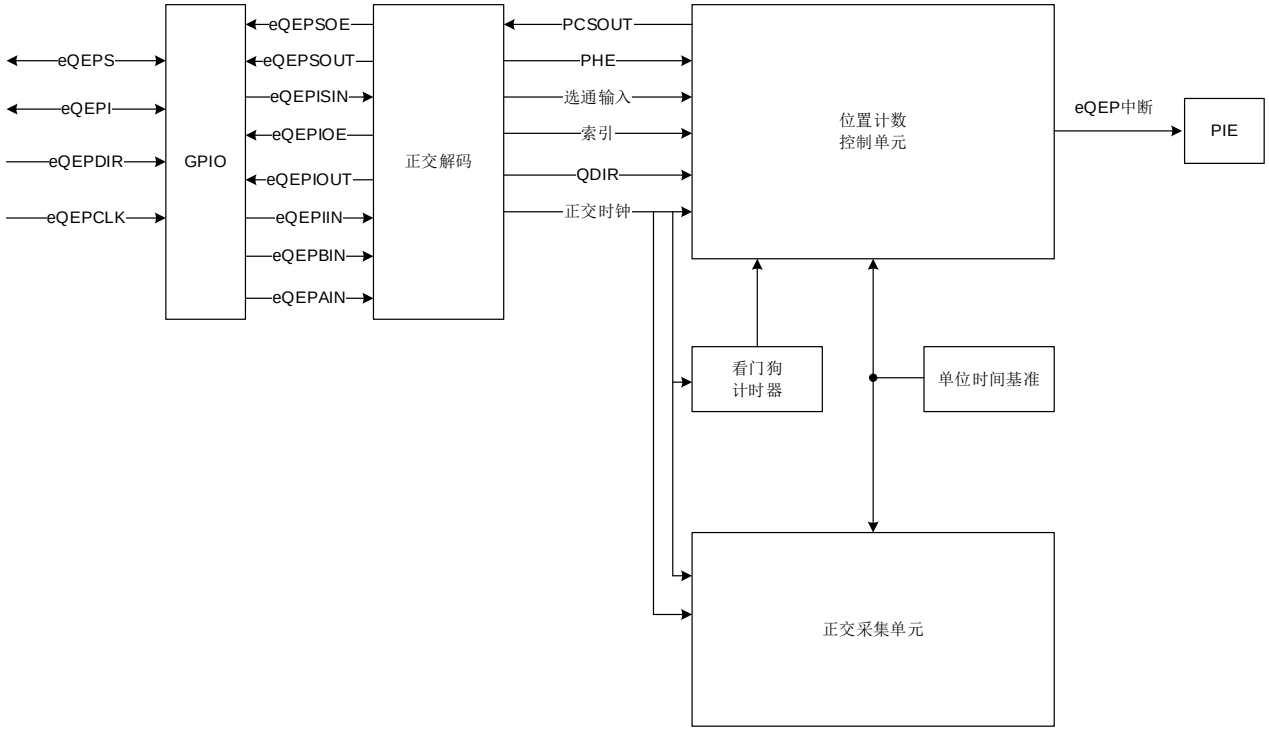


图 1-13 eQEP 功能方框图

eQEP 控制和状态寄存器配置情况如下表所示：

表 1-12 eQEP 控制和状态寄存器

名称	eQEP1 地址	eQEP2 地址	eQEP1 大小(x16)/ #SHADOW	说明
QPOSCNT	0x6B00	0x6B40	2/0	eQEP 位置计数器
QPOSINIT	0x6B02	0x6B42	2/0	eQEP 初始化位置计数
QPOSMAX	0x6B04	0x6B44	2/0	eQEP 最大位置计数
QPOSCMP	0x6B06	0x6B46	2/1	eQEP 位置比较
QPOSILAT	0x6B08	0x6B48	2/0	eQEP 索引位置锁存
QPOSSLAT	0x6B0A	0x6B4A	2/0	eQEP 选通脉冲位置锁存
QPOSLAT	0x6B0C	0x6B4C	2/0	eQEP 位置锁存
QUTMR	0x6B0E	0x6B4E	2/0	eQEP 单位定时器
QUPRD	0x6B10	0x6B50	2/0	eQEP 单位周期寄存器
QWDTMR	0x6B12	0x6B52	1/0	eQEP 看门狗定时器
QWDPRD	0x6B13	0x6B53	1/0	eQEP 看门狗周期寄存器
QDECCTL	0x6B14	0x6B54	1/0	eQEP 解码器控制寄存器
QEPCTL	0x6B15	0x6B55	1/0	eQEP 控制寄存器
QCAPCTL	0x6B16	0x6B56	1/0	eQEP 捕捉控制寄存器
QPOSCTL	0x6B17	0x6B57	1/0	eQEP 位置比较控制寄存器
QEINT	0x6B18	0x6B58	1/0	eQEP 中断使能寄存器
QFLG	0x6B19	0x6B59	1/0	eQEP 中断标志寄存器
QCLR	0x6B1A	0x6B5A	1/0	eQEP 中断清除寄存器
QFRC	0x6B1B	0x6B5B	1/0	eQEP 中断强制寄存器
QEPSTS	0x6B1C	0x6B5C	1/0	eQEP 状态寄存器
QCTMR	0x6B1D	0x6B5D	1/0	eQEP 捕捉定时器
QCPRD	0x6B1E	0x6B5E	1/0	eQEP 捕捉周期寄存器
QCTMRLAT	0x6B1F	0x6B5F	1/0	eQEP 捕捉定时器锁存
QCPRDLAT	0x6B20	0x6B60	1/0	eQEP 捕捉周期锁存
保留	0x6B21-0x6B3F	0x6B61-0x6B7F	31/0	

1.5.7 模数转换器(ADC)模块

ADC 模块由一个带有内置采样保持(S/H)电路的 12 位 ADC 组成。ADC 模块的功能包括：

- 具有内置 S/H 的 12 位 ADC 内核。
- 模拟输入：0.0V 至 3.0V（高于 3.0V 的电压产生满量程转换结果）。
- 快速转换率：在 25MHzADC 时钟、12.5MSPS 条件下高达 80ns。
- 16 个专用 ADC 通道。每次采样/保持都有复用的 8 通道。
- 自动定序功能在单次会话中可提供多达 16 次“自动转换”。可将每次转换编程为选择 16 个输入信道中的任何一个。
- 序列发生器可运行为 2 个独立的 8 态序列发生器，或作为 1 个较大的 16 态序列发生器（即 2 个级联的 8 态序列发生器）。
- 16 个用于存储转换值的结果寄存器（可分别寻址）。
- 作为转换开始序列(SOC)源的多个触发器：
  - S/W-软件立即启动
  - ePWMM 转换开始
  - XINT2ADC 转换开始
- 灵活的中断控制允许每个序列结束(EOS)或每个其它 EOS 上的中断请求。
- 序列发生器可运行于“启/停”模式，从而实现多个“时序触发器”同步转换。
- SOCA 和 SOCB 触发器可独立运行在双序列发生器模式中。
- 采样保持(S/H)采集时间窗口具有独立的预分频控制。

ADC 简化功能框图如下图所示：

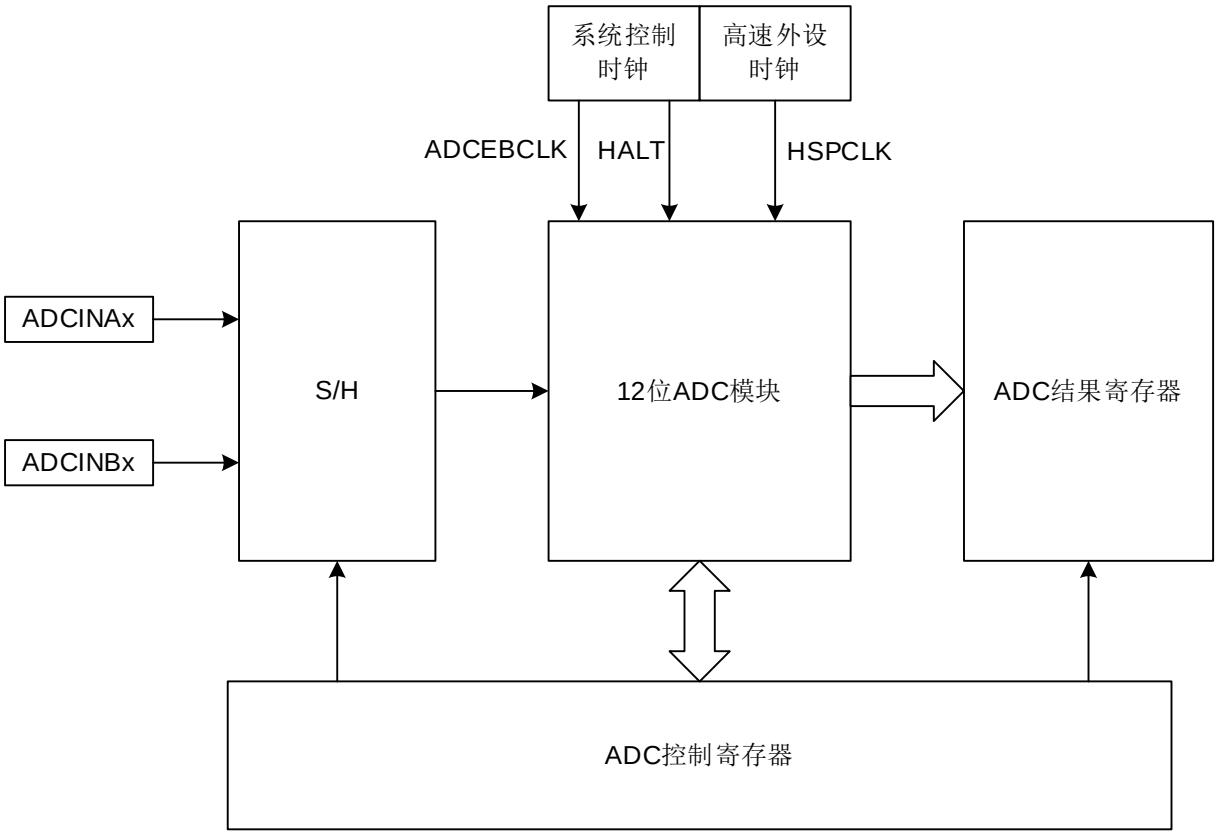


图 1-14 ADC 功能框图

ADC 模块具有 16 个通道，并可配置为用于 ePWM 模块的 2 个独立的 8 通道模块。可将 2 个独立的 8 通道模块级联 1 个 16 通道模块。尽管有多个输入通道和 2 个序列发生器，但在 ADC 模块中只有一个转换器。

下图是 ADC 使用内部基准时的引脚连接方案：

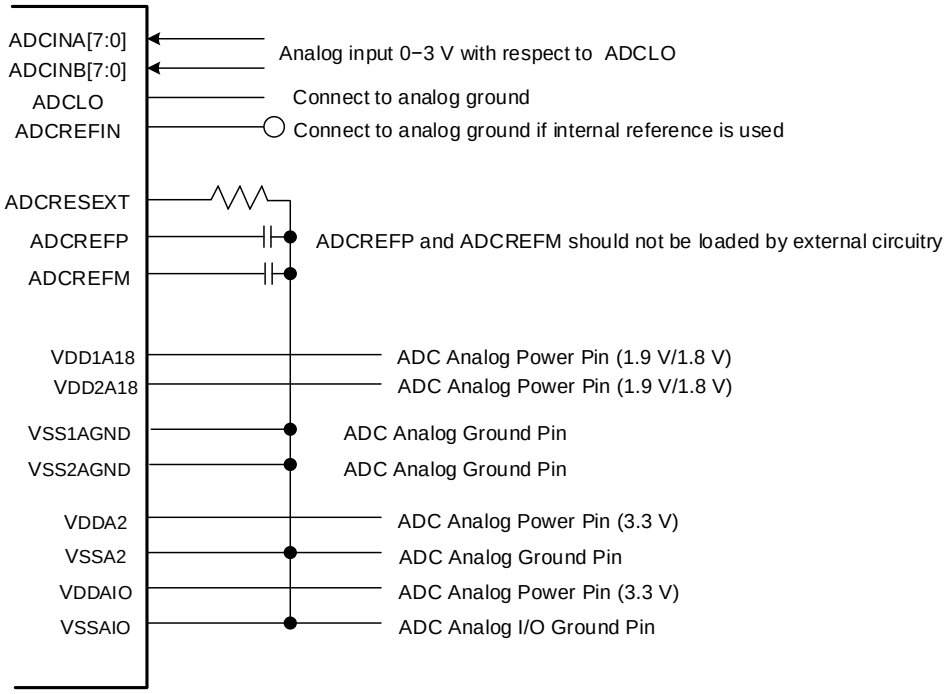


图 1-15 ADC 内部基准引脚

【提示 1】建议在所有电源引脚上使用外部去耦合电容器。

【提示 2】为了防止 ADC 性能降低，ADC 模拟信号输入端必须被运算放大器驱动。

下图是 ADC 使用外部基准时的引脚连接方案：

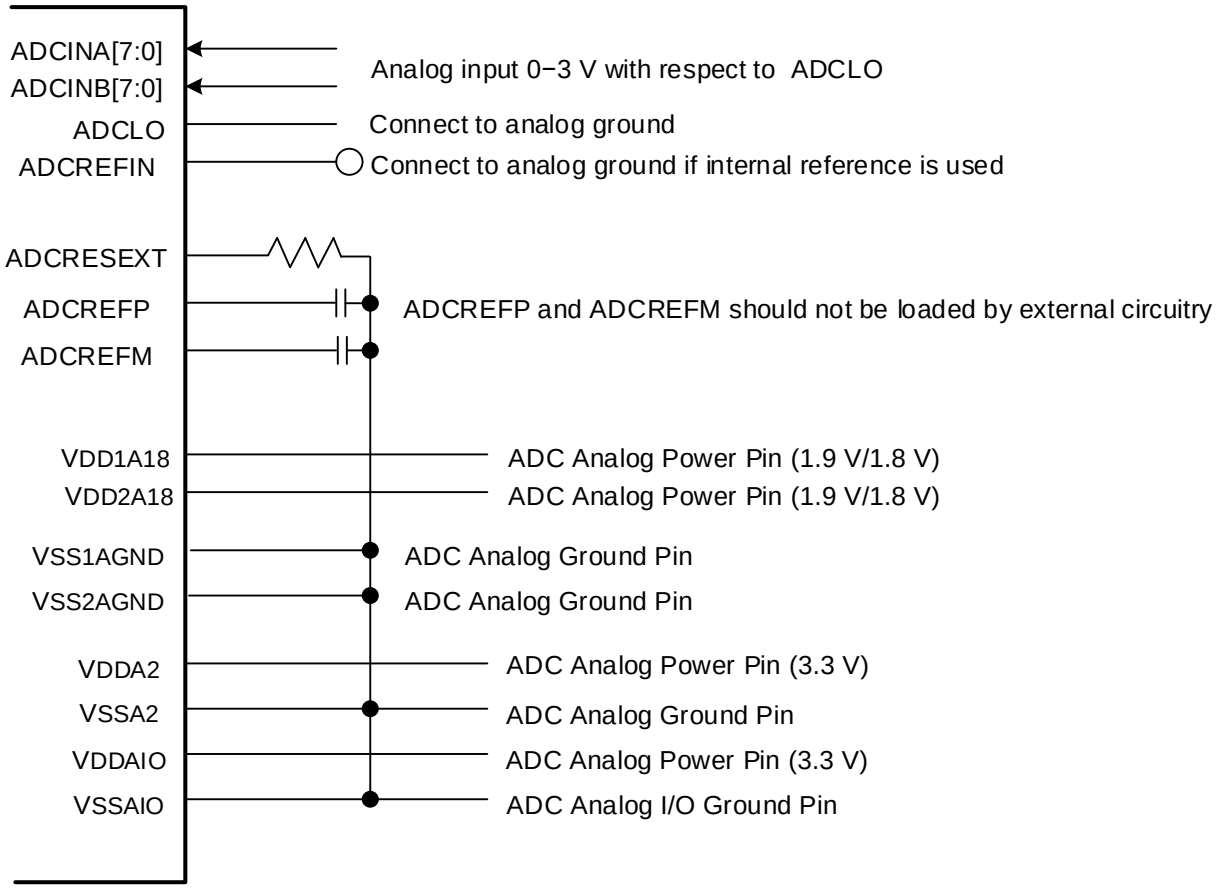


图 1-16 ADC 外部基准引脚

【提示 1】建议在所有电源引脚上使用外部去耦合电容器。

【提示 2】为了防止 ADC 性能降低，ADC 模拟信号输入端必须被运算放大器驱动。

ADC 未启用时 ADC 引脚连接建议：

- V_{DD1A18}/V_{DD2A18}-连接至 V_{DD}
- V_{DDA2}，V_{DDAIO}-连接至 V_{DDIO}
- $V_{SS1AGND}$/$V_{SS2AGND}$，V_{SSA2}，V_{SSAIO}-连接至 V_{SS}
- ADCLO-连接至 V_{SS}
- ADCREFIN-连接至 V_{SS}
- ADCREFP/ADCREFM-连接一个 100nF 电容器至 V_{SS}
- ADCRESEXT-连接一个 20kΩ 电阻器（非常松散的耐受）至 V_{SS}
- ADCINAn，ADCINBn-连接至 V_{SS}

当 ADC 未被使用时，为了达到节能的目的，请确保到 ADC 模块的时钟未被打开。当在一个应用中使用 ADC 模块时，未使用的 ADC 输入引脚应被连接至模拟接地($V_{SS1AGND}$/$V_{SS2AGND}$)。

ADC 的控制、状态寄存器如下表所示：

表 1-13 ADC 控制和状态寄存器

名称	地址（1）	地址（2）	大小(x16)	说明
ADCTRL1	0x7100		1	ADC 控制寄存器 1
ADCTRL2	0x7101		1	ADC 控制寄存器 2
ADCMAXCONV	0x7102		1	ADC 最大转换信道数寄存器
ADCCHSELSEQ1	0x7103		1	ADC 信道选择定序控制寄存器 1
ADCCHSELSEQ2	0x7104		1	ADC 信道选择定序控制寄存器 2
ADCCHSELSEQ3	0x7105		1	ADC 信道选择定序控制寄存器 3
ADCCHSELSEQ4	0x7106		1	ADC 信道选择定序控制寄存器 4
ADCASEQSR	0x7107		1	ADC 自动定序状态寄存器
ADCRESULT0	0x7108	0x0B00	1	ADC 转换结果缓冲寄存器 0
ADCRESULT1	0x7109	0x0B01	1	ADC 转换结果缓冲寄存器 1
ADCRESULT2	0x710A	0x0B02	1	ADC 转换结果缓冲寄存器 2
ADCRESULT3	0x710B	0x0B03	1	ADC 转换结果缓冲寄存器 3
ADCRESULT4	0x710C	0x0B04	1	ADC 转换结果缓冲寄存器 4
ADCRESULT5	0x710D	0x0B05	1	ADC 转换结果缓冲寄存器 5
ADCRESULT6	0x710E	0x0B06	1	ADC 转换结果缓冲寄存器 6
ADCRESULT7	0x710F	0x0B07	1	ADC 转换结果缓冲寄存器 7
ADCRESULT8	0x7110	0x0B08	1	ADC 转换结果缓冲寄存器
ADCRESULT9	0x7111	0x0B09	1	ADC 转换结果缓冲寄存器 9
ADCRESULT10	0x7112	0x0B0A	1	ADC 转换结果缓冲寄存器 10
ADCRESULT11	0x7113	0x0B0B	1	ADC 转换结果缓冲寄存器 11
ADCRESULT12	0x7114	0x0B0C	1	ADC 转换结果缓冲寄存器 12
ADCRESULT13	0x7115	0x0B0D	1	ADC 转换结果缓冲寄存器 13
ADCRESULT14	0x7116	0x0B0E	1	ADC 转换结果缓冲寄存器 14
ADCRESULT15	0x7117	0x0B0F	1	ADC 转换结果缓冲寄存器 15
ADCTRL3	0x7118		1	ADC 控制寄存器 3
ADCTRL4	0x711A		1	ADC 控制寄存器 4
ADCST	0x7119		1	ADC 状态寄存器
保留	0x711B		1	保留
ADCREFSEL	0x711C		1	ADC 基准选择寄存器
ADCOFFTRIM	0x711D		1	ADC 偏移调整寄存器

保留	0x711E		1	保留
保留	0x711F		1	保留

【提示 1】本列中的寄存器为外设帧 2 寄存器。

【提示 2】ADC 结果寄存器是双映射。外设帧 2(0x7108-0x7117)中的位置为 2 等待状态，且为左对齐。外设帧 0 空间（0x0B00-0x0B0F）的位置对 CPU 访问是 1 等待状态和对于 DMA 访问是 0 等待状态，右对齐。在 ADC 的高速/连续转换使用期间，使用 0 等待状态位置进行 ADC 结果到用户内存的快速转换。

ADC 校准

ADC_cal()例程被工厂编程到预留的 OTP 存储器中。引导 ROM 自动调用 ADC_cal()例程来使用特定器件的校准数据来初始化 ADCREFSEL 和 ADCOFFTRIM 寄存器。正常运行期间，这个过程中会自动发生，无需用户进行任何操作。

如果在开发过程中，引导 ROM 被 CodeComposerStudio 绕过，那么 ADCREFSEL 和 ADCOFFTRIM 就必须由应用进行初始化。

1.5.8 多通道缓冲串行端口(McBSP)模块

McBSP 模块有以下特性：

- 全双工通信。
- 允许连续数据流的双缓冲数据寄存器。
- 用于接收和发送的独立成帧和时钟。
- 外部移位时钟生成或者一个内部可设定频率移位时钟。
- 包括 8，12，16，20，24 或者 32 位在内的宽数据尺寸选择。
- 以 LSB 或者 MSB 开头的 8 位数据传输。
- 用于帧同步和数据时钟的可编程极性。
- 高度可编程内部时钟和帧生成。
- 到工业标准 CODEG、模拟接口芯片(AIC)、和其它串行连接的 A/D 和 D/A 器件的直接接口。
- 与 SPI 兼容器件一起工作。
- MCBSP 上支持下列应用接口：
  - T1/E1 成帧器。
  - 符合 IOM-2 的器件。
  - AC97-兼容器件（提供所需的多相位帧同步功能）。
  - IIS-兼容器件。
  - 串行外设接口(SPI)。
- MCBSP 时钟速率：

$$CLKG = \frac{CLKSRG}{(1 + CLKGDV)}$$

CLKSRG 时钟源可以是 LSPCLK，CLKX 或者 CLKR。串行端口性能受到 I/O 缓冲器开关速度的影响。内部预分频器必须根据使用的时钟源进行调整，外设速度将低于 I/O 缓冲器速度。

McBSP 功能框图如下所示：

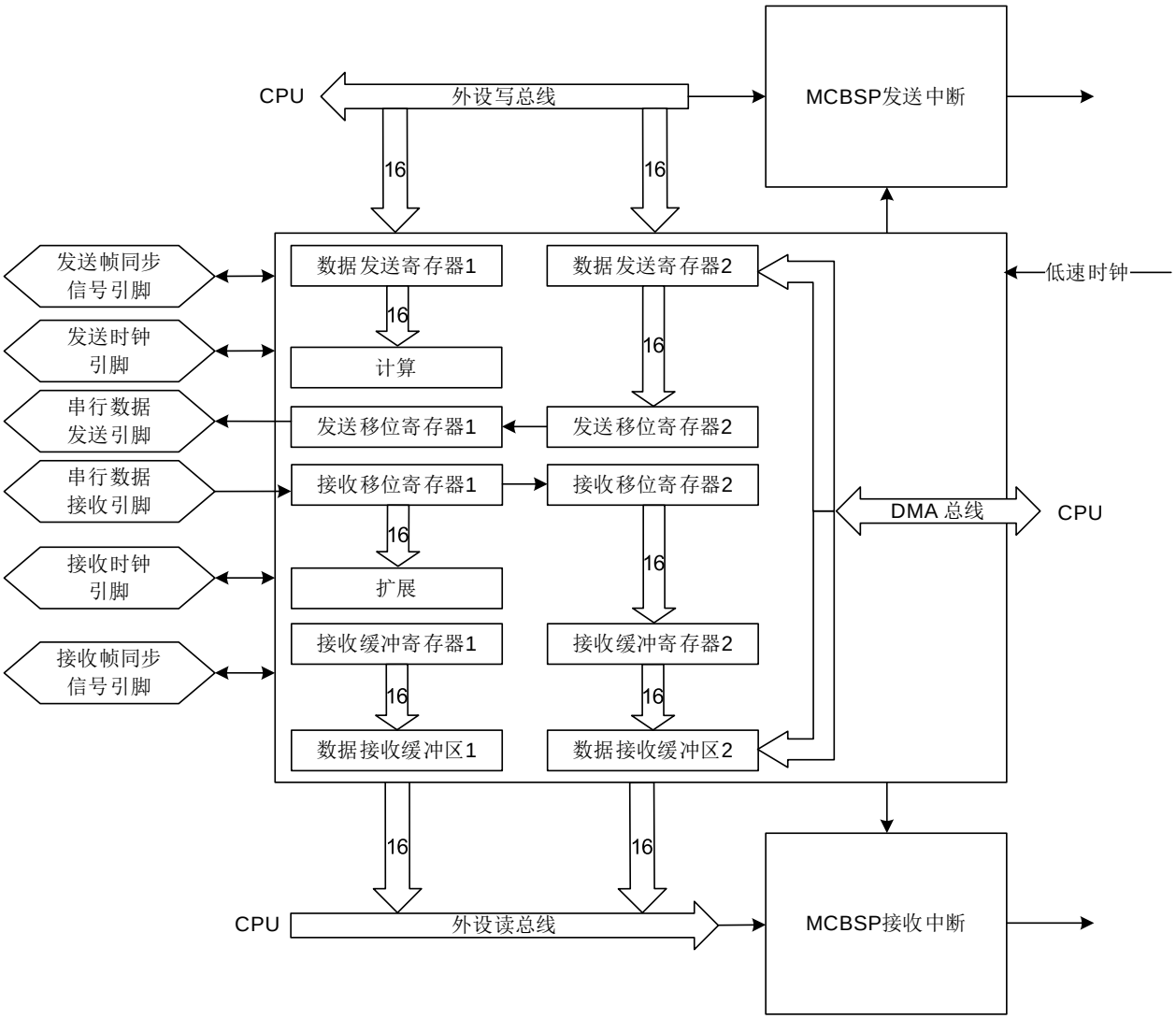


图 1-17 MCBSP 功能方框图

McBSP 寄存器汇总见下表：

表 1-14 MCBSP 寄存器

名称	McBSP-A 地址	McBSP-B 地址	类型	复位值	说明
数据寄存器，接收、发送					
DRR2	0x5000	0x5040	读	0x0000	McBSP 数据接收寄存器 2
DRR1	0x5001	0x5041	读	0x0000	McBSP 数据接收寄存器 1
DXR2	0x5002	0x5042	写	0x0000	McBSP 数据发送寄存器 2
DXR1	0x5003	0x5043	写	0x0000	McBSP 数据发送寄存器 1
McBSP 控制寄存器					
SPCR2	0x5004	0x5044	读/写	0x0000	McBSP 串行端口控制寄存器 2
SPCR1	0x5005	0x5045	读/写	0x0000	McBSP 串行端口控制寄存器 1
RCR2	0x5006	0x5046	读/写	0x0000	McBSP 接收控制寄存器 2
RCR1	0x5007	0x5047	读/写	0x0000	McBSP 接收控制寄存器 1
XCR2	0x5008	0x5048	读/写	0x0000	McBSP 发送控制寄存器 2
XCR1	0x5009	0x5049	读/写	0x0000	McBSP 发送控制寄存器 1
SRGR2	0x500A	0x504A	读/写	0x0000	McBSP 采样率发生器寄存器 2
SRGR1	0x500B	0x504B	读/写	0x0000	McBSP 采样率发生器寄存器 1
多通道控制寄存器					
MCR2	0x500C	0x504C	读/写	0x0000	McBSP 多通道寄存器 2
MCR1	0x500D	0x504D	读/写	0x0000	McBSP 多通道寄存器 1
RCERA	0x500E	0x504E	读/写	0x0000	McBSP 接收通道使能寄存器分区 A
RCERB	0x500F	0x504F	读/写	0x0000	McBSP 接收通道使能寄存器分区 B
XCERA	0x5010	0x5050	读/写	0x0000	McBSP 发送通道使能寄存器分区 A
XCERB	0x5011	0x5051	读/写	0x0000	McBSP 发送通道使能寄存器分区 B
PCR	0x5012	0x5052	读/写	0x0000	McBSP 引脚控制寄存器
RCERC	0x5013	0x5053	读/写	0x0000	McBSP 接收通道使能寄存器分区 C
RCERD	0x5014	0x5054	读/写	0x0000	McBSP 接收通道使能寄存器分区 D
XCERC	0x5015	0x5055	读/写	0x0000	McBSP 发送通道使能寄存器分区 C
XCERD	0x5016	0x5056	读/写	0x0000	McBSP 发送通道使能寄存器分区 D
RCERE	0x5017	0x5057	读/写	0x0000	McBSP 接收通道使能寄存器分区 E
RCERF	0x5018	0x5058	读/写	0x0000	McBSP 接收通道使能寄存器分区 F
XCERE	0x5019	0x5059	读/写	0x0000	McBSP 发送通道使能寄存器分区 E
XCERF	0x501A	0x505A	读/写	0x0000	McBSP 发送通道使能寄存器分区 F

RCERG	0x501B	0x505B	读/写	0x0000	McBSP 接收通道使能寄存器分区 G
RCERH	0x501C	0x505C	读/写	0x0000	McBSP 接收通道使能寄存器分区 H
XCERG	0x501D	0x505D	读/写	0x0000	McBSP 发送通道使能寄存器分区 G
XCERH	0x501E	0x505E	读/写	0x0000	McBSP 发送通道使能寄存器分区 H
MFFINT	0x5023	0x5063	读/写	0x0000	McBSP 中断使能寄存器

1.5.9 增强型控制器局域网(eCAN)模块（eCAN-A 和 eCAN-B）

CAN 模块有下列特性：

- 完全兼容 ISO11898-1(CAN2.0B)协议。
- 支持高达 1Mbps 的数据速率：
  - 可配置为接收或者发送。
  - 可使用标准或者扩展标识符进行配置。
  - 具有一个可编程接收掩码。
  - 支持数据和远程帧。
  - 由 0 至 8 字节数据组成。
  - 在接收和发送消息上使用一个 32 位时间戳。
  - 防止接收新消息。
  - 保持发送消息的动态可编程优先级。
  - 采用具有两个中断级别的可编程中断机制。
  - 采用针对发送或接收超时的可编程警报。
- 低功耗模式。
- 总线活动上的可编程唤醒。
- 对远程请求消息可自动答复。
- 丢失仲裁帧或者错误情况下的帧自动重传。
- 由一个特定消息同步的 32 位本地网络时间计数器（与邮箱 16 协同通信）。
- 自测模式：
  - 运行在接收自身消息的回路模式。用来提供一个虚拟的确认，从而不需要由其他节点来提供确认位的需要。

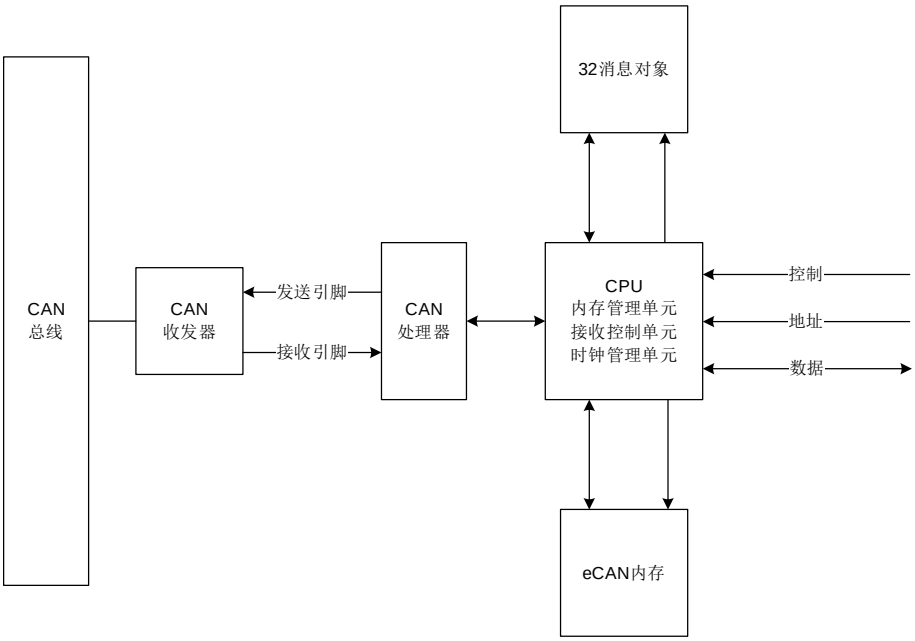


图 1-18 eCAN 方框图和接口电路

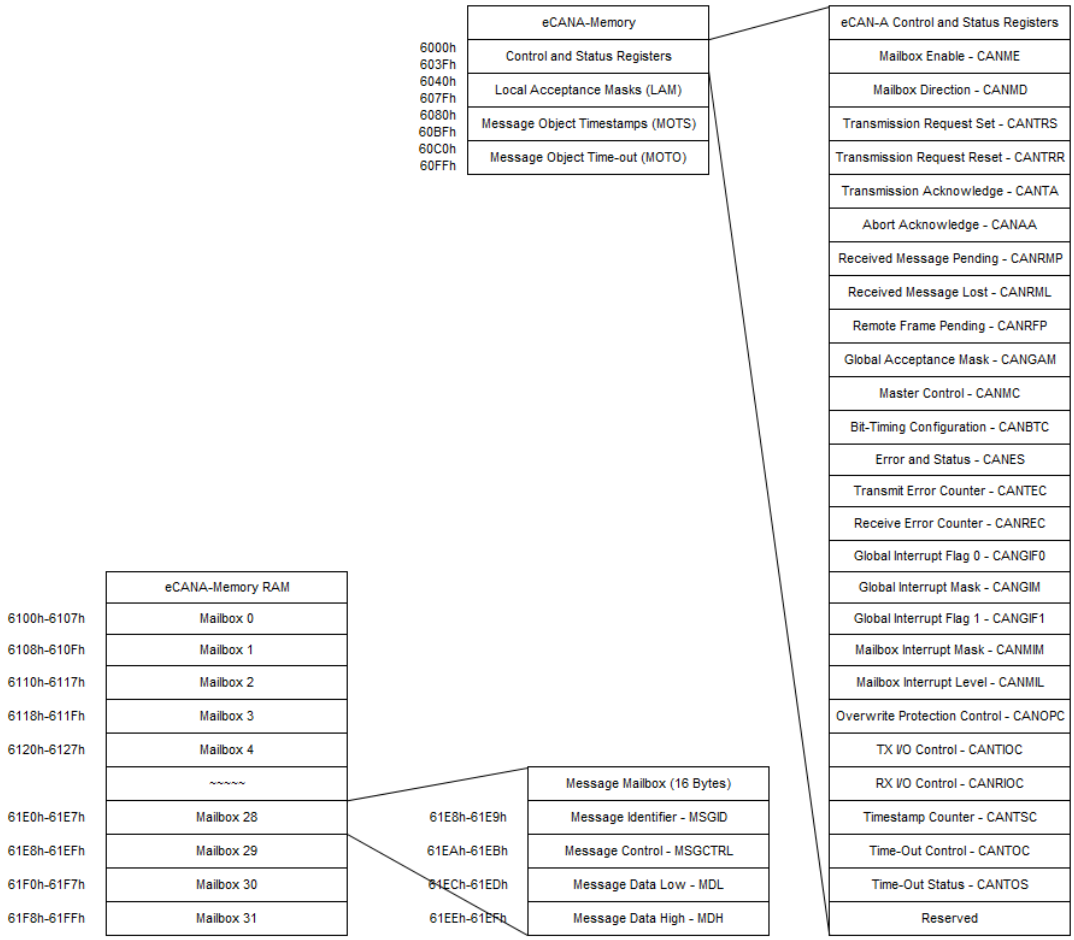


图 1-19 eCAN-A 内存映射

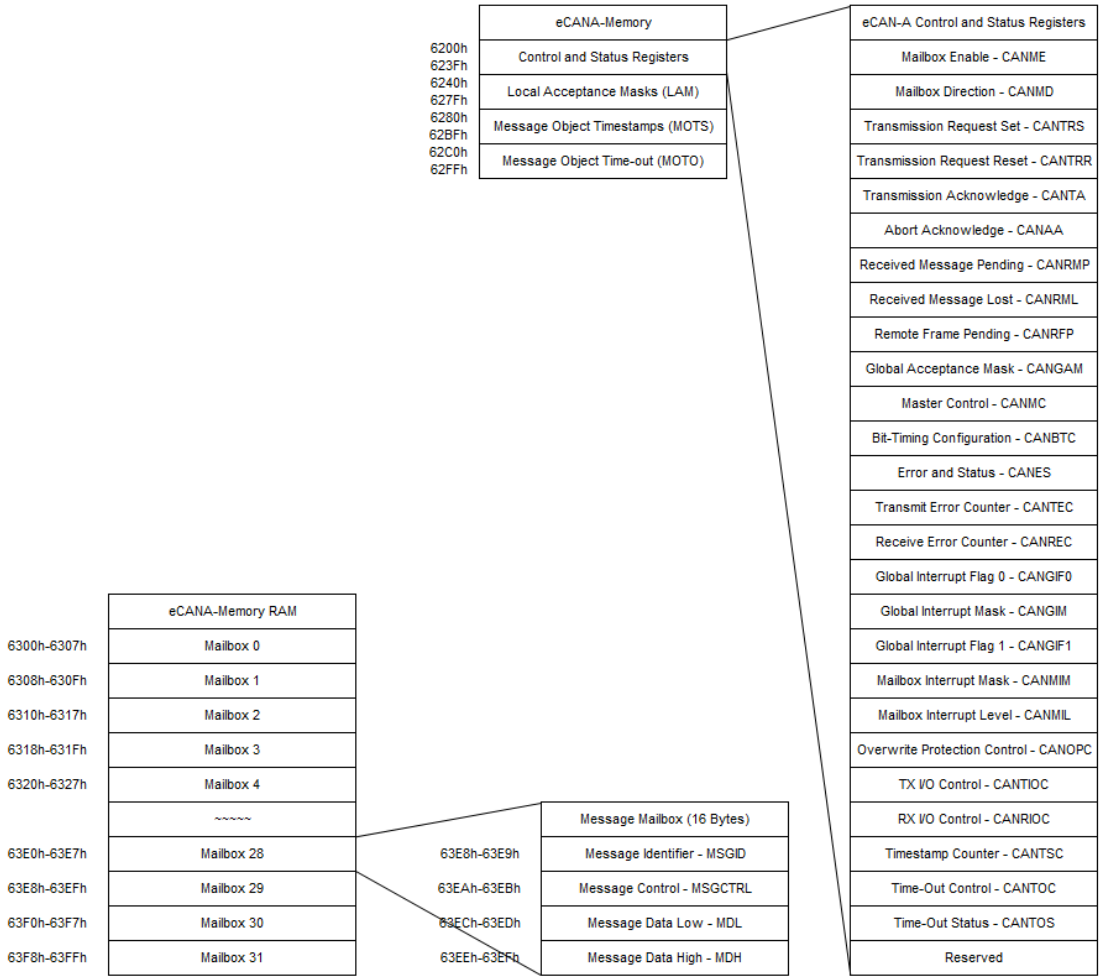


图 1-20 eCAN-B 内存映射

CAN 寄存器映射如下表所示：

表 1-15 CAN 寄存器映射

名称	eCAN-A 地址	eCAN-B 地址	大小(x32)	说明
CANME	0x6000	0x6200	1	邮箱启用
CANMD	0x6002	0x6202	1	邮箱方向
CANTRS	0x6004	0x6204	1	发送请求设定
CANTRR	0x6006	0x6206	1	发送请求复位
CANTA	0x6008	0x6208	1	传输确认
CANAA	0x600A	0x620A	1	中止确认
CANRMP	0x600C	0x620C	1	接收消息等待
CANRML	0x600E	0x620E	1	接收消息丢失
CANRFP	0x6010	0x6210	1	远程帧等待
CANGAM	0x6012	0x6212	1	全局接收屏蔽
CANMC	0x6014	0x6214	1	主器件控制
CANBTC	0x6016	0x6216	1	位时序配置
CANES	0x6018	0x6218	1	错误和状态
CANTEC	0x601A	0x621A	1	发送错误计数器
CANREC	0x601C	0x621C	1	接收错误计数器
CANGIF0	0x601E	0x621E	1	全局中断标志 0
CANGIM	0x6020	0x6220	1	全局中断屏蔽
CANGIF1	0x6022	0x6222	1	全局中断标志 1
CANMIM	0x6024	0x6224	1	邮箱中断屏蔽
CANMIL	0x6026	0x6226	1	邮箱中断级别
CANOPC	0x6028	0x6228	1	写覆盖保护控制
CANTIOC	0x602A	0x622A	1	TXI/O 控制
CANRIOC	0x602C	0x622C	1	RXI/O 控制
CANTSC	0x602E	0x622E	1	时间戳计数器（保留在 SCC 模式中）
CANTOC	0x6030	0x6230	1	超时控制（保留在 SCC 模式中）
CANTOS	0x6032	0x6232	1	超时状态（保留在 SCC 模式中）

1.5.10 串行通信接口(SCI)模块(SCI-A，SCI-B，SCI-C)

器件包括三个异步串行通信接口(SCI)模块。SCI 模块支持 CPU 与其它异步外设之间的使用标准非归零码(NRZ)格式的数字通信。SCI 接收器和发送器是双缓冲的，并且它们中的每一个有其自身独立的使能和中断位。两个器件都可独立或者同时地运行在全双工模式。为了确保数据完整性，SCI 在中断检测、奇偶性、超载和组帧错误方面对接收到的数据进行检查。通过一个 16 位波特率选择寄存器，可将比特率设定为超过 65000 种不同的波特率。

每个 SCI 模块的特性包括：

- 两个外部引脚：
  - SCITXD：SCI 发送-输出引脚。
  - SCIRXD：SCI 接收-输入引脚。

【提示 1】如果不用于 SCI，则两个引脚都可以用作 GPIO。

- 波特率被设定为 64000 种不同速率：

$$\text{Baud rate} = \frac{\text{LSPCLK}}{(\text{BRR}+1)*8} \qquad \text{when BRR} \neq 0$$

$$\text{Baud rate} = \frac{\text{LSPCLK}}{16} \qquad \text{when BRR} = 0$$

- 数据字格式：
  - 一个开始位。
  - 数据-字长度可被设定为 1 至 8 位。
  - 可选偶/奇/无奇偶校验位。
  - 一个或者两个停止位。
- 四个错误检测标志：奇偶、超载、组帧和中断检测。
- 两个唤醒多处理器模式：空闲线路和地址位。
- 半双工或者全双工运行。
- 双缓冲接收和发送功能。
- 可通过带有状态标志的中断驱动或者轮询算法来完成发射器和接收器操作：
  - 发送器：TXRDY 标志（发射器缓冲寄存器已经准备好接收另外字符）和 TXEMPTY（TX 空）标志（发送器移位寄存器已空）。
  - 接收器：RXRDY 标志（接收器缓冲寄存器已经准备好接收另外的字符），BRKDT 标志（发生了中断条件）和 RXERROR 错误标志（监控四个中断条件）。
- 用于发送器和接收器中断的独立使能位（除了 BRKDT）。
- NRZ（非归零）码格式。
- 增强型特性：
  - 自动波特率检测硬件逻辑电路。
  - 16 级发送/接收 FIFO。

SCI-A 寄存器配置和控制如下表所示：

表 1-16 SCIA 寄存器

名称	地址	大小（x16）	是否受 EALLOW 保护	说明
SCICCRA	0x007050	1	否	SCI-A 通信控制寄存器
SCICTL1A	0x007051	1	否	SCI-A 控制寄存器
SCIHBAUDA	0x007052	1	否	SCI-A 波特率寄存器，高位
SCILBAUDA	0x007053	1	否	SCI-A 波特率寄存器，低位
SCICTL2A	0x007054	1	否	SCI-A 控制寄存器 2
SCIRXSTA	0x007055	1	否	SCI-A 接收状态寄存器
SCIRXEMUA	0x007056	1	否	SCI-A 接收仿真数据缓冲寄存器
SCIRXBUFA	0x007057	1	否	SCI-A 接收数据缓冲寄存器
SCITXBUFA	0x007059	1	否	SCI-A 发送数据缓冲寄存器
SCIFFTXA	0x00705A	1	否	SCI-AFIFO 发送寄存器
SCIFFRXA	0x00705B	1	否	SCI-AFIFO 接收寄存器
SCIFFCTA	0x00705C	1	否	SCI-AFIFO 控制寄存器
SCIPRIA	0x00705F	1	否	SCI-A 优先级控制寄存器

【提示 1】这个表中的寄存器被映射到外设帧 2 空间。这空间只允许 16 位访问。32 位访问会产生未定义的后果。

【提示 2】这些寄存器是用于 FIFO 模式的全新寄存器。

SCI-B 寄存器配置和控制如下表所示：

表 1-17 SCIB 寄存器

名称	地址	大小（x16）	是否受 EALLOW 保护	说明
SCICCRB	0x007750	1	否	SCI-B 通信控制寄存器
SCICTL1B	0x007751	1	否	SCI-B 控制寄存器
SCIHBBUDB	0x007752	1	否	SCI-B 波特率寄存器，高位
SCILBBUDB	0x007753	1	否	SCI-B 波特率寄存器，低位
SCICTL2B	0x007754	1	否	SCI-B 控制寄存器 2
SCIRXSTB	0x007755	1	否	SCI-B 接收状态寄存器
SCIRXEMUB	0x007756	1	否	SCI-B 接收仿真数据缓冲寄存器
SCIRXBUFB	0x007757	1	否	SCI-B 接收数据缓冲寄存器
SCITXBUFB	0x007759	1	否	SCI-B 发送数据缓冲寄存器
SCIFFTXB	0x00775B	1	否	SCI-BFIFO 发送寄存器
SCIFFRXB	0x00775B	1	否	SCI-BFIFO 接收寄存器

SCIFFCTB	0x00775C	1	否	SCI-BFIFO 控制寄存器
SCIPRIB	0x00775F	1	否	SCI-B 优先级控制寄存器

【提示 1】这个表中的寄存器被映射到外设帧 2 空间。这空间只允许 16 位访问。32 位访问会产生未定义的后果。

【提示 2】这些寄存器是用于 FIFO 模式的全新寄存器。

SCI-C 寄存器配置和控制如下表所示：

表 1-18 SCIC 寄存器

名称	地址	大小（x16）	是否受 EALLOW 保护	说明
SCICCRC	0x007770	1	否	SCI-C 通信控制寄存器
SCICTL1C	0x007771	1	否	SCI-C 控制寄存器
SCIHBBUDC	0x007772	1	否	SCI-C 波特率寄存器，高位
SCILBBUDC	0x007773	1	否	SCI-C 波特率寄存器，低位
SCICTL2C	0x007774	1	否	SCI-C 控制寄存器 2
SCIRXSTC	0x007775	1	否	SCI-C 接收状态寄存器
SCIRXEMUC	0x007776	1	否	SCI-C 接收仿真数据缓冲寄存器
SCIRXBUFC	0x007777	1	否	SCI-C 接收数据缓冲寄存器
SCITXBUFC	0x007779	1	否	SCI-C 发送数据缓冲寄存器
SCIFFTXC	0x00777B	1	否	SCI-CFIFO 发送寄存器
SCIFFRXC	0x00777B	1	否	SCI-CFIFO 接收寄存器
SCIFFCTC	0x00777C	1	否	SCI-CFIFO 控制寄存器
SCIPRIC	0x00777F	1	否	SCI-C 优先级控制寄存器

【提示 1】这个表中的寄存器被映射到外设帧 2 空间。这空间只允许 16 位访问。32 位访问会产生未定义的后果。

【提示 2】这些寄存器是用于 FIFO 模式的全新寄存器。

1.5.11 串行外设接口(SPI)模块（SPI-A）

器件包括四引脚的串行通信接口(SPI)模块。一个 SPI 模块（SPI-A）可用。SPI 是一个高速、同步串行 I/O 端口，此端口可在设定的位传输速率上将一个设定长度（1 至 16 位）的串行比特流移入和移出器件。通常，SPI 用于 DSP 和外部外设或者其它处理器之间的通信。典型应用包括外部 I/O 或者从诸如移位寄存器、显示驱动器和 ADC 等器件的外设扩展。多器件通信由 SPI 的主控/受控操作支持。

- SPI 模块的特性包括：
- 四个外部引脚：
  - SPISOMI：SPI 从器件输出/主器件输入引脚。
  - SPISIMO：SPI 从器件输入/主器件输出引脚。
  - SPISTEn：SPI 从器件发送使能引脚。
  - SPICLK：SPI 串行时钟引脚。
- 两个运行模式：主控和受控。
- 支持多种波特率：125 个不同的可编辑速率。

$$\text{Baud rate} = \frac{\text{LSPCLK}}{(\text{SPIBRR} + 1)} \qquad \text{when SPIBRR} = 3 \text{ to } 127$$

$$\text{Baud rate} = \frac{\text{LSPCLK}}{4} \qquad \text{when SPIBRR} = 0, 1, 2$$

- 数据字长度：1 至 16 数据位。
- 包括 4 种时钟模式（由时钟极性和时钟相位的位控制）：
  - 无相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号的下降沿上发送数据，在 SPICLK 信号的上升沿上接收数据。
  - 有相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号下降沿提前半个周期发送数据，在 SPICLK 信号的下降沿上接收数据。
  - 无相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号的上升沿上发送数据，在 SPICLK 信号的下降沿上接收数据。
  - 有相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号上升沿的半个周期之前发送数据，而在 SPICLK 信号的上升沿上接收数据。
- 同时接收和发送操作（发送功能可在软件中被禁用）。
- 通过中断驱动或者轮询算法来完成发射器和接收器运行。
- 9 个 SPI 模块控制寄存器：位于控制寄存器内，帧开始地址 7040h。
- 增强型特性：
  - 16 级发送/接收 FIFO。
  - 延迟发送控制。

SPI 端口配置和控制寄存器如下表所示：

表 1-19 SPI 端口配置和寄存器

名称	地址	大小（x16）	说明
SPICCR	0x7040	1	SPI-A 配置控制寄存器
SPICTL	0x7041	1	SPI-A 运行控制寄存器
SPISTS	0x7042	1	SPI-A 状态寄存器
SPIBRR	0x7044	1	SPI-A 波特率寄存器
SPIRXEMU	0x7046	1	SPI-A 接收仿真缓冲器寄存器
SPIRXBUF	0x7047	1	SPI-A 串行输入缓冲器寄存器
SPITXBUF	0x7048	1	SPI-A 串行输出缓冲器寄存器
SPIDAT	0x7049	1	SPI-A 串行数据寄存器
SPIFFTX	0x704A	1	SCI-A_FIFO 发送寄存器
SPIFFRX	0x704B	1	SCI-A_FIFO 接收寄存器
SPIFFCT	0x704C	1	SCI-A_FIFO 控制寄存器
SPIPRI	0x704F	1	SCI-A 优先级控制寄存器

下图为处于受控模式下的 SPI 的功能框图：

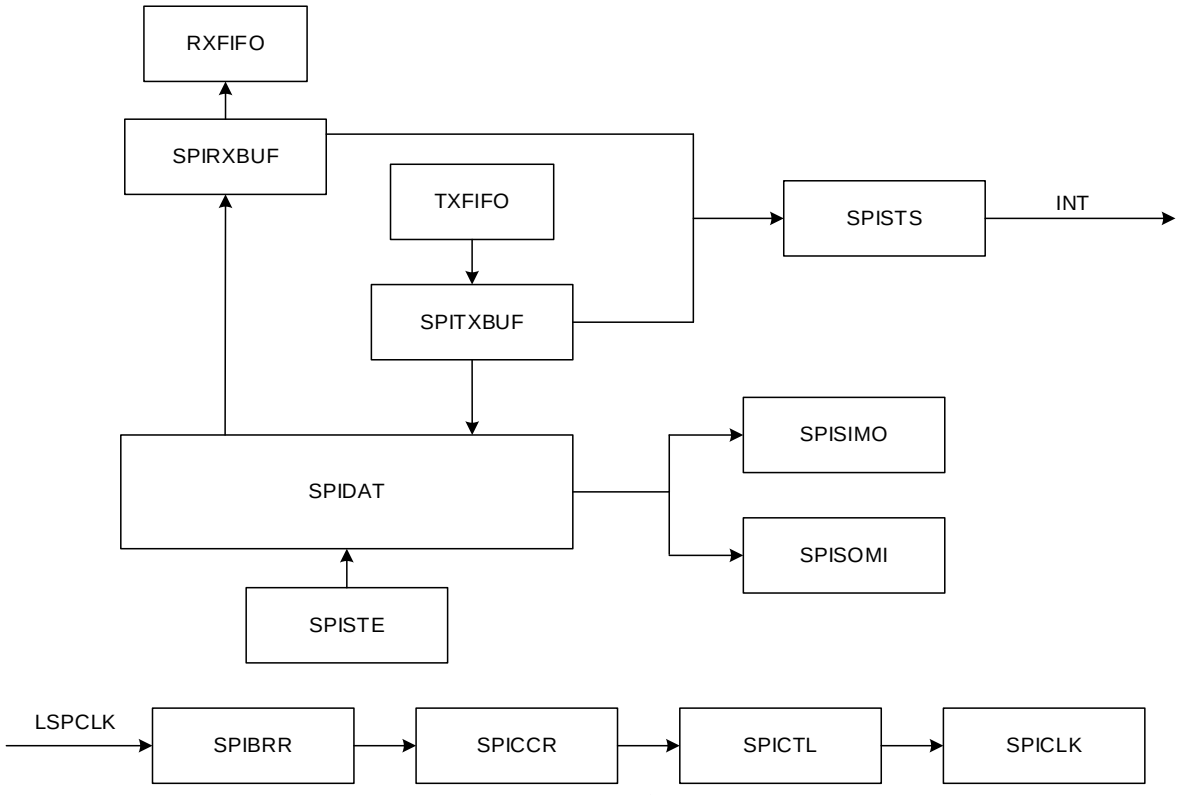


图 1-21 SPI 方框图

1.5.12 内部集成电路(I^2C)

包含一个 I²C 串行端口。下图显示了此器件内的 I²C 外设模块接口。

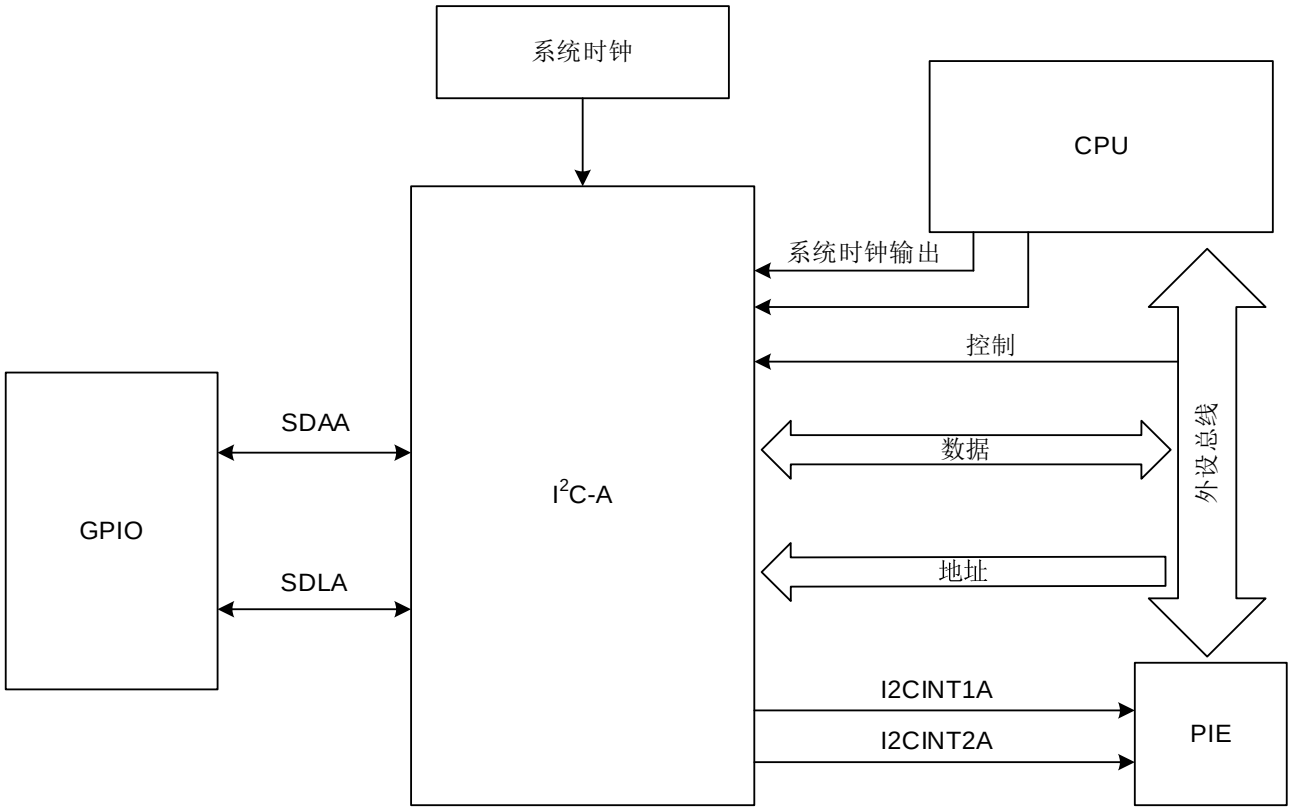


图 1-22 I²C 外设模块接口

I²C 模块具有以下特性：

- 符合飞利浦半导体 I²C 总线规格（版本 2.1）：
  - 支持 1 位至 8 位格式传输。
  - 7 位和 10 位寻址模式。
  - 常规调用。
  - START 字节模式。
  - 支持多个主发送器和从接收器。
  - 支持多个从发送器和主接收器。
  - 组合主器件发送/接收和接收/发送模式。
  - 数据传输速率从 10kbps 到高达 400kbps（I²C 快速模式速率）。
- 一个 16 字接收 FIFO 和一个 16 字发送 FIFO。
- 可以由 CPU 使用的一个中断。这个中断可由下列条件中的一个生成：
  - 发送数据准备好。
  - 接收数据准备好。
  - 寄存器访问准备好。
  - 没有接收到确认。
  - 仲裁丢失。

- 检测到停止条件。
- 被寻址为从器件。

- 在 FIFO 模式下，CPU 可以使用附加的中断。
- 模块启用/禁用能力。
- 自由数据格式模式。

表 1-20 I²C 寄存器

名称	地址	说明
I²COAR	0x7900	I²C 自身的地址寄存器
I²CIER	0x7901	I²C 中断使能寄存器
I²CSTR	0x7902	I²C 状态寄存器
I²CCLKL	0x7903	I²C 时钟低电平时间分频器寄存器
I²CCLKH	0x7904	I²C 时钟高电平时间分频器寄存器
I²CCNT	0x7905	I²C 数据计数寄存器
I²CDRR	0x7906	I²C 数据接收寄存器
I²CSAR	0x7907	I²C 从器件地址寄存器
I²CDXR	0x7908	I²C 数据发送寄存器
I²CMDR	0x7909	I²C 模式寄存器
I²CISRC	0x790A	I²C 中断源寄存器
I²CPSC	0x790C	I²C 预分频器寄存器
I²CFFTX	0x7920	I²C_FIFO 发送寄存器
I²CFFRX	0x7921	I²C_FIFO 接收寄存器
I²CRSR	-	I²C 接收移位寄存器（不可访问 CPU）
I²CXSR	-	I²C 发送移位寄存器（不可访问 CPU）

1.5.13 GPIOMUX

器件上除了提供独立的引脚位拆裂 I/O 功能外，GPIOMUX 还可以将最多 3 个独立的外设信号复用在一个单一的 GPIO 引脚上.每个引脚的 GPIOMUX 功能框图显示在下图中。由于 I²C 引脚的开漏功能，这些引脚的 GPIOMUX 功能框图是不同的。

【提示 1】从写入 GPxMUXn 和 GPxQSELn 寄存器发生到动作有效有两个 SYSCLKOUT 周期延迟。

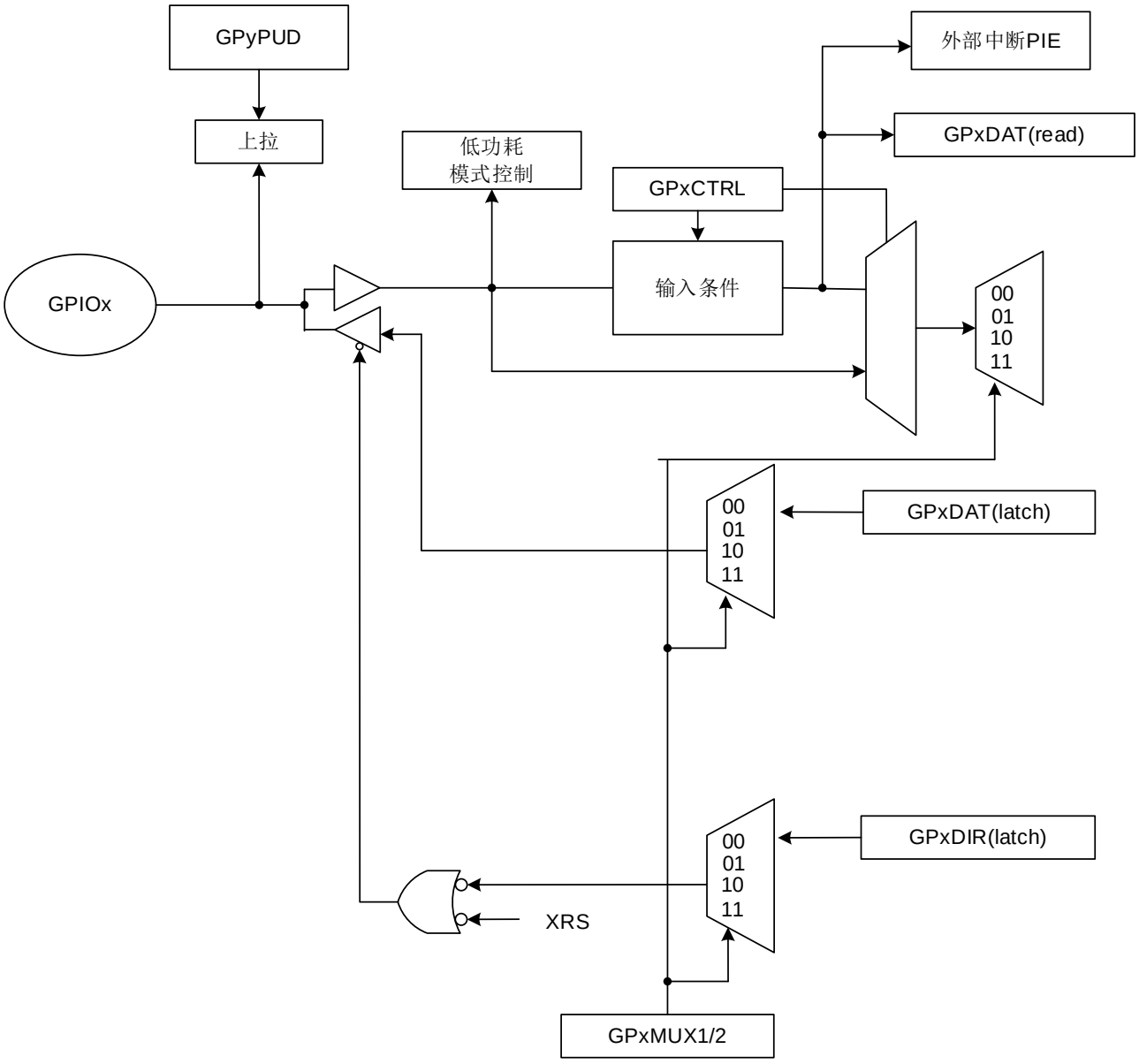


图 1-23 GPIO 复用

器件支持 88 个 GPIO 引脚。GPIO 控制和数据寄存器被映射到外设帧 1 以在寄存器上启用 32 位运行（连同 16 位运行）。

GPIO 寄存器映射如下表所示:

表 1-21 GPIO 寄存器映射

名称	地址	大小（x16）	说明
GPIO 控制寄存器（受 EALLOW 保护）			
GPACTRL	0x6F80	2	GPIOA 控制寄存器(GPIO0 至 31)
GPAQSEL1	0x6F82	2	GPIOA 限定器选择 1 寄存器(GPIO0 至 15)
GPAQSEL2	0x6F84	2	GPIOA 限定器选择 2 寄存器(GPIO16 至 31)
GPAMUX1	0x6F86	2	GPIOAMUX1 寄存器（GPIO0 至 15）
GPAMUX2	0x6F88	2	GPIOAMUX2 寄存器（GPIO16 至 31）
GPADIR	0x6F8A	2	GPIOA 方向寄存器(GPIO0 至 31)
GPAPUD	0x6F8C	2	GPIOA 上拉电阻器禁用寄存器(GPIO0 至 GPIO31)
保留	0x6F8E-0x6F8F	2	
GPBCTRL	0x6F90	2	GPIOB 控制寄存器(GPIO32 至 63)
GPBQSEL1	0x6F92	2	GPIOB 限定器选择 1 寄存器(GPIO32 至 47)
GPBQSEL2	0x6F94	2	GPIOB 限定器选择 2 寄存器(GPIO48 至 63)
GPBMUX1	0x6F96	2	GPIOBMUX1 寄存器(GPIO32 至 47)
GPBMUX2	0x6F98	2	GPIOBMUX2 寄存器(GPIO48 至 63)
GPBDIR	0x6F9A	2	GPIOB 方向寄存器(GPIO32 至 44)
GPBPUD	0x6F9C	2	GPIOB 上拉电阻器禁用寄存器(GPIO38 至 44)
保留	0x6F9E-0x6FA5	8	
GPCMUX1	0x6FA6	2	GPIOCMUX1 寄存器(GPIO64 至 79)
GPCMUX2	0x6FA8	2	GPIOCMUX2 寄存器(GPIO80 至 87)
GPCDIR	0x6FAA	2	GPIOC 方向寄存器(GPIO64 至 87)
GPCPUD	0x6FAC	2	GPIOC 上拉电阻器禁用寄存器(GPIO64 至 87)
保留	0x6FAE-0x6FBF	18	
GPIO 数据寄存器（不受 EALLOW 保护）			
GPADAT	0x6FC0	2	GPIOA 数据寄存器（GPIO0 至 31）
GPASET	0x6FC2	2	GPIOA 数据设定寄存器（GPIO0 至 31）
GPACLEAR	0x6FC4	2	GPIOA 数据清除寄存器（GPIO0 至 31）
GPATOGGLE	0x6FC6	2	GPIOA 数据取反寄存器（GPIO0 至 31）
GPBDAT	0x6FC8	2	GPIOB 数据寄存器(GPIO32 至 63)
GPBSET	0x6FCA	2	GPIOB 数据设定寄存器（GPIO32 至 63）
GPBCLEAR	0x6FCC	2	GPIOB 数据清除寄存器（GPIO32 至 63）

GPBTOGGLE	0x6FCE	2	GPIOB 数据取反寄存器（GPIO32 至 63)
GPCDAT	0x6FD0	2	GPIOC 数据寄存器(GPIO64 至 87)
GPCSET	0x6FD2	2	GPIOC 数据设定寄存器（GPIO64 至 87）
GPCCLEAR	0x6FD4	2	GPIOC 数据清除寄存器（GPIO64 至 87）
GPCTOGGLE	0x6FD6	2	GPIOC 数据取反寄存器（GPIO64 至 87)
保留	0x6FD8-0x6FDF	8	
GPIO 中断和低功耗模式选择寄存器（受 EALLOW 保护）			
GPIOXINT1SEL	0x6FE0	1	XINT1GPIO 输入选择寄存器(GPIO0 至 31)
GPIOXINT2SEL	0x6FE1	1	XINT2GPIO 输入选择寄存器(GPIO0 至 GPIO31)
GPIOXNIMISEL	0x6FE2	1	XNMIGPIO 输入选择寄存器(GPIO0 至 GPIO31)
GPIOXINT3SEL	0x6FE3	1	XINT3GPIO 输入选择寄存器(GPIO32 至 GPIO63)
GPIOXINT4SEL	0x6FE4	1	XINT4GPIO 输入选择寄存器(GPIO32 至 GPIO63)
GPIOXINT5SEL	0x6FE5	1	XINT5GPIO 输入选择寄存器(GPIO32 至 GPIO63)
GPIOXINT6SEL	0x6FE6	1	XINT6GPIO 输入选择寄存器(GPIO32 至 GPIO63)
GPIOXINT7SEL	0x6FE7	1	XINT7GPIO 输入选择寄存器(GPIO32 至 GPIO63)
GPIOLPMSEL	0x6FE8	2	LPMGPIO 选择寄存器(GPIO0 至 GPIO32)
保留	0x6FEA-0x6FFF	22	

通过配置 GPxQSEL1/2 寄存器，用户可为每一个 GPIO 引脚选择输入限定的类型：

- 只同步至 SYSCLKOUT(GPxQSEL1/2=0,0)：这是复位时所有 GPIO 引脚的默认模式并且它只是将输入信号同步至系统时钟(SYSCLKOUT)。
- 使用采样窗口的限定条件（GPxQSEL1/2=0，1 和 1，0）：这个模式中，在与系统时钟(SYSCLKOUT)同步后，输入信号在输入被允许改变前，被一定数量的周期所限定。
- 采样周期由 GPxCTRL 寄存器内的 QUALPRD 位所指定并且可在每组 8 个信号中进行配置。它为输入信号采样指定了多个 SYSCLKOUT 周期。一个采样窗口为可包含 3 次或 6 次采样，并且只有当所有采样与下图（对于 6 次采样）中所显示的一样时（全 0 或者全 1），输出才会改变。
- 无同步(GPxQSEL1/2=1，1)：这个模式用于无需同步的外设（同步不在外设内执行）。由于器件上所要求的多级复用，有可能会有一个外设输入信号被映射到多于一个 GPIO 引脚的情况。此外，当一个输入信号未被选择时，输入信号将默认为一个 0 或者 1 状态，这由外设而定。

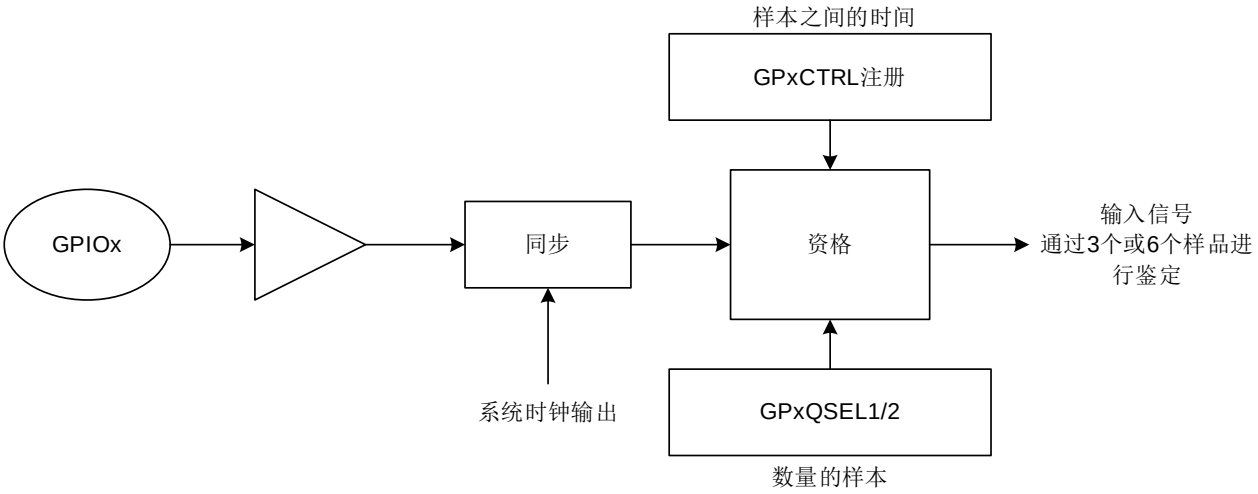


图 1-24 使用采样窗口的限定

1.5.14 外部接口(XINTF)

下图为器件上执行的外部接口（XINTF）的功能框图。

XINTF 是一个非复用的异步总线，XINTF 被映射到下图所示的三个固定区域。每个区域可被设定为具有不同的等待状态、建立和保持时序，并且当执行到一个特定区域的访问时，由区域芯片选择切换支持。这些特性可实现到很多外部存储器和外设的无缝连接。

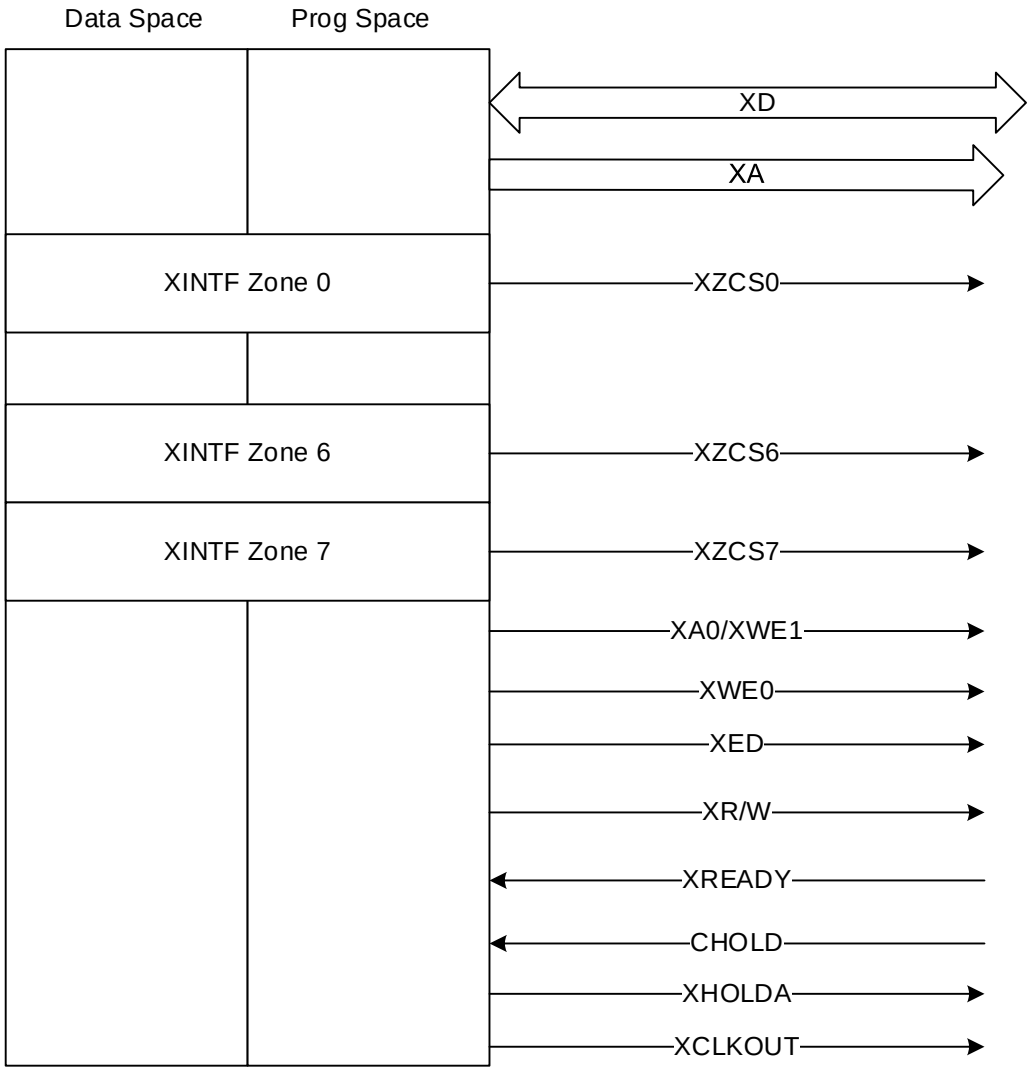


图 1-25 外部接口方框图

典型 16 位和 32 位数据总线 XINTF 连接如下图所示，下图说明了 XA0 和 XWE1 的信号功能是如何根据具体的配置变化的。

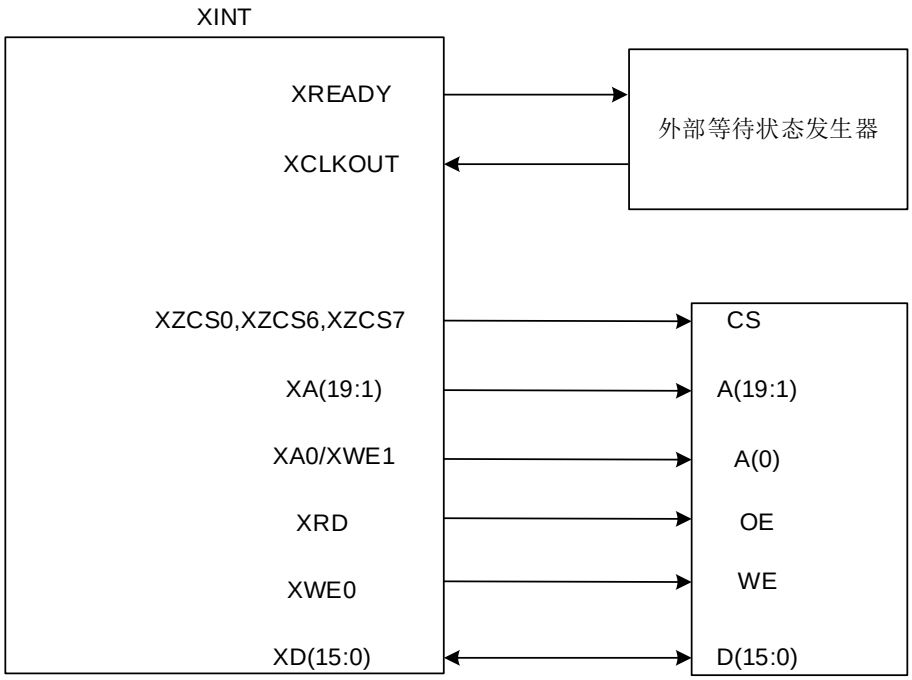


图 1-26 典型的 16 位数据总线 XINTF 连接

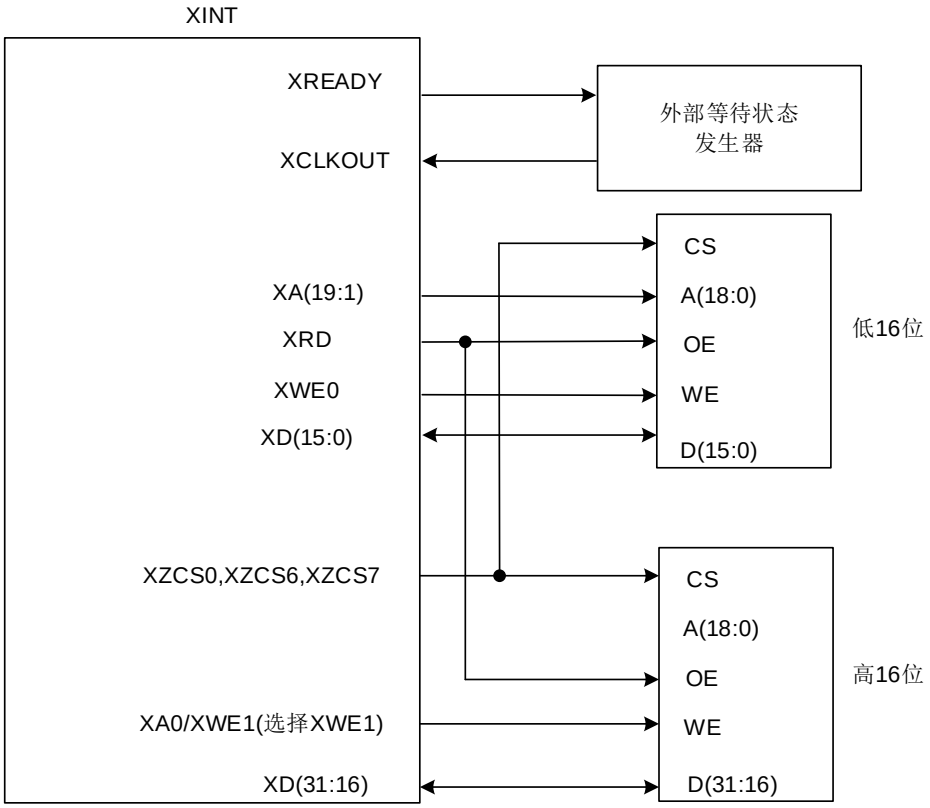


图 1-27 典型的 32 位数据总线 XINTF 连接

下表定义了 XINTF 配置和控制寄存器：

表 1-22 XINTF 配置和控制寄存器

名称	地址	大小(x16)	说明
XTIMING0	0x00-0B20	2	XINTF 定时器，区域 0
XTIMING6	0x00-0B2C	2	XINTF 定时器，区域 6
XTIMING7	0x00-0B2E	2	XINTF 定时器，区域 7
XINTCNF2	0x00-0B34	2	XINTF 配置寄存器
XBANK	0x00-0B38	1	XINTF 组控制寄存器
XREVISION	0x00-0B3A	1	XINTF 修订版本寄存器
XRESET	0x00-0B3D	1	XINTF 复位寄存器

1.6 内存映射

器件内存情况如下：

- 内存块不可扩展。
- 外设帧 0，外设帧 1，外设帧 2 和外设帧 3 内存映射只限于数据内存。用户程序不能访问这些处于程序空间内的内存映射。
- 受保护意味着“写后读操作”的顺序被保存，而不是保存流水线顺序。
- 特定内存区域受 EALLOW 保护以防止配置之后的假写入。
- 位置 0x380080-0x38008F 包含 ADC 校准程序。它不由用户编程。
- 如果 eCAN 模块未在应用中使用，提供的 RAM（LAM，MOTS，MOTO 和邮箱 RAM）可被用作通用 RAM。为实现这一功能 CAN 模块时钟应被启用。

表 1-23 内存映射

<table>
<tr><th>Data Space</th><th>Prog Space</th><th>Data Space</th><th>Prog Space</th></tr>
<tr><td colspan="2">M0 Vector - RAM (32 x 32) (Enabled if VMAP = 0)</td><td colspan="2" rowspan="5">Reserved</td></tr>
<tr><td colspan="2">M0 SARAM (1K x 16)</td></tr>
<tr><td colspan="2">M1 SARAM (1K x 16)</td></tr>
<tr><td>Peripheral Frame 0</td><td rowspan="3">Reserved</td></tr>
<tr><td>PIE Vector – RAM
(256 x 16)
(Enabled if
VMAP = 1,
ENPIE = 1)</td></tr>
<tr><td>Peripheral Frame 0</td><td colspan="2">Reserved</td></tr>
<tr><td colspan="2">Reserved</td><td colspan="2">XINTF Zone 0 (4K x 16, XZCS0)
(Protected) DMA-Accessible</td></tr>
<tr><td>Peripheral Frame 3 (Protected)
DMA-Accessible</td><td rowspan="3">Reserved</td><td colspan="2" rowspan="10">Reserved</td></tr>
<tr><td>Peripheral Frame 1 (Protected)</td></tr>
<tr><td>Peripheral Frame 2 (Protected)</td></tr>
<tr><td colspan="2">L0 SARAM (4K x 16, Secure Zone, Dual-Mapped)</td></tr>
<tr><td colspan="2">L1 SARAM (4K x 16, Secure Zone, Dual-Mapped)</td></tr>
<tr><td colspan="2">L2 SARAM (4K x 16, Secure Zone, Dual-Mapped)</td></tr>
<tr><td colspan="2">L3 SARAM (4K x 16, Secure Zone, Dual-Mapped)</td></tr>
<tr><td colspan="2">L4 SARAM (4K x 16, DMA-Accessible)</td></tr>
<tr><td colspan="2">L5 SARAM (4K x 16, DMA-Accessible)</td></tr>
<tr><td colspan="2">L6 SARAM (4K x 16, DMA-Accessible)</td></tr>
</table>

L7 SARAM (4K x 16, DMA-Accessible)	
Reserved	XINTF Zone 6 (1M x 16, XZCS6) (DMA-Accessible)
	XINTF Zone 7 (1M x 16, XZCS7) (DMA-Accessible)
FLASH (256K x 16, Secure Zone)	Reserved
128-bit Password	
Reserved	
ADC Calibration Data and PARTID (Secure Zone)	
Reserved	
User OTP (1K x 16, Secure Zone)	
Reserved	
L0 SARAM (4K x 16, Secure Zone, Dual-Mapped)	
L1 SARAM (4K x 16, Secure Zone, Dual-Mapped)	
L2 SARAM (4K x 16, Secure Zone, Dual-Mapped)	
L3 SARAM (4K x 16, Secure Zone, Dual-Mapped)	
Reserved	
Boot ROM (8K x 16)	
BROM Vector - ROM (32 x 32) (Enabled if VMAP = 1, ENPIE = 0)	

闪存扇区的地址情况如下所示：

表 1-24 闪存扇区地址

地址范围	程序和数据空间
0x300000-0x307FFF	扇区 H(32Kx16)
0x308000-0x30FFFF	扇区 G(32Kx16)
0x310000-0x317FFF	扇区 F(32Kx16)
0x318000-0x31FFFF	扇区 E(32Kx16)
0x320000-0x327FFF	扇区 D(32Kx16)
0x328000-0x32FFFF	扇区 C(32Kx16)
0x330000-0x337FFF	扇区 B(32Kx16)
0x338000-0x33FF7F	扇区 A(32Kx16)
0x33FF80-0x33FFF5	当使用代码安全模块时，编程至 0x0000
0x33FFF6-0x33FFF7	引导至闪存进入点（程序分支指令）
0x33FFF8-0x33FFFF	安全密码（128 位）（不要设定为全零）

【提示 1】当代码安全密码被编辑时，0x33FF80 到 0x33FFF5 间的所有地址不能被用作程序代码或者数据。这些位置必须被设定为 0x0000。

【提示 2】如果代码安全特性未被使用，地址 0x33FF80 至 0x33FFEF 可被用于代码或者数据。地址 0x33FF0-0x33FF5 为数据保留且不能包含程序代码。

处理安全代码位置如下所示：

表 1-25 安全代码地址

地址	闪存	
	代码安全启用	代码安全禁用
0x33FF80–0x33FFEF	用 0x0000 填充	应用代码和数据
0x33FFF0–0x33FFF5		只为数据保留

外设帧 1，外设帧 2 以及 XINTF 区域 1 为一组，成为“受保护的写入/读取外设块”。“受保护”模式确保对这些所有的访问与文档中描述的一致。由于器件的流水线，在对不同内存位置读取之前的写入操作将以倒序的方式出现在 CPU 内存总线上。这会导致特定外设应用中用户认为写入会首先发生（如文档所描述的那样）。CPU 支持一个块保护模式，在这个模式中，可对一个内存区域进行保护，以确保操作按照本文档所描述的那样进行（代价是会增加额外的周期以校正运行）。可对这个模式进行编程，并且默认情况下，它将保护所选的区域。

1.7 寄存器映射

此器件包含四个外设寄存器空间。这些空间分类如下：

外设帧 0：此类寄存器是直接映射到 CPU 内存总线的外设。

外设帧 1：此类寄存器是映射到 32 位外设总线的外设。

外设帧 2：此类寄存器是映射到 16 位外设总线的外设。

外设帧 3：此类寄存器是映射到 32 位外设总线并可由 DMA 访问的外设。

表 1-26 外设帧 0 寄存器

名称	地址范围	大小（X16)	访问类型
器件仿真寄存器	0x000880-0x0009FF	384	受 EALLOW 保护
闪存寄存器	0x000A80-0x000ADF	96	受 EALLOW 保护
代码安全模块寄存器	0x000AE0-0x000AEF	16	受 EALLOW 保护
ADC 寄存器（双映射）0 等待(DMA)，1 等待(CPU)，只读	0x000B00-0x000B0F	16	不受 EALLOW 保护
XINTF 寄存器	0x000B20-0x000B3F	32	受 EALLOW 保护
CPU 定时器 0，CPU 定时器 1，CPU 定时器 2 寄存器	0x000C00-0x000C3F	64	不受 EALLOW 保护
PIE 寄存器	0x000CE0-0x000CFF	32	不受 EALLOW 保护
PIE 矢量表	0x000D00-0x000DFF	256	受 EALLOW 保护
DMA 寄存器	0x001000-0x0011FF	512	受 EALLOW 保护

【提示 1】帧 0 中的寄存器支持 16 位和 32 位访问。

【提示 2】如果寄存器是受 EALLOW 保护的，那么在 EALLOW 指令被执行前写入不能被执行。EDIS 指令禁用写入以防止杂散代码或指针破坏寄存器内容。

【提示 3】闪存寄存器也受到代码安全模块(CSM)的保护。

表 1-27 外设帧 1 寄存器

名称	地址范围	大小（X16)
eCAN-A 寄存器	0x006000-0x0061FF	512
eCAN-B 寄存器	0x006200-0x0063FF	512
ePWM1+HRPWM1 寄存器	0x006800-0x00683F	64
ePWM2+HRPWM2 寄存器	0x006840-0x00687F	64
ePWM3+HRPWM3 寄存器	0x006880-0x0068BF	64
ePWM4+HRPWM4 寄存器	0x0068C0-0x0068FF	64
ePWM5+HRPWM5 寄存器	0x006900-0x00693F	64
ePWM6+HRPWM6 寄存器	0x006940-0x00697F	64
eCAP1 寄存器	0x006A00-0x006A1F	32
eCAP2 寄存器	0x006A20-0x006A3F	32
eCAP3 寄存器	0x006A40-0x006A5F	32
eCAP4 寄存器	0x006A60-0x006A7F	32
eCAP5 寄存器	0x006A80-0x006A9F	32
eCAP6 寄存器	0x006AA0-0x006ABF	32
eQEP1 寄存器	0x006B00-0x006B3F	64
eQEP2 寄存器	0x006B40-0x006B7F	64
GPIO 寄存器	0x006F80-0x006FFF	128

表 1-28 外设帧 2 寄存器

名称	地址范围	大小（X16)
系统控制寄存器	0x007010-0x00702F	32
SPI-A 寄存器	0x007040-0x00704F	16
SCI-A 寄存器	0x007050-0x00705F	16
外部中断寄存器	0x007070-0x00707F	16
ADC 寄存器	0x007100-0x00711F	32
SCI-B 寄存器	0x007750-0x00775F	16
SCI-C 寄存器	0x007770-0x00777F	16
I^2C-A 寄存器	0x007900-0x00793F	64

表 1-29 外设帧 3 寄存器

名称	地址范围	大小（X16)
McBSP-A 寄存器(DMA)	0x5000-0x503F	64
McBSP-B 寄存器(DMA)	0x5040-0x507F	64
ePWM1+HRPWM1(DMA)	0x5800-0x583F	64
ePWM2+HRPWM2(DMA)	0x5840-0x587F	64
ePWM3+HRPWM3(DMA)	0x5880-0x58BF	64
ePWM4+HRPWM4(DMA)	0x58C0-0x58FF	64
ePWM5+HRPWM5(DMA)	0x5900-0x593F	64
ePWM6+HRPWM6(DMA)	0x5940-0x597F	64

【提示 1】EPWM 和 HRPWM 模块可以被重新映射到可以被 DMA 模块访问的外设帧 3。要做到这点，MAPCNF 寄存器（地址 0x702E）的位 0（MAPEPWM）必须被设置为 1。此寄存器受 EALLOW 保护。当此位为 0 时，ePWM 和 HRPWM 模块被映射到外设帧 1。

1.8 中断

器件中断复用情况如下图所示：

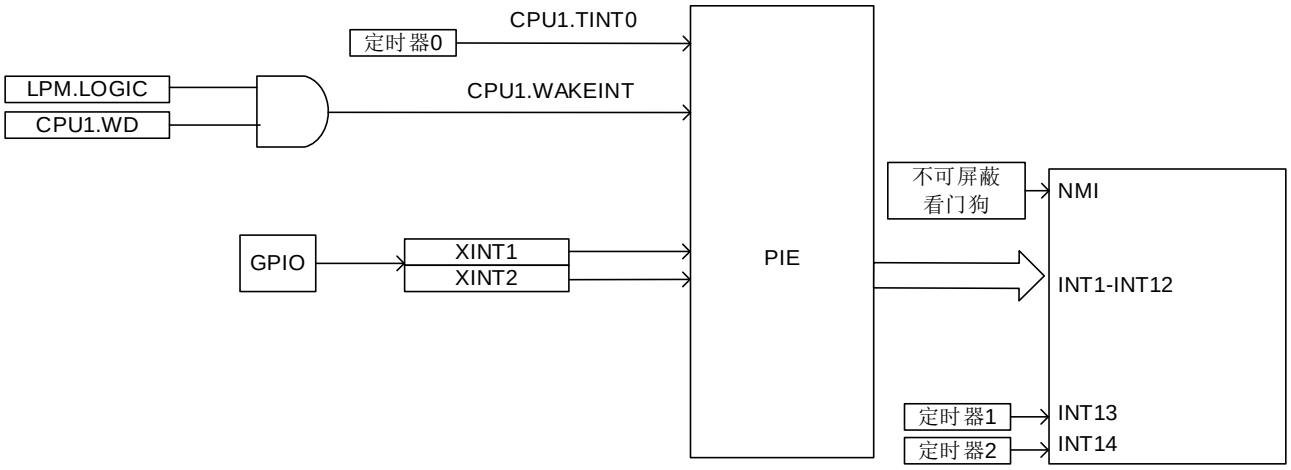


图 1-28 外部和 PIE 中断源

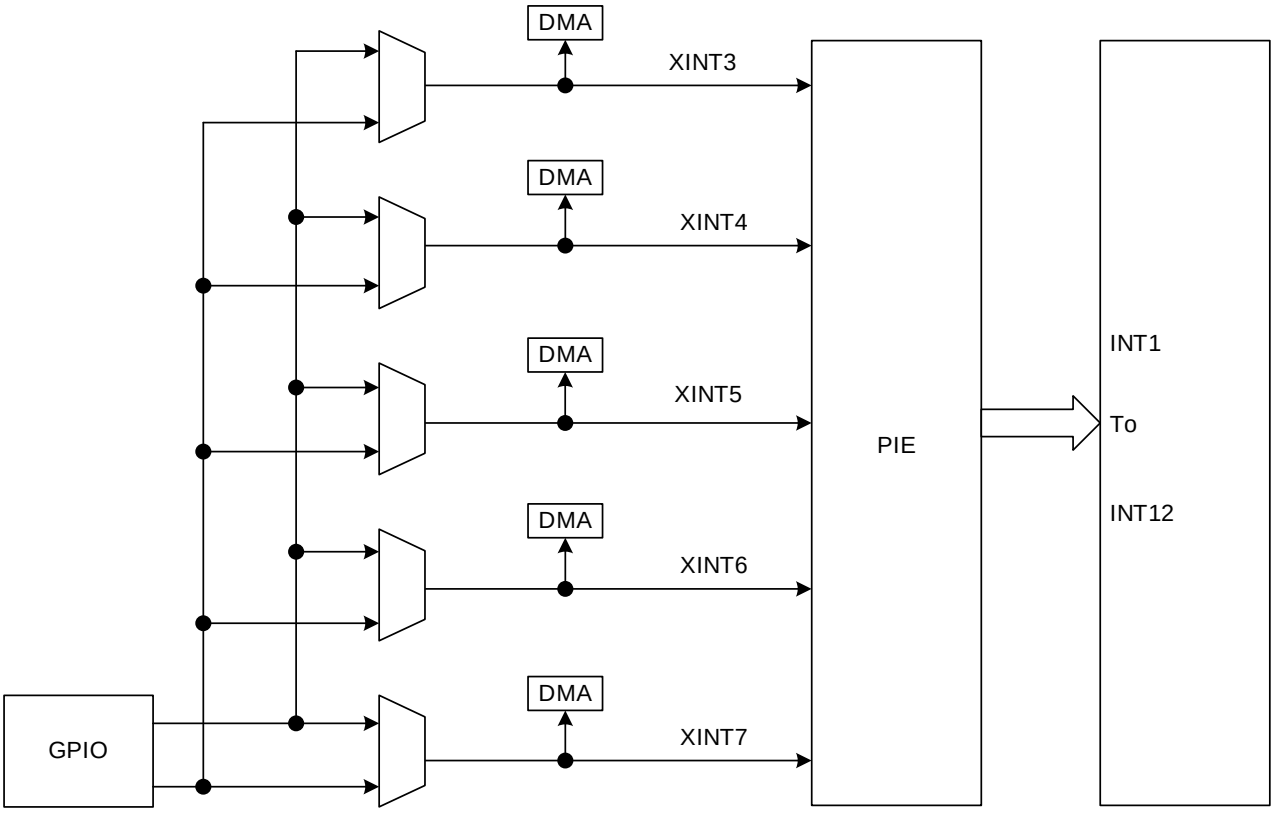


图 1-29 外部中断

8 个 PIE 块中断为一个 CPU 中断组，总共 12 个 CPU 中断组，每组 8 个中断，共 96 个中断。

TRAP#Vectormumber(中断向量号）指令可控制器件触发指定中断向量，以及该中断向量相对应的中断处理例程。TRAP#0 触发复位中断向量所指向的地址。然而，PIE 矢量表不含复位向量。因此，当 PIE 被启用时，TRAP#0 指令不应被使用。

当 PIE 启用时，TRAP#1 至 TRAP#12 触发 PIE 中断向量表中对应中断向量。例如：TRAP#1 触发 INT1.1，

TRAP#2 触发 INT2.1，以此类推。

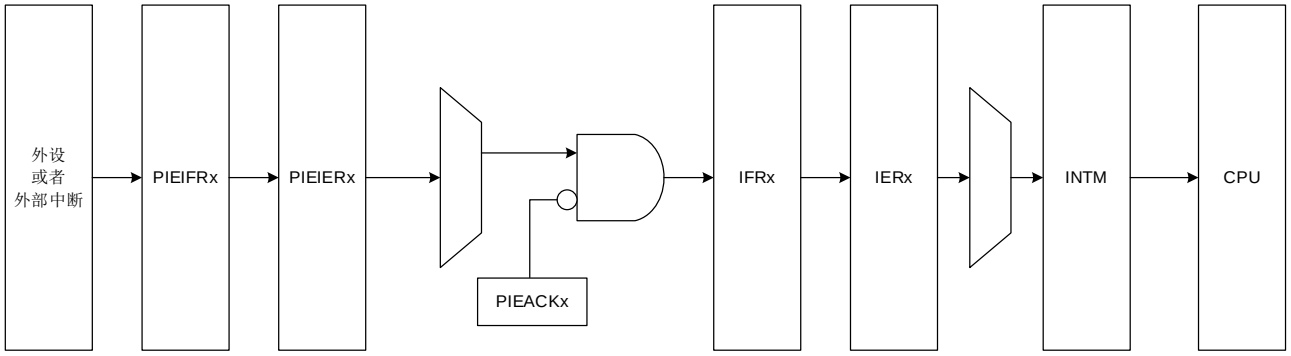


图 1-30 PIE 块的中断复用

表 1-30 PIE 外设中断向量表

CPU 中断	PIE 中断							
	INTx.8	**INTx.7**	**INTx.6**	**INTx.5**	**INTx.4**	**INTx.3**	**INTx.2**	**INTx.1**
INT1	WAKEINT (LPM/WD)	TINT0 （计时器 0）	ADCINT (ADC)	XINT2	XINT1	保留	SEQ2INT (ADC)	SEQ1INT (ADC)
INT2	保留	保留	EPWM6_TZINT (ePWM6)	EPWM5_TZINT (ePWM5)	EPWM4_TZINT (ePWM4)	EPWM3_TZINT (ePWM3)	EPWM2_TZINT (ePWM2)	EPWM1_TZINT (ePWM1)
INT3	保留	保留	EPWM6_INT (ePWM6)	EPWM5_INT (ePWM5)	EPWM4_INT (ePWM4)	EPWM3_INT (ePWM3)	EPWM2_INT (ePWM2)	EPWM1_INT (ePWM1)
INT4	保留	保留	ECAP6_INT (eCAP6)	ECAP5_INT (eCAP5)	ECAP4_INT (eCAP4)	ECAP3_INT (eCAP3)	ECAP2_INT (eCAP2)	ECAP1_INT (eCAP1)
INT5	保留	保留	保留	保留	保留	保留	EQEP2_INT (eQEP2)	EQEP1_INT (eQEP1)
INT6	保留	保留	MXINTA (McBSP-A)	MRINTA (McBSP-A)	MXINTB (McBSP-B)	MRINTB (McBSP-B)	SPITXINTA (SPI-A)	SPIRXINTA (SPI-A)
INT7	保留	保留	DINTCH6 (DMA)	DINTCH5 (DMA)	DINTCH4 (DMA)	DINTCH3 (DMA)	DINTCH2 (DMA)	DINTCH1 (DMA)
INT8	保留	保留	SCITXINTC (SCI-C)	SCIRXINTC (SCI-C)	保留	保留	I^2CINT2A (I^2C-A)	I^2CINT1A (I^2C-A)
INT9	ECAN1_INTB (CAN-B)	ECAN0_INTB (CAN-B)	ECAN1_INTA (CAN-A)	ECAN0_INTA (CAN-A)	SCITXINTB (SCI-B)	SCIRXINTB (SCI-B)	SCITXINTA (SCI-A)	SCIRXINTA (SCI-A)
INT10	保留	保留	保留	保留	保留	保留	保留	保留
INT11	保留	保留	保留	保留	保留	保留	保留	保留
INT12	LUF (FPU)	LVF (FPU)	保留	XINT7	XINT6	XINT5	XINT4	XINT3

表 1-31 PIE 配置和控制寄存器

名称	地址	大小（X16）	说明
PIECTRL	0x0CE0	1	PIE 控制寄存器
PIEACK	0x0CE1	1	PIE 确认寄存器
PIEIER1	0x0CE2	1	PIE,INT1 组启用寄存器
PIEIFR1	0x0CE3	1	PIE,INT1 组标志寄存器
PIEIER2	0x0CE4	1	PIE,INT2 组启用寄存器
PIEIFR2	0x0CE5	1	PIE,INT2 组标志寄存器
PIEIER3	0x0CE6	1	PIE,INT3 组启用寄存器
PIEIFR3	0x0CE7	1	PIE,INT3 组标志寄存器
PIEIER4	0x0CE8	1	PIE,INT4 组启用寄存器
PIEIFR4	0x0CE9	1	PIE,INT4 组标志寄存器
PIEIER5	0x0CEA	1	PIE,INT5 组启用寄存器
PIEIFR5	0x0CEB	1	PIE,INT5 组标志寄存器
PIEIER6	0x0CEC	1	PIE,INT6 组启用寄存器
PIEIFR6	0x0CED	1	PIE,INT6 组标志寄存器
PIEIER7	0x0CEE	1	PIE,INT7 组启用寄存器
PIEIFR7	0x0CEF	1	PIE,INT7 组标志寄存器
PIEIER8	0x0CF0	1	PIE,INT8 组启用寄存器
PIEIFR8	0x0CF1	1	PIE,INT8 组标志寄存器
PIEIER9	0x0CF2	1	PIE,INT9 组启用寄存器
PIEIFR9	0x0CF3	1	PIE,INT9 组标志寄存器
PIEIER10	0x0CF4	1	PIE,INT10 组启用寄存器
PIEIFR10	0x0CF5	1	PIE,INT10 组标志寄存器
PIEIER11	0x0CF6	1	PIE,INT11 组启用寄存器
PIEIFR11	0x0CF7	1	PIE,INT11 组标志寄存器
PIEIER12	0x0CF8	1	PIE,INT12 组启用寄存器
PIEIFR12	0x0CF9	1	PIE,INT12 组标志寄存器
保留	0x0CFA-0x0CFF	6	保留

表 1-32 外部中断寄存器

名称	地址	大小（X16）	说明
XINT1CR	0x007070	1	XINT1 配置寄存器
XINT2CR	0x007071	1	XINT2 配置寄存器
XINT3CR	0x007072	1	XINT3 配置寄存器
XINT4CR	0x007073	1	XINT4 配置寄存器
XINT5CR	0x007074	1	XINT5 配置寄存器
XINT6CR	0x007075	1	XINT6 配置寄存器
XINT7CR	0x007076	1	XINT7 配置寄存器
XNMICR	0x007077	1	XNMI 配置寄存器
XINT1CTR	0x007078	1	XINT1 计数器寄存器
XINT2CTR	0x007079	1	XINT2 计数器寄存器
保留	0x707A-0x707E	5	保留
XNMICTR	0x00707A	1	XNMI 计数器寄存器

2 电参

2.1 建议运行条件

表 2-1 建议运行条件

名称	符号	条件	最小值	典型值	最大值	单位
器件电源电压	V_{DDIO}		3.135	3.3	3.465	V
器件电源电压（CPU）	V_{DD}	器件操作@150MHz	1.805	1.9	1.995	V
		器件操作@100MHz	1.71	1.8	1.89	V
电源地	V_{SS}		0			V
	V_{SSIO}					
	V_{SSAIO}					
	V_{SSA2}					
	$V_{SS1AGND}$					
	$V_{SS2AGND}$					
ADC 电源电压	V_{DDA2}		3.135	3.3	3.465	V
	V_{DDAIO}					
	V_{DD1A18}	器件操作@150MHz	1.805	1.9	1.995	V
	V_{DD2A18}	器件操作@100MHz	1.71	1.8	1.89	
闪存电源电压	V_{DD3VFL}		3.135	3.3	3.465	V
器件时钟频率（系统时钟）	$f_{SYSCLKOUT}$				150	MHz

2.2 功耗

在 SYSCLK 为 150MHz 时电流消耗情况。

表 2-2 功耗

模式	测试条件	I_{DD}		I_{DDIO}【注 1】		I_{DDA}【注 2】		I_{DDIOA}【注 3】	
		Type	MAX	Type	MAX	Type	MAX	Type	MAX
标准 (闪存) 【注 5】	以下外设时钟被启用： ePWM1~ePWM6 eCAP1~eCAP6 eQEP1，eQEP2 eCAN-A SCI-A,SCI-B（FIFO 模式) SPI-A（FIFO 模式) ADC I^2C CPUTIMER0~CPUTIMER2 所有 PWM 输出引脚输出 150KHz 所有 IO 引脚保持未连接状态【注 4】	213mA	224mA	13mA	--	21mA	--	626uA	--

【注 1】I_{DDIO} 电流取决于 I/O 引脚上的电力负载。

【注 2】I_{DDA} 包括进入 V_{DD1A18} 和 V_{DD2A18} 引脚的电流。

【注 3】I_{DDA} 包括进入 V_{DDA2} 和 V_{DDAIO} 引脚的电流。

【注 4】下面的操作在环路内完成：

数据从 SCI-A，SCI-B，SPI-A，McBSP-A，和 eCAN-A 端口连续发出。

执行乘法/加法运算。

复位看门狗。

ADC 执行连续转换。ADC 中的数据通过 DMA 传送到 SARAM。

执行 XINTF 的 32 位读/写。

GPIO19 被接通。

【注 5】当 SARAM 运行相同的代码时，I_{DD} 会随着代码从 0 等待状态运行而增加。

3 时序

3.1 上电时序

对于电源引脚的上电和断电序列无特别要求，需要确保所有模块正确的复位。如果 I/O 引脚的电平转换输出缓冲器中的 3.3V 晶体管在 1.8V 晶体管之前上电，输出缓冲器有可能打开，这会在上电期间引脚上出现毛刺。为了避免这种状态，V_{DD} 引脚应早于 V_{DDIO} 引脚或同时上电，保证了 V_{DD} 引脚在 V_{DDIO} 引脚达到 0.7V 之前达到 0.7V。

对于 $\overline{XRS}$引脚的要求：

1.加电期间，$\overline{XRS}$引脚必须在输入时钟稳定之后的 $32t_{c(OSCCLK)}$内保持低电平。这使得整个器件从一个已知的条件启动。

2.断电期间，$\overline{XRS}$引脚必须至少在 V_{DD} 达到 1.5V 之前提前至少 8μs 下拉至低电平。满足这项要求提高了 FLASH 的可靠性。

在器件上电之前，不应将 V_{DDIO} 之上大于二极管压降(0.7V)的电压应用于任何数字引脚（对于模拟引脚，此值是高于 V_{DDA}0.7V 的电压值）。此外，V_{DDIO} 和 V_{DDA} 之间的差距应保持在 0.3V 之内。应用在未加电器件的引脚上的电压会以一种无意的方式偏置内部 p-n 结并产生无法预料的结果。

4 订购信息

表 4-1 订购信息

Device	Package Type	Pins	Packing Type	Packing Qty	SPQ	Eco Plan	MSL	Op Temp (℃)	Status
FCP32C335P2N	LQFP	176	Tray	40	400	RoHS, Reach& Green	Level-3	-40 to 125	ACTIVE
FCP32C335P3N	LQFP	176	Tray	40	400	RoHS, Reach& Green	Level-3	-40 to 125	ACTIVE
FCP32C335B2N	BGA	176	Tray	119	1190	RoHS, Reach& Green	Level-3	-40 to 125	ACTIVE

5 托盘信息

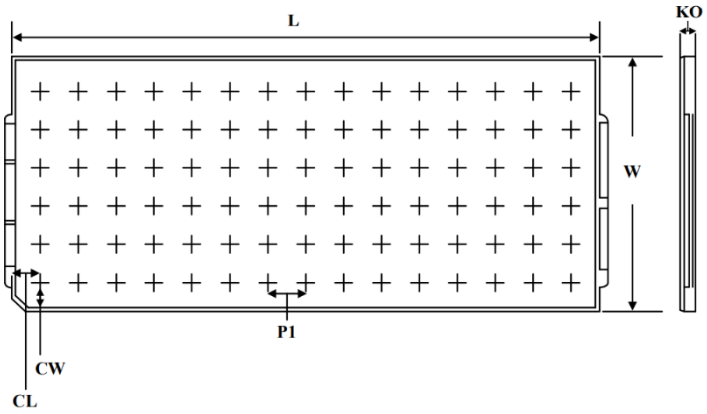


图 5-1 托盘信息

【注 1】L-托盘长度 P1-托盘单元袋间距。

【注 2】KO-托盘高度 W-托盘宽度。

【注 3】CW-托盘边缘（Y 方向）到角落口袋中心的测量。

【注 4】CL-托盘边缘（X 方向）到角落口袋中心的测量。

表 5-1 托盘信息

型号	封装	引脚数量	单盘数量	L (mm)	W (mm)	K (mm)	P1 (mm)	CL (mm)	CW (mm)
FCP32C335P2N	LQFP	176	40	315	135.9	7.62	30.4	20.7	20.7
FCP32C335P3N	LQFP	176	40	315	135.9	7.62	30.4	20.7	20.7
FCP32C335B2N	BGA	176	119	315	135.9	7.62	18.1	12.7	12.9

6 包装信息

表 6-1 包装信息

型号	封装	引脚数量	盒装				箱装数量
			芯片数量	L (mm)	W (mm)	H (mm)	
FCP32C335P2N	LQFP	176	400	370	150	85	2/4/6 盒
FCP32C335P3N	LQFP	176	400	370	150	85	2/4/6 盒
FCP32C335B2N	BGA	176	1190	370	150	85	2/4/6 盒

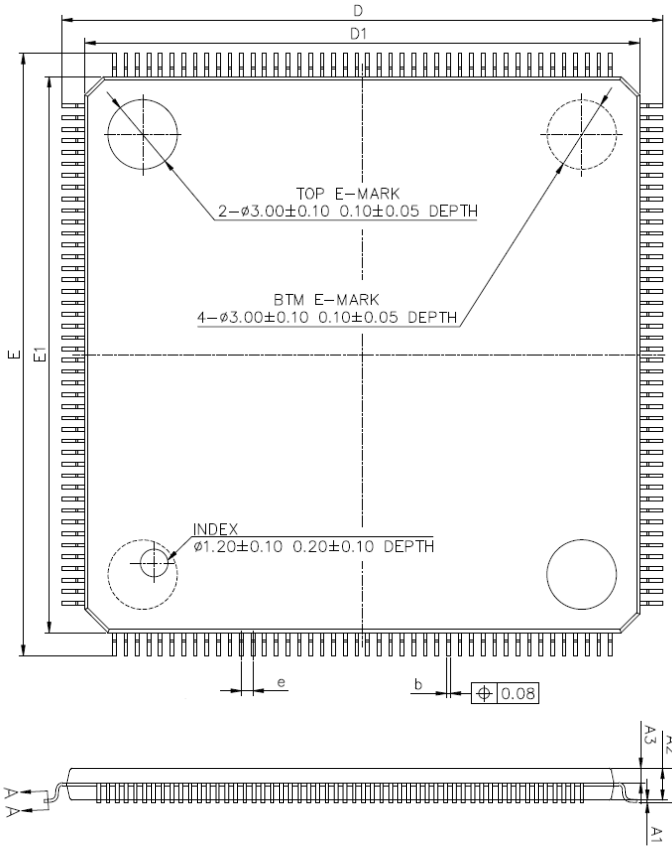
【注 1】2 盒装箱尺寸：40*18*20cm。

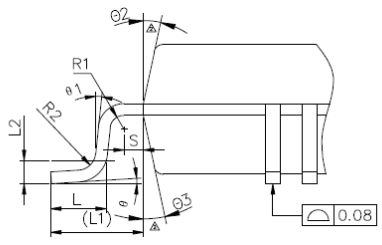
【注 2】4 盒装箱尺寸：40*33*20cm。

【注 3】6 盒装箱尺寸：40*33*30cm。

7 封装

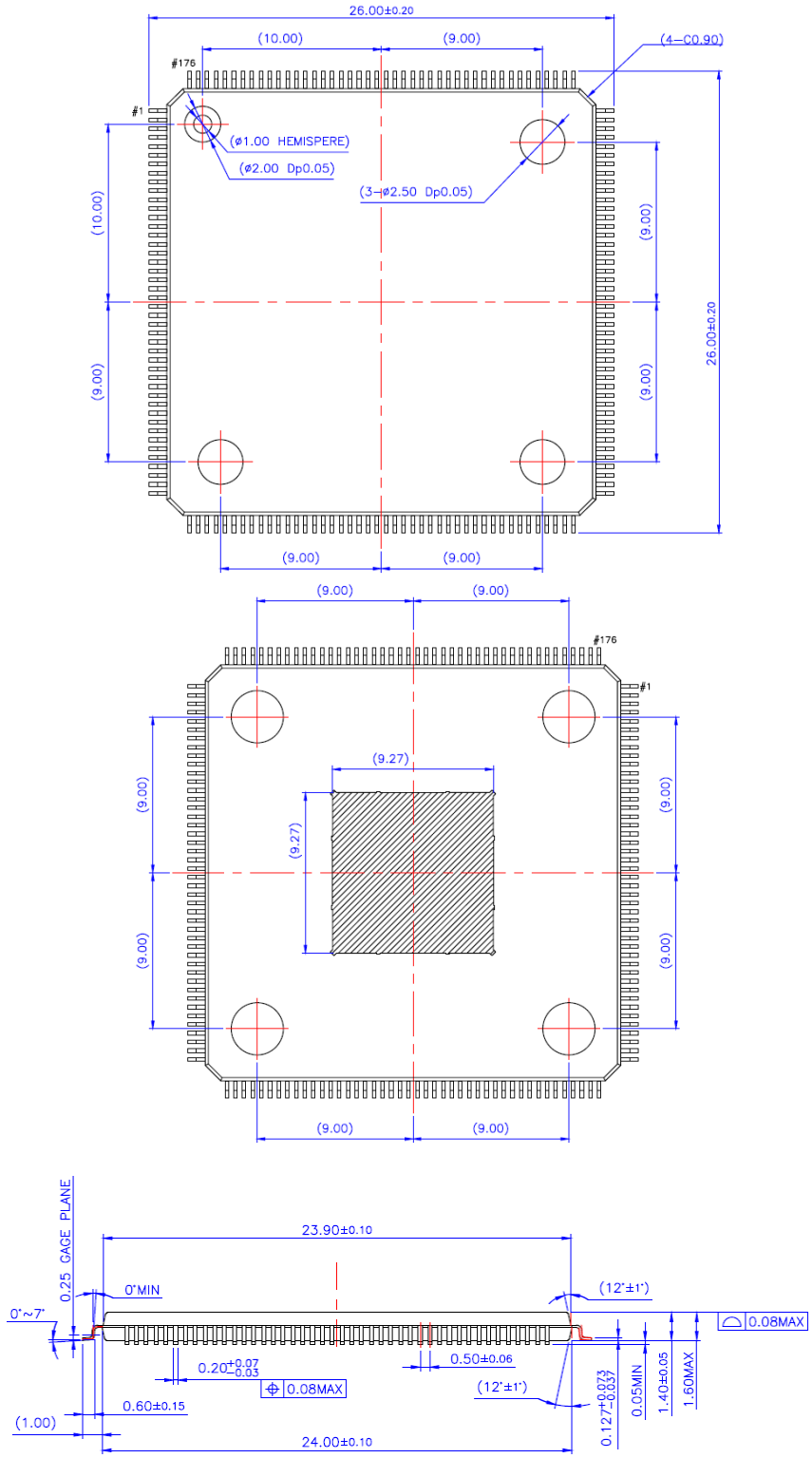
FCP32C335P3N-LQFP176-不带散热焊盘，单位：mm。



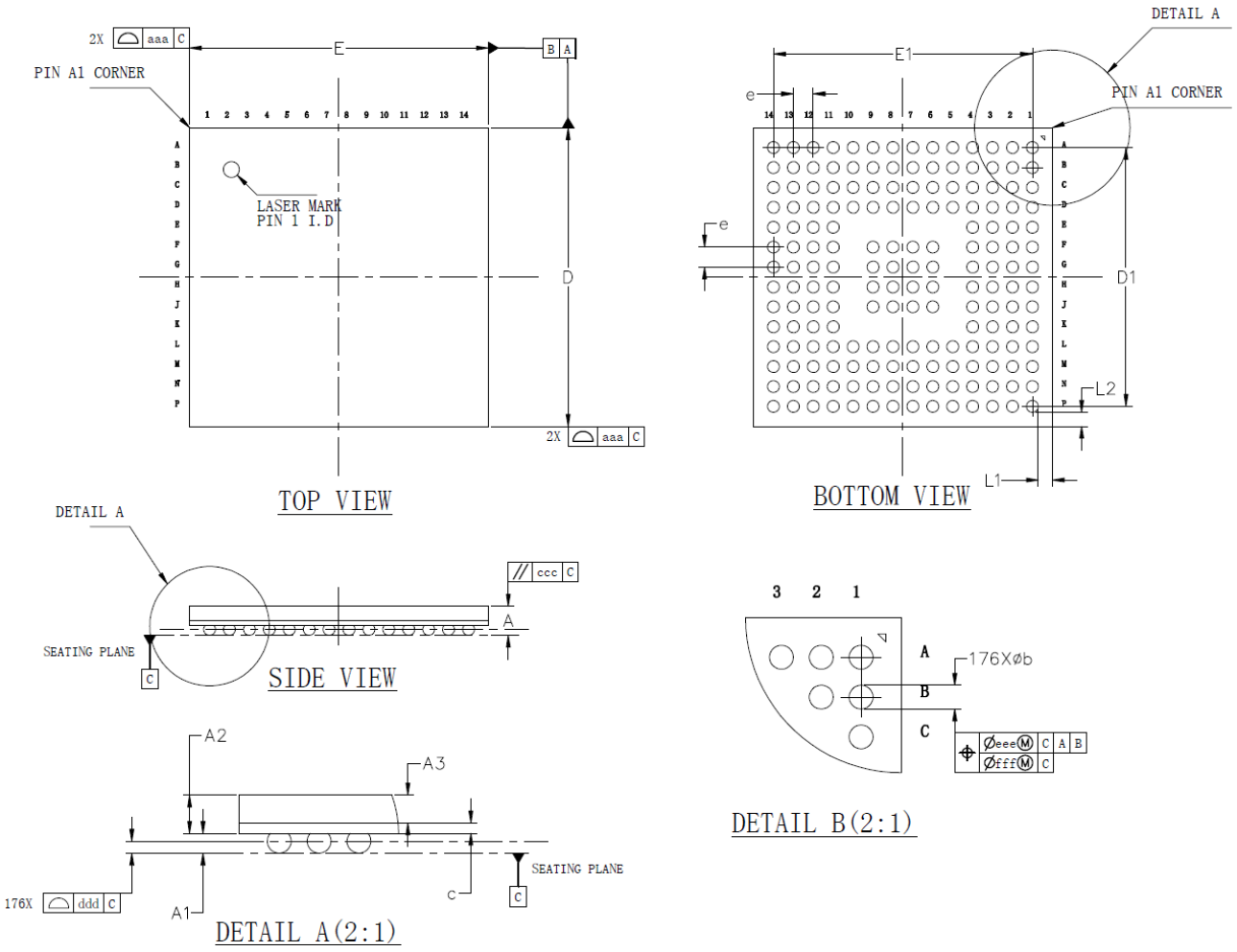


SYMBOL	MIN	NOM	MAX
A	–	–	1.60
A1	0.05	–	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.17		0.27
b1	0.17	–	0.23
c	0.127	–	0.18
c1	0.119	0.127	0.135
D	25.90	26.00	26.10
D1	23.90	24.00	24.10
E	25.90	26.00	26.10
E1	23.90	24.00	24.10
e	0.45	0.50	0.55
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08	–	–
R2	0.08	–	0.20
S	0.20	–	–
θ	0°	3.5°	7°
θ1	0°	–	–
θ2	11°	12°	13°
θ3	11°	12°	13°

FCP32C335P2N-LQFP176-带散热焊盘，单位：mm。



FCP32C335B2N-BGA176，单位：mm。



SYMBOL	MILLMETER		
	MIN	NOM	MAX
A	1.390	1.460	1.530
A1	0.450	0.500	0.550
A2	0.920	0.960	1.000
A3	0.700 BASIC		
c	0.230	0.260	0.290
D	14.900	15.000	15.100
D1	13.000 BASIC		
E	14.900	15.000	15.100
E1	13.000 BASIC		
e	1.000 BASIC		
b	0.550	0.600	0.650
L1	0.625	0.700	0.775
L2	0.625	0.700	0.775
aaa	0.150		
ccc	0.200		
ddd	0.250		
eee	0.150		
fff	0.080		

NOTE:
1. RAW SOLDER BALL SIZE DURING ASSEMBLYIS b=0.60mm
2. PROCESSED SOLDER BALL SIZE DURING ASSEMBLY IS b1=0.62mm

8 SMT 焊接曲线推荐

表 8-1 焊接参数

RampUpRat/升温速率	Max=3℃/sec
PreheatTemperature/预热温度	150~200
Preheat Time/预热时间	60~180sec
Peak Temperature/顶温	245℃~260℃
Timewithin 5℃of actual Peak	20~40sec
RampDownRate/降温速度	6℃/sec max

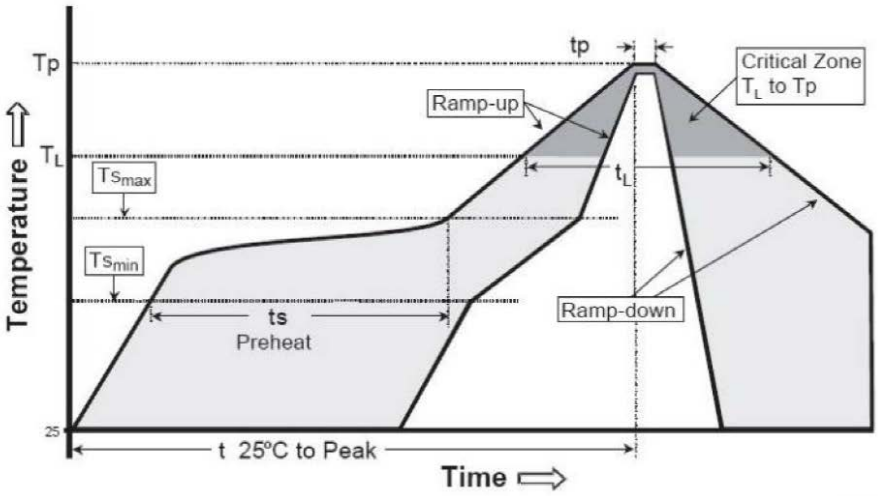


图 8-1 焊接曲线

9 修订记录

修订日期	版本	修订内容
2026-05-15	V1.8.0	格式更新
2025-06-21	V1.7.0	修正说明
2025-05-11	V1.6.0	增加芯片端口列表与功耗参数
2024-04-21	V1.5.0	增加 BGA176 封装焊接曲线
2024-04-18	V1.4.0	修正命名/增加包装信息
2024-03-26	V1.3.0	增加 BGA176 引脚图
2024-03-06	V1.2.0	增加封装 BGA176 图
2024-01-22	V1.1.0	增加上电时序与封装图
2023-06-16	V1.0.0	初稿

通知与声明

方芯提供的技术和可靠性数据（包括数据表）、设计资料（包括参考设计）、设计建议、应用、工具或其他资料均为“原样的”，不保证没有任何瑕疵，同时也不提供任何保证，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权等。

这些资料可供熟练使用方芯产品进行设计的开发人员使用。您将自行承担以下责任：（1）选择合适的方芯产品；（2）设计、验证并测试您的应用方案；（3） 确保您的应用满足相应标准及其他要求，如安全、法规等等。资料如有变更方芯将不会另行通知。这些材料仅用于开发本资料所述的方芯产品的应用方案。严禁对这些资料进行复制或展示。同时并未授权您使用任何方芯及其他第三方的知识产权。

方芯提供的产品受销售合同约束。方芯提供的这些资料也不会扩展或以其他方式改变方芯针对产品发布的适用担保或担保的免责声明。方芯拒绝接受您可能提出的任何附加或者不同的条款。

地址：北京市海淀区高里掌路 1 号院 2 号楼，邮编：100095，邮箱：support@funcience.com

Copyright © 2026，北京方芯半导体有限公司