以太网 PHY---FCP1140、FCP1142、FCP1145

特性

- 单芯片物理层收发器
- 符合节能 Ethernet 802.3az
- 支持电缆诊断
- 支持局域网唤醒（WOL）
- 广泛灵活的电源技术
  - 灵活的电源管理架构
  - LVCOMS 可变 IO 电压范围 1.8V 到 3.3V
  - 集成 1.2V 稳压器，带禁用功能
- 支持 HP Auto-MDIX
- 确定性 100Mb 内回环延迟（MII 模式）
- Realtime 模式
  - ESC 无 TX_CLK 端口时，支持 TXD 自动延迟补偿
  - 固定 100M 全双工使用模式
  - 设定自动重启 100M 全双工协商
  - phy 地址 0~7 和 16~23（支持偏移 16）

优势

- 高性能 10/100 以太网收发器
  - 符合 IEEE802.3/802.3u（快速以太网）
  - 符合 ISO 802-3/IEEE802.3（10BASE-T）标准
  - 符合 IEEE802.3az 节能以太网标准
  - 回环模式
  - 自动协商
  - 自动极性检测和校正
  - 链路状态改变唤醒检测
  - 供应商特定的寄存器功能
  - 支持 MII 和 RMII 接口
- 电源和 IO
  - 各种低功耗模式
  - 集成上电复位电路
  - 两个状态 LED 输出
  - 可使用 3.3V 单电源供电
- 附加功能
  - 能够使用低成本的 25MHz 晶振来减少 BOM
- 封装
  - FCP1140：QFN32-EP
  - FCP1142：QFN24-EP
  - FCP1145：QFN32-EP

产品功能信息

	FCP1140	FCP1142	FCP1145
封装	32-QFN-EP	24-QFN-EP	32-QFN-EP
EtherCAT	MII/RMII	RMII	MII
EEE	支持	不支持	不支持
WOL	支持	支持	支持
CableDiag.	支持	支持	支持
REFCLKO	不支持	支持	不支持
TX_FIFO	-	可选	-
PHASE LOCK	支持	支持	支持
Realtime Mode	不支持	不支持	支持

内部资料

目录

图目录 8
表目录 10
术语 12
缓冲器类型 13
寄存器术语 14
1 介绍 15
2 引脚说明和配置 18
2.1 引脚概述 18
2.1.1 FCP1140 引脚定义 18
2.1.1.1 引脚排布 18
2.1.1.2 引脚名称 19
2.1.2 FCP1142 引脚定义 20
2.1.2.1 引脚排布 20
2.1.2.2 引脚分配 21
2.1.3 FCP1145 引脚定义 22
2.1.3.1 引脚排布 22
2.1.3.2 引脚分配 23
2.2 引脚描述 25
2.2.1 MII/RMII 信号引脚说明 26
2.2.2 LED 引脚说明 31
2.2.3 串行管理接口（SMI）引脚说明 32
2.2.4 以太网引脚说明 33
2.2.5 其它引脚说明 33
2.2.6 模拟参考引脚说明 33
2.2.7 电源引脚说明 34
3 功能描述 35
3.1 收发器 35
3.1.1 100BASE-TX 发送 35
3.1.1.1 通过 MII/RMII 接口 100BASE-TX 发送数据 36
3.1.1.2 4B/5B 编码 36
3.1.1.3 加扰器 37
3.1.1.4 NRZI 和 MLT-3 编码 37
3.1.1.5 100M 发送驱动器 37
3.1.1.6 100M 锁相环（PLL） 38
3.1.2 100BASE-TX 接收 38

内部资料

3.1.2.1 100M 接收输入 38
3.1.2.2 均衡器，基线漂移校正以及时钟和数据恢复 38
3.1.2.3 NRZI 和 MLT-3 解码 39
3.1.2.4 解扰器 39
3.1.2.5 对齐 39
3.1.2.6 5B/4B 解码 39
3.1.2.7 接收数据有效信号 39
3.1.2.8 接收器错误 40
3.1.2.9 通过 MII/RMII 接口 100M 接收数据 40
3.1.3 10BASE-T 发送 41
3.1.3.1 通过 MII/RMII 接口 10M 发送数据 41
3.1.3.2 曼彻斯特编码 41
3.1.3.3 10M 发送驱动器 41
3.1.4 10BASE-T 接收 42
3.1.4.1 10M 接收输入和静噪 42
3.1.4.2 曼彻斯特解码 42
3.1.4.3 通过 MII/RMII 接口 10M 接收数据 42
3.1.4.4 Jabber 检测 42
3.2 自动协商 43
3.2.1 并行检测 44
3.2.2 重启自动协商 44
3.2.3 禁止自动协商 44
3.2.4 半双工与全双工 44
3.3 HP Auto-MDIX 支持 45
3.4 MAC 接口 46
3.4.1 MII 46
3.4.2 RMII 46
3.4.2.1 CRS_DV-载波侦听/接收数据有效 47
3.4.2.2 参考时钟（REF_CLK） 47
3.4.3 MII 与 RMII 配置 47
3.5 串行管理接口（SMI） 49
3.6 中断管理 50
3.6.1 主要中断模式 50
3.6.2 备用中断模式 52
3.7 配置引脚 53
3.7.1 PHYAD[4,2:0]：PHY 地址配置 53

内部资料

3.7.2 模式配置 54
3.7.2.1 MODE[2:0]：模式配置 54
3.7.2.2 100FD：模式配置 55
3.7.3 RMIISEL：MII/RMII 模式配置 55
3.7.4 REGOFF：内部+1.2V 稳压器配置 55
3.7.4.1 禁用内部+1.2V 稳压器 55
3.7.4.2 启用内部+1.2V 稳压器 56
3.7.5 nINTSEL 配置 56
3.7.5.1 nINTSEL：nINT/TXER/TXD4 配置 56
3.7.5.2 nINTSEL：nINT/REFCLKO 配置 56
3.7.5.2.1 REF_CLK 输入模式 57
3.7.5.2.2 REF_CLK 输出模式 58
3.7.6 FCP1145 特有配置 60
3.7.6.1 TX 自动偏移配置 60
3.7.6.2 MI 链路检测配置 60
3.8 其它功能 61
3.8.1 LED 61
3.8.1.1 禁用内部稳压器时，LED1/nINT/nPME 的使用（REGOFF 为高电平） 61
3.8.1.2 启用内部稳压器时，LED1/nINT/nPME 的使用（REGOFF 为低电平） 62
3.8.1.3 启用 nINTSEL 功能 62
3.8.1.4 禁用 nINTSEL 功能 63
3.8.1.5 REGOFF 和 LED1 极性选择 63
3.8.1.6 nINTSEL 和 LED2 极性选择 64
3.8.2 可变电压 I/O 64
3.8.3 掉电模式 64
3.8.3.1 常规掉电 64
3.8.3.2 非通用掉电模式 65
3.8.3.3 能量检测掉电（EDPD） 65
3.8.4 LAN 唤醒（WoL） 66
3.8.4.1 理想 DA（目标地址）检测 66
3.8.4.2 广播检测 67
3.8.4.3 魔术包检测 67
3.8.4.4 唤醒帧检测 68
3.8.5 高效节能以太网 71
3.8.6 隔离模式 71
3.8.7 复位 71

内部资料

3.8.7.1 硬件复位 71
3.8.7.2 软件复位 72
3.8.8 载波侦听 72
3.8.9 冲突检测 72
3.8.10 链接完整性测试 72
3.8.11 电缆诊断 73
3.8.11.1 时域反射仪（TDR）电缆诊断 73
3.8.11.2 匹配的电缆诊断 77
3.8.12 回环操作 78
3.8.12.1 近端回环 78
3.8.12.2 远端回环 78
3.8.12.3 连接回环 79
3.9 应用图 80
3.9.1 简化的系统级别应用程序图 80
3.9.2 电源图（内部稳压器提供的 1.2V 电源） 82
3.9.3 电源图（1.2V 由外部电源供电） 83
3.9.4 双绞线接口图（单电源） 84
3.9.5 双绞线接口图（双电源） 84
4 寄存器说明 85
4.1 控制和状态寄存器 86
4.1.1 基本控制寄存器 87
4.1.2 基本状态寄存器 88
4.1.3 PHY 标识符 1 寄存器 89
4.1.4 PHY 标识符 2 寄存器 89
4.1.5 自动协商通告寄存器 90
4.1.6 自动协商链路伙伴能力寄存器 91
4.1.7 自动协商扩展寄存器 92
4.1.8 自动协商下一页 TX 寄存器 93
4.1.9 自动协商下一页 RX 寄存器 94
4.1.10 配置值读出寄存器 95
4.1.11 MMD 访问控制寄存器 96
4.1.12 MMD 访问地址/数据寄存器 96
4.1.13 EDPD NLP/交叉时间/EEE 配置寄存器 97
4.1.14 模式控制/状态寄存器 98
4.1.15 特殊模式寄存器 99
4.1.16 配置寄存器 100

内部资料

4.1.17 TDR 模式/延迟控制寄存器 101
4.1.18 TDR 控制/状态寄存器 102
4.1.19 符号错误计数器寄存器 102
4.1.20 特殊控制/状态指示寄存器 103
4.1.21 电缆长度寄存器 103
4.1.22 中断源标志寄存器 104
4.1.23 中断屏蔽寄存器 105
4.1.24 PHY 特殊控制/状态寄存器 105
4.2 MDIO 可管理器件（MMD）寄存器 106
4.2.1 PCS 控制 1 寄存器 108
4.2.2 PCS 状态 1 寄存器 108
4.2.3 PCS MMD 设备存在 1 寄存器 109
4.2.4 PCS MMD 设备存在 2 寄存器 110
4.2.5 EEE 能力寄存器 111
4.2.6 EEE 唤醒错误寄存器 111
4.2.7 唤醒控制和状态寄存器（WUCSR） 112
4.2.8 唤醒过滤器配置寄存器 A（WUF_CFGA） 114
4.2.9 唤醒过滤器配置寄存器 B（WUF_CFGB） 114
4.2.10 唤醒过滤器字节掩码寄存器（WUF_MASK） 115
4.2.11 MAC 接收地址 A 寄存器（RX_ADDRA） 117
4.2.12 MAC 接收地址 B 寄存器（RX_ADDRB） 117
4.2.13 MAC 接收地址 C 寄存器（RX_ADDRC） 117
4.2.14 其他配置寄存器（MCFGR） 118
4.2.15 自动协商 MMD 设备存在 1 寄存器 118
4.2.16 自动协商 MMD 设备存在 2 寄存器 119
4.2.17 EEE 通告寄存器 119
4.2.18 EEE 链路伙伴通告寄存器 120
4.2.19 供应商特定 MMD1 器件 ID1 寄存器 120
4.2.20 供应商特定 MMD1 器件 ID2 寄存器 121
4.2.21 供应商特定 MMD1 器件存在 1 寄存器 121
4.2.22 供应商特定 MMD1 器件存在 2 寄存器 122
4.2.23 供应商特定 MMD1 状态寄存器 122
4.2.24 TDR 匹配阈值寄存器 122
4.2.25 TDR 短路/开路阈值寄存器 123
4.2.26 供应商特定 MMD1 封装 ID1 寄存器 123
4.2.27 供应商特定 MMD1 封装 ID2 寄存器 123

内部资料

5 Operational Characteristics 124
5.1 Absolute Maximum Ratings* 124
5.2 Recommended Operating Conditions** 125
5.3 Power Consumption 126
5.3.1 FCP1140/FCP1145 Power Consumption 126
5.3.1.1 Internal Regulator Disabled 126
5.3.1.2 Internal Regulator Enabled 127
5.3.2 FCP1142 Power Consumption 128
5.3.2.1 REF_CLK In Mode 128
5.3.2.2 REF_CLK Out Mode 129
5.4 DC Specifications 130
5.5 AC Specifications 133
5.5.1 Equivalent Test Load 133
5.5.2 Power Sequence Timing 134
5.5.3 Power-On nRST & Configuration Strap Timing 135
5.5.4 MII Interface Timing 136
5.5.4.1 MII Receive Timing 136
5.5.4.2 MII Transmit Timing 137
5.5.4.3 100Mbps Internal Loopback MII Timing 138
5.5.5 RMII Interface Timing 139
5.5.5.1 RMII Timing (REF_CLK Out Mode) 139
5.5.5.2 RMII Timing(REF_CLK In Mode) 141
5.5.5.3 RMII CLKIN Requirements 142
5.5.6 SMI Timing 142
5.6 Clock Circuit 143
6 封装和订购信息 145
6.1 封装信息 145
6.1.1 QFN24-EP 封装 145
6.1.2 QFN32-EP 封装 147
6.2 订购信息 149
7 修订记录 150

内部资料

图目录

图 1-1 系统框图 15
图 1-2 FCP1140 内部框图 16
图 1-3 FCP1142 内部框图 16
图 1-4 FCP1145 内部框图 17
图 2-1 FCP1140 引脚排布（顶视） 18
图 2-2 FCP1142 引脚排布（顶视） 20
图 2-3 FCP1145 引脚排布（顶视） 22
图 3-1 100BASE-TX 发送数据路径 35
图 3-2 100BASE-TX 接收数据路径 38
图 3-3 接收数据和特定 MII 信号之间的关系 39
图 3-4 直接电缆连接与交叉电缆连接 45
图 3-5 MDIO 时序和帧结构-读周期 49
图 3-6 MDIO 时序和帧结构-写周期 49
图 3-7 外部 50MHz 时钟源 REF_CLK 57
图 3-8 从 25MHz 晶振获得 REF_CLK 时钟源 58
图 3-9 从外部 25MHz 时钟源获得 REF_CLK 时钟源 59
图 3-10 禁用内部稳压器的 **LED1/nINT/nPME/REGOFF** 61
图 3-11 启用内部稳压器的 **LED1/nINT/nPME/REGOFF** 62
图 3-12 使能 **nINTSEL** 的 **LED2/nINT/nPME** 62
图 3-13 禁用 **nINTSEL** 的 **LED2/nINT/nPME** 63
图 3-14 LED1/REGOFF 极性配置 63
图 3-15 LED2/nINTSEL 极性配置 64
图 3-16 TDR 使用流程图 74
图 3-17 近端回环框图 78
图 3-18 远端回环框图 78
图 3-19 连接回环框图 79
图 3-20 简化的系统级应用框图（FCP1140） 80
图 3-21 简化的系统级应用框图（FCP1142） 81
图 3-22 简化的系统级应用框图（FCP1145） 81
图 3-23 电源框图（由内部稳压器提供的 1.2V） 82
图 3-24 电源框图（由外部电源提供的 1.2V） 83
图 3-25 双绞线接口（单电源） 84
图 3-26 双绞线接口（双电源） 84

Figure 5-1 Output Equivalent Test Load 133

内部资料

Figure 5-2 Power Sequence Timing 134
Figure 5-3 Power-On nRST & Configuration Strap Timing 135
Figure 5-4 MII Receive Timing 136
Figure 5-5 MII Transmit Timing 137
Figure 5-6 100Mbps Internal Loopback MII Timing 138
Figure 5-7 RMII Timing(REF_CLK Out Mode) 139
Figure 5-8 RMII Timng(REF_CLK In Mode) 141
Figure 5-9 SMI Timing 142
Figure 5-10 Typical application with a 25MHz crystal 144

内部资料

表目录

表 2-1 FCP1140 引脚名称 19
表 2-2 FCP1142 引脚名称 21
表 2-3 FCP1145 引脚名称 23
表 2-4 MII/RMII 信号 26
表 2-5 LED 引脚 31
表 2-6 串行管理接口（SMI）引脚 32
表 2-7 以太网引脚 33
表 2-8 其它引脚 33
表 2-9 模拟参考引脚 33
表 2-10 电源引脚 34
表 3-1 4B/5B 编码表 36
表 3-2 MII/RMII 信号映射 48
表 3-3 中断管理表 51
表 3-4 备用中断管理表 52
表 3-5 地址位配置的引脚名称（FCP1140） 53
表 3-6 地址位配置的引脚名称（FCP1142） 53
表 3-7 地址位配置的引脚名称（FCP1145） 53
表 3-8 MODE[2:0]模式配置（FCP1140/FCP1142） 54
表 3-9 模式位配置的引脚名称（FCP1140/FCP1142） 54
表 3-10 100FD 模式配置（FCP1145） 55
表 3-11 模式位配置的引脚名称（FCP1145） 55
表 3-12 nINTSEL 配置 56
表 3-13 掉电模式的功耗管理模块状态 65
表 3-14 唤醒生成案例 69
表 3-15 TDR 传播常数 75
表 3-16 裸线的典型测量误差（±米） 76
表 3-17 短电缆的典型测量误差（±米） 76
表 3-18 匹配情况估计的电缆长度（CBLN）查找表 77
表 4-1 SMI 寄存器映射 86
表 4-2 MMD 寄存器 106
表 6-1 订购信息 149

Table 5-1 Absolute Maximum Ratings 124
Table 5-2 Recommended Operating Conditions 125
Table 5-3 FCE1140 Current Consumption And Power Dissipation (Regs.Disabled) 126

内部资料

Table 5-4 FCE1145 Current Consumption And Power Dissipation (Regs.Disabled) 126
Table 5-5 FCE1140 Current Consumption And Power Dissipation (Regs.Enabled) 127
Table 5-6 FCE1145 Current Consumption And Power Dissipation (Regs. Enabled) 127
Table 5-7 FCE1142 Current Consumption And Power Dissipation (REF_CLK IN,Regs.Disabled) 128
Table 5-8 FCE1142 Current Consumption And Power Dissipation (REF_CLK IN,Regs. Enabled) 128
Table 5-9 FCE1142 Current Consumption And Power Dissipation (REF_CLK OUT,Regs.Disabled)... 129
Table 5-10 FCE1142 Current Consumption And Power Dissipation (REF_CLK OUT,Regs. Enabled) 129
Table 5-11 Non-Variable I/O Buffer Characteristics 130
Table 5-12 Variable I/O Buffer Characteristics 131
Table 5-13 100Base-TX Transceiver Characteristics..... 131
Table 5-14 10Base-T Transceiver Characteristics 132
Table 5-15 Link Loss Reaction (Indication) Time 132
Table 5-16 Power Sequence Timing Values 134
Table 5-17 Power-On nRST & Configuration Strap Timing Values..... 135
Table 5-18 MII Receive Timing Values 136
Table 5-19 MII Transmit Timing Values 137
Table 5-20 100Mbps Internal Loopback MII Timing Values 138
Table 5-21 RMII Timing Values(REF_CLK Out Mode)..... 140
Table 5-22 RMII Timing Values(REF_CLK In Mode) 141
Table 5-23 RMII CLKIN(REF_CLK) Timing Values 142
Table 5-24 SMI Timing Values..... 142
Table 5-25 Crystal Specifications(Note1) 143

内部资料

术语

BYTE	8 bits
FIFO	First In First Out buffer
MAC	Media Access Controller
RMII	Reduced Media Independent Interface
N/A	Not Applicable
X	表示逻辑状态为“无关”或未定义。
RESERVED	指保留位字段或地址。 除非另有说明，否则保留位必须始终为零才能进行写操作。 除非另有说明，否则在读取保留位时不能保证值。 除非另有说明，否则请勿读取或写入保留地址。
SMI	Serial Management Interface

内部资料

缓冲器类型

IS	施密特触发输入
O12	具有 12mA 灌电流和 12mA 拉电流的输出
VIS	可变电压施密特触发输入
VO8	具有 8mA 灌电流和 8mA 拉电流的可变电压输出
VOD8	可变电压漏极开路输出，具有 8mA 灌电流
PU	50μA（典型值）内部上拉。除非引脚说明中另有说明，否则始终启用内部上拉。 **【注】**内部上拉电阻可防止未连接的输入悬空。不要依靠内部电阻来驱动设备外部的信号。当连接到必须拉高的负载时，必须添加一个外部电阻。
PD	50μA（典型值）内部下拉。除非引脚说明中另有说明，否则始终启用内部下拉。 **【注】**内部下拉电阻可防止未连接的输入悬空。不要依靠内部电阻来驱动设备外部的信号。 当连接到必须拉低的负载时，必须添加一个外部电阻。
AI	模拟输入
AIO	双向模拟
ICLK	晶体振荡器输入引脚
OCLK	晶体振荡器输出引脚

【注意】数字信号不能承受 5V 电压。有关更多的缓冲器信息，请参见章节 5.1“Absolute Maximum Rating*”。

【注意】灌电流和拉电流的能力取决于 VDDIO 电压。有关更多信息，请参见章节 5.1“Absolute Maximum Rating*”。

内部资料

寄存器术语

R	Read：可以读取具有此属性的寄存器或位。
W	Write：可以写入具有该属性的寄存器或位。
RO	Read only：写入无效。
WO	Write only：如果寄存器或位是只写的，则读取将返回未指定的数据。
WC	Write One to Clear：写 1 清零，写零无效。
WAC	Write Anything to Clear：写任意值均可将值清零。
RC	Read to Clear：读取后清除内容。写入无效。
LL	Latch Low：读取寄存器时清零。
LH	Latch High：读取寄存器时清零。
SC	Self-Clearing：置 1 后自清零内容。写 0 无效。可读取内容。
SS	Self-Setting：清 0 后自设置内容。写 1 无效。可读取内容。
RO/LH	Read Only, Latch High：具有此属性的位将保持高电平，直到该位被读取。读取后，如果保持高电平状态，则该位将保持高电平；如果已清除高电平状态，则该位变为低电平。如果尚未读取该位，则无论高电平条件是否发生变化，该位都将保持高电平。在部分以太网 PHY 寄存器中使用此模式。
NASR	Not Affected by Software Reset：使能软件复位后，NASR 位的状态不会发生改变。
RESERVED	Reserved Field：保留字段必须写入 0，以确保未来的兼容性。读取时无法保证保留位的值。

【注意】这些寄存器位标记到可以组合使用，以下为示例。

R/W：可以写入。读取时将返回当前设置。

R/WAC：将在读取时返回当前设置。写任意值清零。

内部资料

1 介绍

FCP114X 是一款具有可变 I/O 电压的低功耗 10BASE-T/100BASE-TX 物理层（PHY）收发器，符合 IEEE 802.3、802.3u 和 802.3az（Energy Efficient Ethernet）标准。支持高效节能以太网（EEE）可以在连接状态但无数据传输空闲状态时降低有效能源消耗。

FCP114X 支持通过标准 MII（IEEE 802.3u）/RMII 接口与以太网 MAC 进行通信。它包含一个全双工 10-BASE-T/100BASE-TX 收发器，并支持 10Mbps（10BASE-T）和 100Mbps（100BASE-TX）的运行。FCP114X 实现自动协商，以自动确定最佳的速度和双工操作模式。HP Auto-MDIX 支持允许使用直接连接或交叉局域网电缆。集成的 LAN 唤醒（WoL）支持提供了一种机制，可在接收到理想 DA，广播，魔术包或唤醒帧后触发中断。

FCP114X 支持符合 IEEE 802.3-2005 和供应商特定的寄存器功能。但是，操作不需要寄存器访问。可以通过章节 3.7“配置引脚”中所述的配置引脚选择初始配置。寄存器可选的配置选项可用于进一步定义收发器的功能。

可以对 FCP114X 进行编程，以在物理层支持 LAN 唤醒，从而允许检测可配置的唤醒帧和 Magic 数据包。此功能允许在 PHY 层过滤数据包，而无需 MAC 干预。此外，FCP114X 支持电缆诊断，该诊断使设备可以通过供应商特定的寄存器识别断开/短路及其在电缆上的位置。

根据 IEEE 802.3-2005 标准，所有数字接口引脚都可承受 3.6V 电压。该器件可配置为使用集成的 3.3V 至 1.2V 线性稳压器在单个 3.3V 电源上运行。线性稳压器可以有选择的禁用，从而允许使用高效的外部稳压器以降低系统功耗。

典型的系统应用如图 1-1 所示。图 1-2 提供了 FCP1140 器件的内部框图。图 1-3 提供了 FCP1142 器件的内部框图。图 1-4 提供了 FCP1145 器件的内部框图。

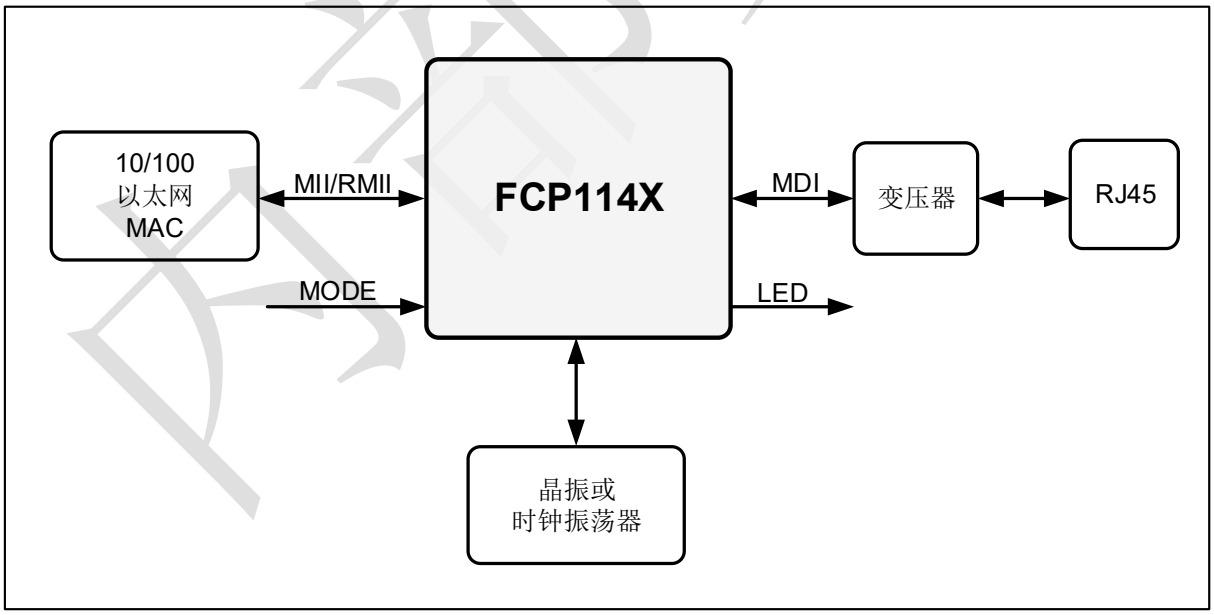


图 1-1 系统框图

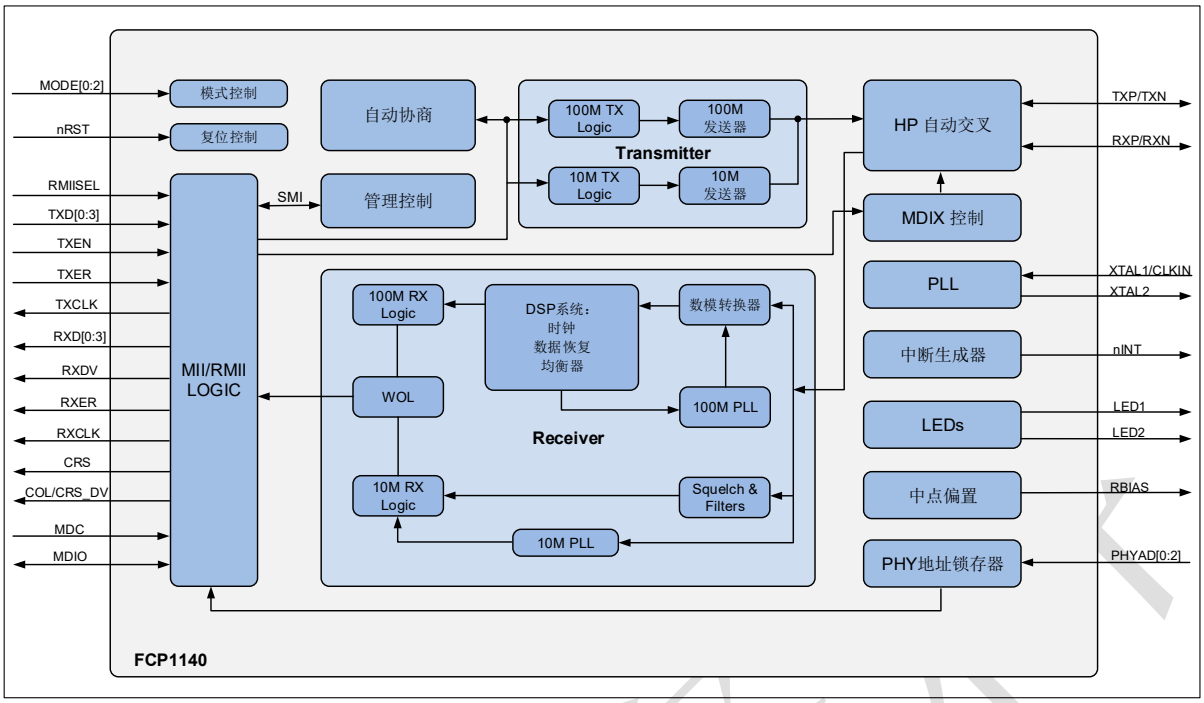


图 1-2 FCP1140 内部框图

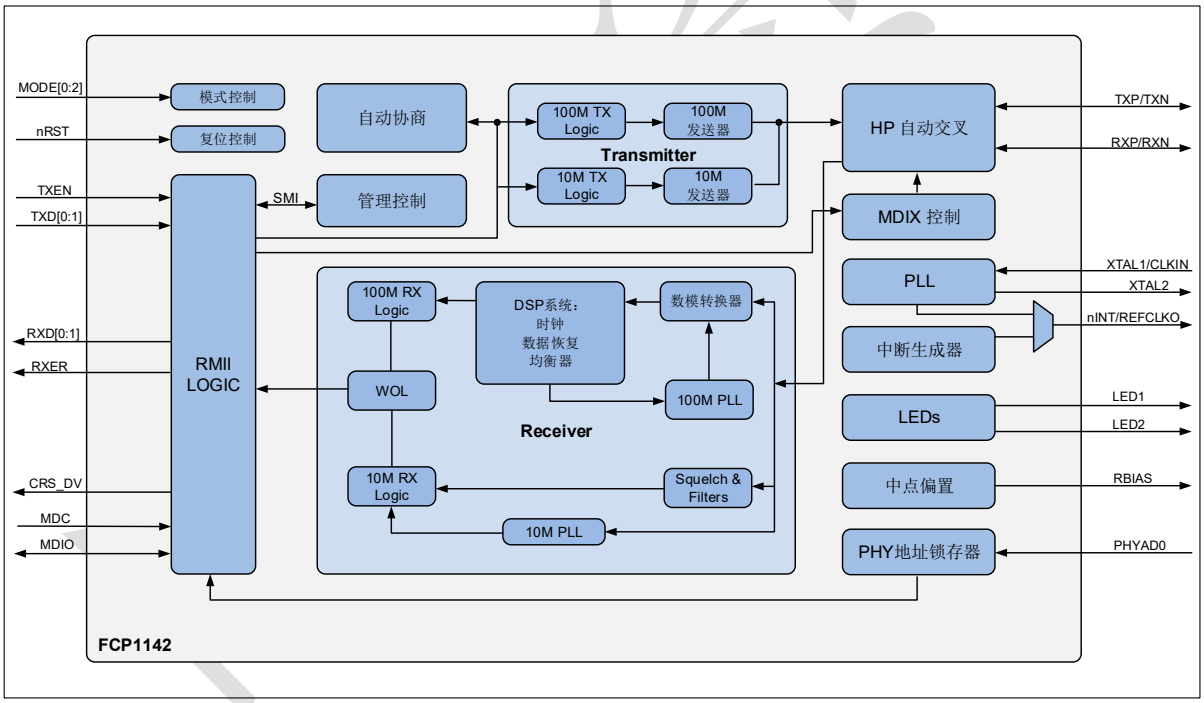


图 1-3 FCP1142 内部框图

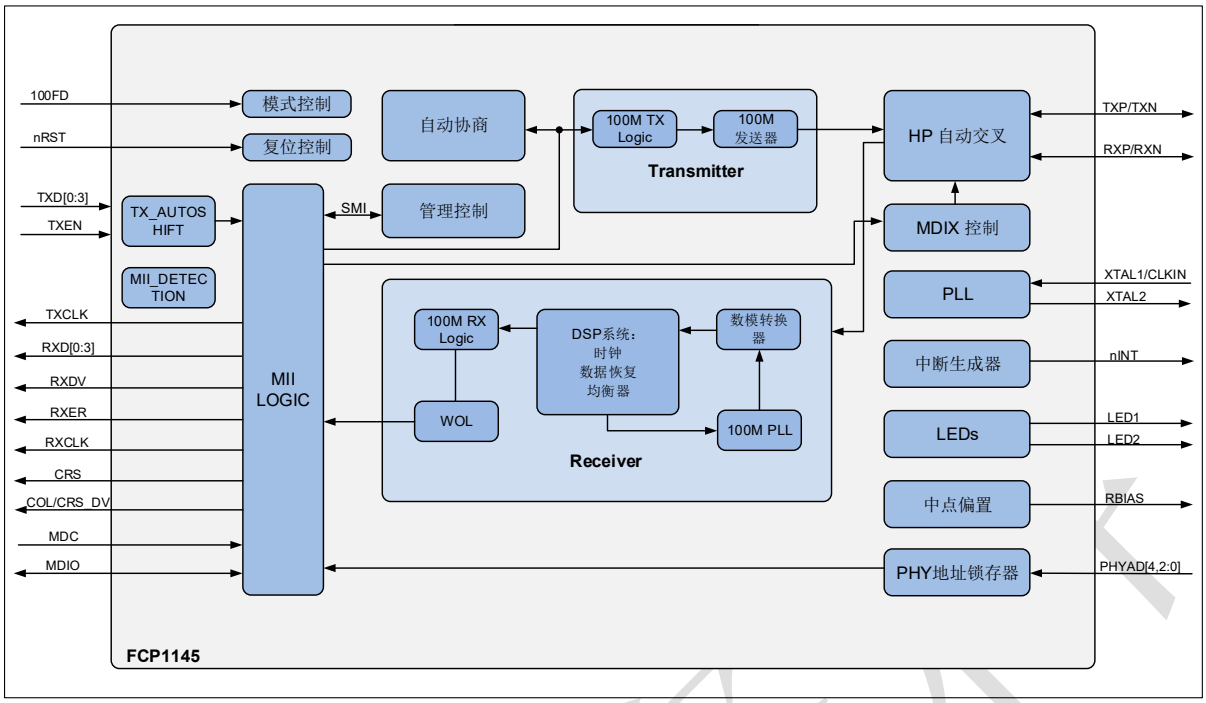


图 1-4 FCP1145 内部框图

内部资料

2 引脚说明和配置

2.1 引脚概述

2.1.1 FCP1140 引脚定义

2.1.1.1 引脚排布

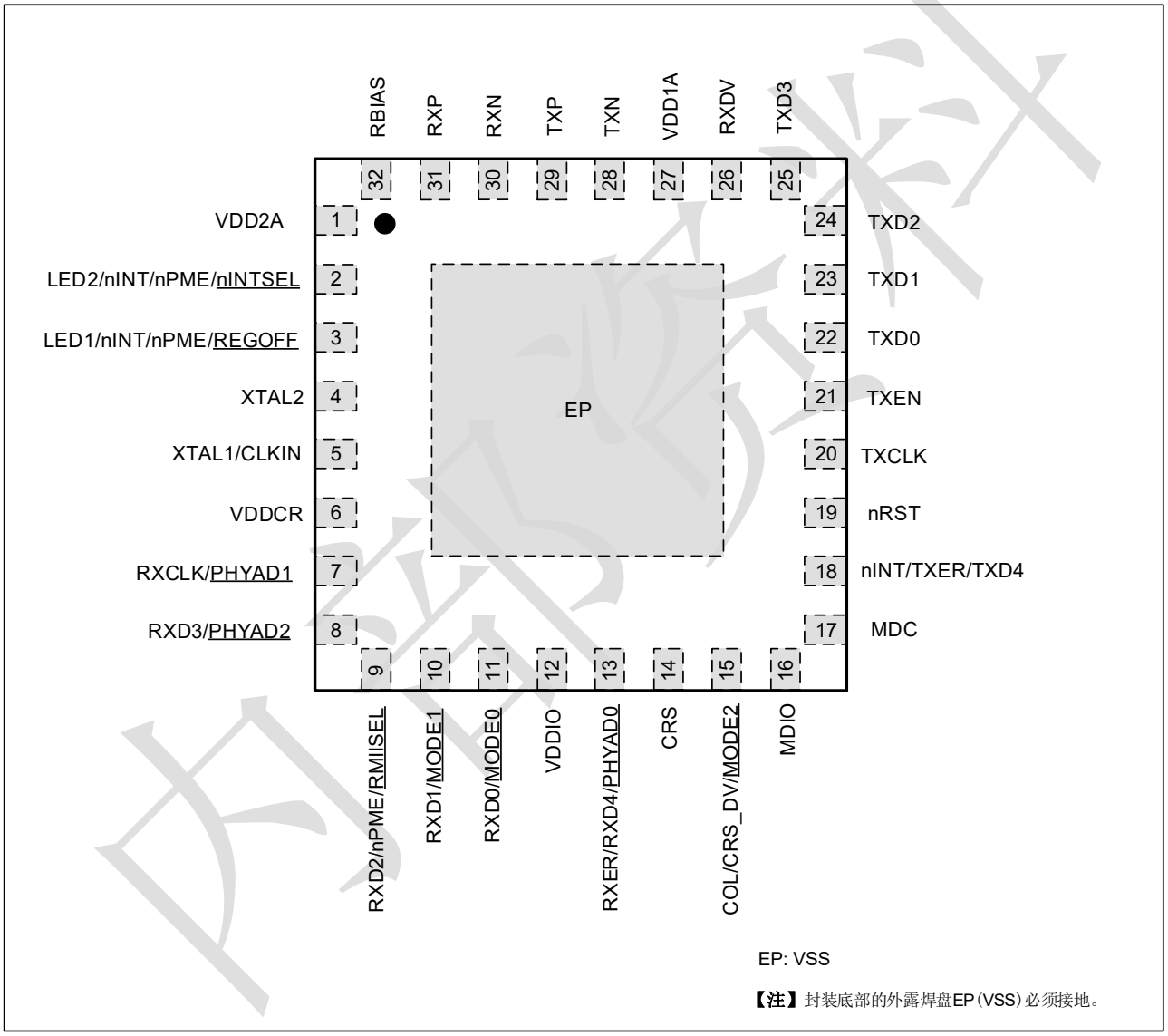


图 2-1 FCP1140 引脚排布（顶视）

【注】

1. 在信号名称的开头使用小写字母“n”时，表示该信号低电平有效。例如，nRST 表示复位信号为低电平有效。
2. 每个信号的缓冲器类型在章节 2.2“引脚描述”的引脚描述表格列“缓冲器类型”中指示。

2.1.1.2 引脚名称

表 2-1 详细说明了 FCP1140 的引脚名称，如下所示：

表 2-1 FCP1140 引脚名称

引脚	引脚名称
1	VDD2A
2	LED2/nINT/nPME/nINTSEL
3	LED1/nINT/nPME/REGOFF
4	XTAL2
5	XTAL1/CLKIN
6	VDDCR
7	RXCLK/PHYAD1
8	RXD3/PHYAD2
9	RXD2/nPME/RMIISEL
10	RXD1/MODE1
11	RXD0/MODE0
12	VDDIO
13	RXER/RXD4/PHYAD0
14	CRS
15	COL/CRS_DV/MODE2
16	MDIO
17	MDC
18	nINT/TXER/TXD4
19	nRST
20	TXCLK
21	TXEN
22	TXD0
23	TXD1
24	TXD2
25	TXD3
26	RXDV
27	VDD1A
28	TXN
29	TXP
30	RXN

内部资料

31	RXP
32	RBIAS
EP	VSS

2.1.2 FCP1142 引脚定义

2.1.2.1 引脚排布

FCP1142 采用 QFN24-EP 封装，其引脚排布如下：

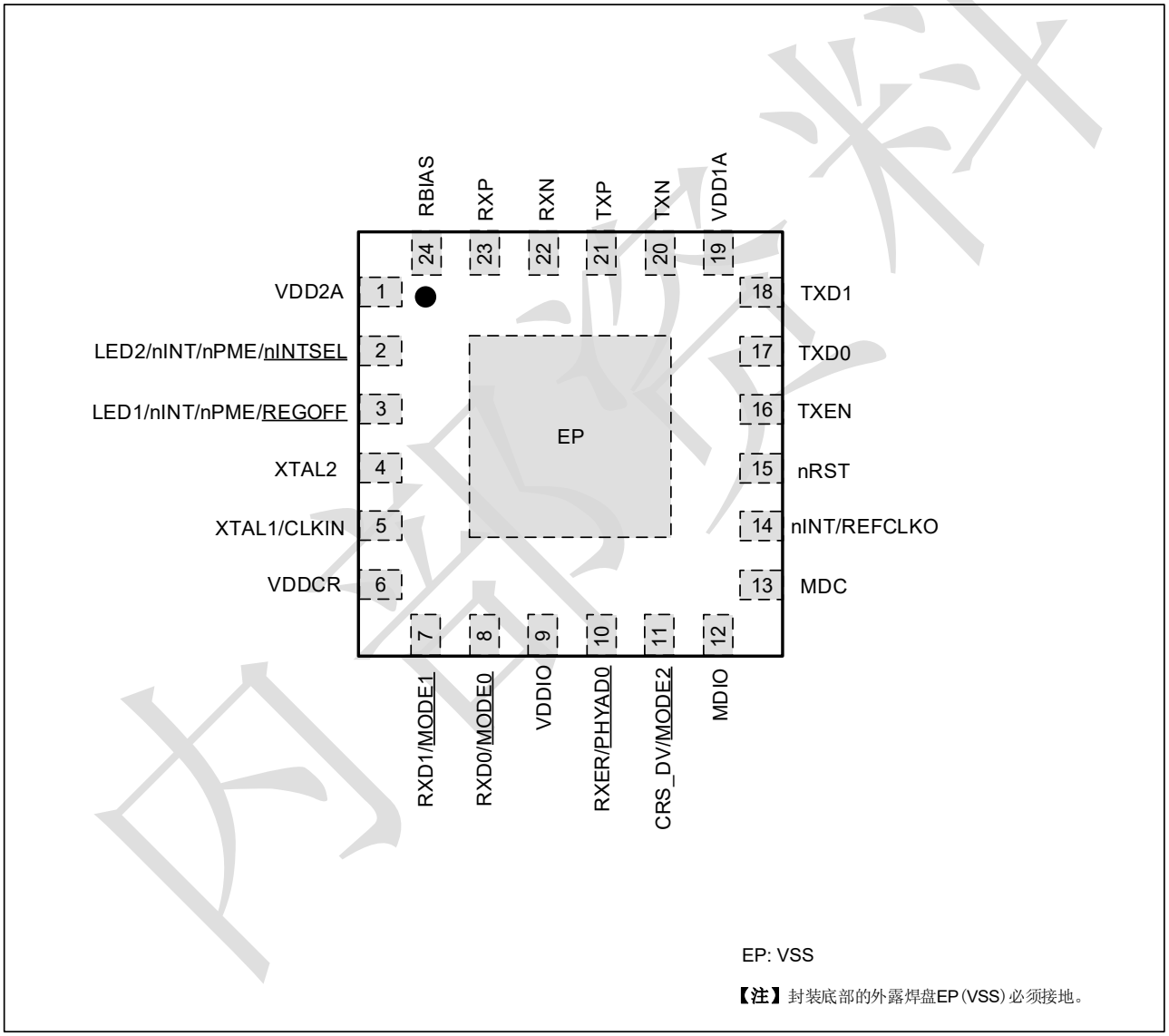


图 2-2 FCP1142 引脚排布（顶视）

【注】

1. 在信号名称的开头使用小写字母“n”时，表示该信号低电平有效。例如，nRST 表示复位信号为低电平有效。

2. 每个信号的缓冲器类型在章节 2.2“引脚描述”的引脚描述表格列“缓冲器类型”中指示。

2.1.2.2 引脚分配

表 2-2 详细说明了 FCP1142 的引脚分配，如下所示：

表 2-2 FCP1142 引脚名称

引脚	引脚名称
1	VDD2A
2	LED2/nINT/nPME/nINTSEL
3	LED1/nINT/nPME/REGOFF
4	XTAL2
5	XTAL1/CLKIN
6	VDDCR
7	RXD1/MODE1
8	RXD0/MODE0
9	VDDIO
10	RXER/PHYAD0
11	CRS_DV/MODE2
12	MDIO
13	MDC
14	nINT/REFCLKO
15	nRST
16	TXEN
17	TXD0
18	TXD1
19	VDD1A
20	TXN
21	TXP
22	RXN
23	RXP
24	RBIAS
EP	VSS

内部资料

2.1.3 FCP1145 引脚定义

2.1.3.1 引脚排布

FCP1145 采用 QFN32-EP 封装，其引脚排布如下：

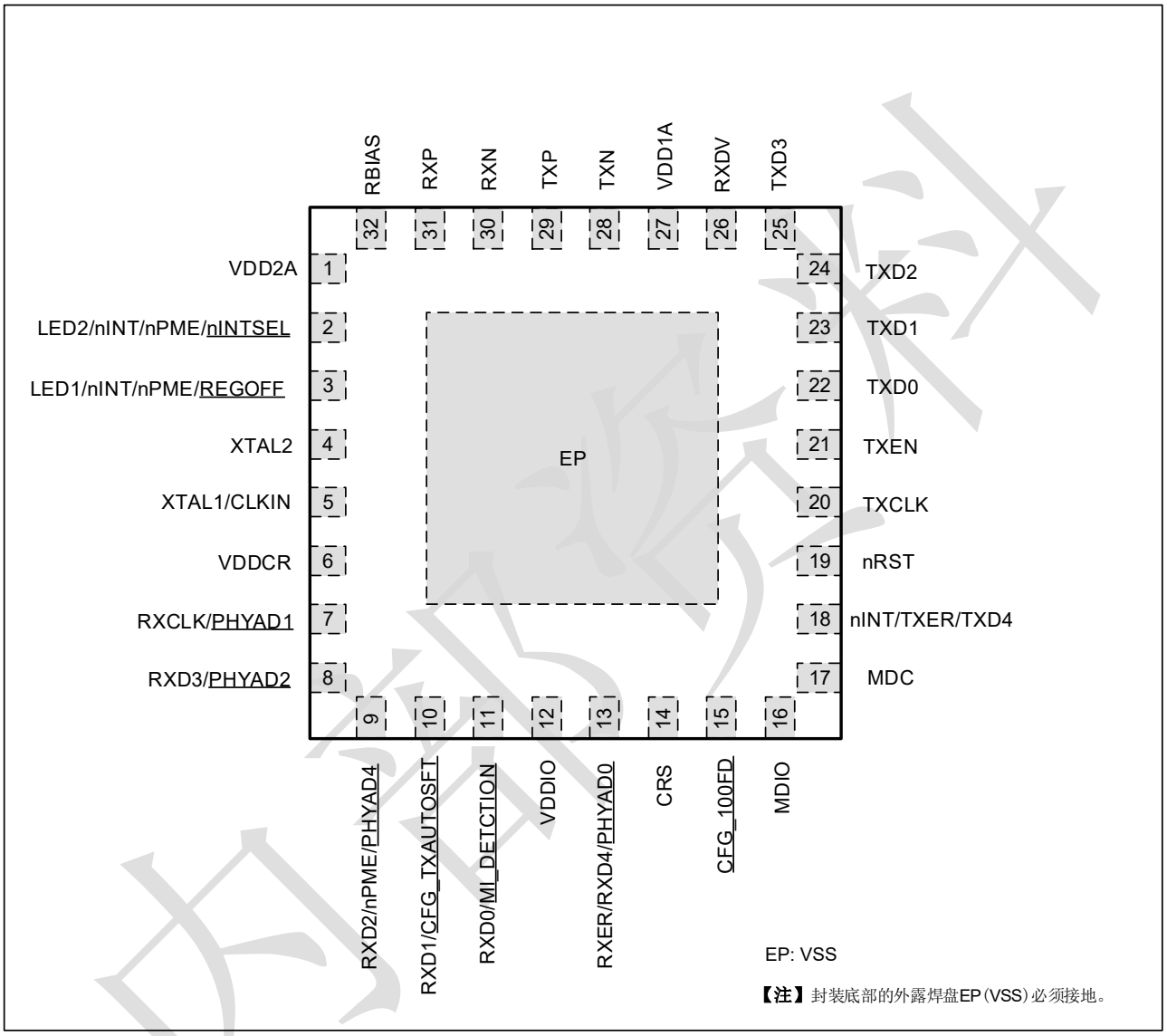


图 2-3 FCP1145 引脚排布（顶视）

【注】

1. 在信号名称的开头使用小写字母“n”时，表示该信号低电平有效。例如，nRST 表示复位信号为低电平有效。
2. 每个信号的缓冲器类型在章节 2.2“引脚描述”的引脚描述表格列“缓冲器类型”中指示。

2.1.3.2 引脚分配

表 2-3 详细说明了 FCP1145 的引脚分配，如下所示：

表 2-3 FCP1145 引脚名称

引脚序号	引脚名称
1	VDD2A
2	LED2/nINT/nPME/nINTSEL
3	LED1/nINT/nPME/REGOFF
4	XTAL2
5	XTAL1/CLKIN
6	VDDCR
7	RXCLK/PHYAD1
8	RXD3/PHYAD2
9	RXD2/nPME/PHYAD4
10	RXD1/CFG_TXAUTOSFT
11	RXD0/MI_DETECTION
12	VDDIO
13	RXER/RXD4/PHYAD0
14	CRS
15	CFG_100FD
16	MDIO
17	MDC
18	nINT/TXER/TXD4
19	nRST
20	TXCLK
21	TXEN
22	TXD0
23	TXD1
24	TXD2
25	TXD3
26	RXDV
27	VDD1A
28	TXN
29	TXP
30	RXN

内部资料

31	RXP
32	RBIAS
EP	VSS

内部资料

2.2 引脚描述

本章节包含了各种 FCP114X 引脚的描述，引脚描述分为如下功能组：

- MII/RMII 信号引脚，具体详见章节 2.2.1 “MII/RMII 信号引脚说明”。
- LED 引脚，具体详见章节 2.2.2 “LED 引脚说明”。
- 串行管理接口（SMI）引脚，具体详见章节 2.2.3 “串行管理接口（SMI）引脚说明”。
- 以太网引脚，具体详见章节 2.2.4 “以太网引脚说明”。
- 其它引脚，具体详见章节 2.2.5 “其它引脚说明”。
- 模拟参考引脚，具体详见章节 2.2.6 “模拟参考引脚说明”。
- 电源引脚，具体详见章节 2.2.7 “电源引脚说明”。

内部资料

2.2.1 MII/RMII 信号引脚说明

表 2-4 MII/RMII 信号

引脚数	名称	符号	缓冲器类型	描述
1	发送数据 0	**TXD0**	VIS	在所有模式下 MAC 使用此信号将数据发送到收发器。
1	发送数据 1	**TXD1**	VIS	在所有模式下 MAC 使用此信号将数据发送到收发器。
1	发送数据 2 （MII 模式）	**TXD2**	VIS	在 MII 模式下 MAC 使用此信号将数据发送到收发器。 【注】对于 FCP1140，该信号在 RMII 模式下接地； 对于 FCP1142，无该信号。
1	发送数据 3 （MII 模式）	**TXD3**	VIS	在 MII 模式下 MAC 使用此信号将数据发送到收发器。 【注】对于 FCP1140，该信号在 RMII 模式下接地； 对于 FCP1142，无该信号。
1	中断输出	**nINT**	VOD8 (PU)	低电平有效中断输出。放置一个外部上拉电阻到 **VDDIO**。 【注】nINT 信号可以通过选择配置输出在 **LED1** 或 **LED2**。有关更多器件中断的信息，请参见章节 3.6“中断管理”。 【注】有关 **nINTSEL** 配置引脚如何决定该引脚的功能的信息，请参见章节 3.8.1.6“nINTSEL 和 LED2 极性选择”。
	发送错误 （MII 模式）	**TXER**	VIS	当驱动高电平时，4B/5B 编码过程代替编码数据字的发送错误编码组（/H/）。 在 10BASE-T 工作模式下忽略该输入。 在 EEE 模式下当 TXEN=1 时，该信号使用作为 TXER，且当 TXEN=0 时，作为 LPI。 【注】对于 FCP1140，在 RMII 模式下该信号不使用； 对于 FCP1142，无该信号； 对于 FCP1145，该信号不使用。
	发送数据 4 （MII 模式）	**TXD4**	VIS (PU)	在符号接口（5B 解码）模式下，该信号变为 MII 发送数据 4 排（5 位符号编码组的 MSB）。 【注】对于 FCP1140，在 RMII 模式下该信号不使用； 对于 FCP1142，无该信号； 对于 FCP1145，该信号不使用。
	参考时钟输出	**REFCLKO**	VO8	该可选的 50MHz 时钟输出来自 25MHz 的晶体振荡器。REFCLKO 可通过 **nINTSEL** 配置引脚选择。

				【注】有关器件中断的更多信息，请参见章节 3.7.5.2.2 “REF_CLK 输出模式”。 【注】有关如何使用 **nINTSEL** 配置引脚确定该引脚功能的信息，请参见章节 3.8.1.6 “nINTSEL 和 LED2 极性选择”。 【注】仅 FCP1142 使用此引脚。
1	发送使能	**TXEN**	VIS (PD)	指示 **TXD[3:0]**上存在有效的发送数据。 在 RMII 模式下，仅 **TXD[1:0]**上提供有效的数据。
1	发送时钟 （MII 模式）	**TXCLK**	VO8	从 MAC 使用发送时钟锁存数据到收发器。 MII（100BASE-TX）：25MHz MII（10BASE-T）：2.5MHz 【注】对于 FCP1140，在 RMII 模式下该信号不使用； 对于 FCP1142，无该信号。
1	接收数据 0	**RXD0**	VO8	收发器在接收路径上接收的 4 位（在 RMII 模式下是 2 位）数据的 0 位。
	PHY 工作模式 0 配置引脚 **【注 1】**	**MODE0**	VIS (PU)	与 **MODE1** 和 **MODE2** 结合使用时，此配置引脚可设置默认 PHY 模式。 【注】FCP1140/FCP1142 使用此配置引脚。 【注】有关更多信息，请参见章节 3.7.2.1 “MODE[2:0]：模式配置”。
	MI 链路检测配置引脚 **【注 1】**	**MI_DETECTION**	VIS (PU)	当 **MI_DETECTION** 拉高至 VDDIO 时，使能 MI 链路检测操作。 当 **MI_DETECTION** 拉低至 VSS 时，禁止 MI 链路检测操作。 【注】仅 FCP1145 并开启自动协商时使用此配置引脚。 【注】有关更多信息，请参见章节 3.7.6.2 “MI 链路检测配置”。
1	接收数据 1	**RXD1**	VO8	收发器在接收路径上接收的 4 位（在 RMII 模式下是 2 位）数据的 1 位。
	PHY 工作模式 1 配置引脚 **【注 1】**	**MODE1**	VIS (PU)	与 **MODE0** 和 **MODE2** 结合使用时，此配置引脚可设置默认 PHY 模式。 【注】FCP1140/FCP1142 使用此配置引脚。 【注】有关更多信息，请参见章节 3.7.2.1 “MODE[2:0]：模式配置”。

	TX 自动偏移配置引脚 **【注 1】**	**CFG_TXAUTOSFT**	VIS (PU)	当 **CFG_TXAUTOSFT** 拉高至 **VDDIO** 时，使能 TX 自动偏移操作（默认）。 当 **CFG_TXAUTOSFT** 拉低至 **VSS** 时，禁止 TX 自动偏移操作。 **【注】**仅 FCP1145 使用此配置引脚。 **【注】**有关更多信息，请参见章节 3.7.6.1 “TX 自动偏移配置”。
1	接收数据 2	**RXD2**	VO8	收发器在接收路径上接收的 4 位（在 MII 模式）数据的 2 位。 **【注】**对于 FCP1140，在 RMII 模式下该信号不使用； 对于 FCP1142，无该信号。
	功耗管理事件输出	**nPME**	VO8	当在 RMII 模式下，该引脚可能选择使用作为一个低电平有效的功耗管理事件（PME）输出。 **【注】**该 nPME 信号可以选择配置输出在 **LED1**，**LED2** 或 **RXD2/nPME/nINTSEL** 引脚上。有关 nPME 和 WoL 的更多信息，请参见章节 3.8.4 “LAN 唤醒（WoL）”。
	MII/RMII 模式选择配置引脚 **【注 1】**	**RMIISEL**	VIS (PD)	该配置引脚选择 MII 或 RMII 工作模式。 当 **RMIISEL** 拉低至 **VSS** 时，选择 MII 模式。 当 **RMIISEL** 拉高至 **VDDIO** 时，选择 RMII 模式。 **【注】**仅 FCP1140 使用此配置引脚。 **【注】**有关更多信息，请参见章节 3.7.3 “RMIISEL：MII/RMII 模式配置”。
	PHY 地址 4 配置引脚 **【注 1】**	**PHYAD4**	VIS (PD)	对于 FCP1145，与 **PHYAD0**、**PHYAD1** 和 **PHYAD2** 结合使用时，此配置引脚可设置收发器的 SMI 地址。 **【注】**仅 FCP1145 使用此配置引脚。 **【注】**有关更多信息，请参见章节 3.7.1 “PHYAD[4,2:0]：PHY 地址配置”。
1	接收数据 3 （MII 模式）	**RXD3**	VO8	收发器在接收路径上接收的 4 位（在 MII 模式）数据 3 位。 **【注】**对于 FCP1140，在 RMII 模式下该信号不使用； 对于 FCP1142，无该信号。
	PHY 地址 2 配置引脚 **【注 1】**	**PHYAD2**	VIS (PD)	对于 FCP1140，与 **PHYAD0** 和 **PHYAD1** 结合使用时，此配置引脚可设置收发器的 SMI 地址。 对于 FCP1145，与 **PHYAD0**、**PHYAD1** 和 **PHYAD4** 结合使用时，此配置引脚可设置收发器的 SMI 地址。 **【注】**FCP1140/FCP1145 使用此配置引脚。 **【注】**有关更多信息，请参见章节 3.7.1 “PHYAD[4,2:0]：PHY 地址配置”。

内部资料

1	接收错误	**RXER**	VO8	该信号置为有效指示在当前正从收发器传送的帧中某处检测到错误。当在 EEE 模式下当 RXDV=1 时，该信号使用作为 RXER，且当 RXDV=0 时，作为 LPI。 **【注】**在 RMII 模式下该信号可选择。
	接收数据 4 （MII 模式）	**RXD4**	VO8	在符号接口（5B 解码）模式下，该信号是 MII 接收数据 4（接收 5 位符号编码组的 MSB）。 **【注】**除非配置为符号接口模式，否则该引脚功能作为 **RXER**。 **【注】**对于 FCP1140，在 RMII 模式下该信号不使用。 对于 FCP1142，无该信号。
	PHY 地址 0 配置引脚 **【注 1】**	**PHYAD0**	VIS (PD)	对于 FCP1140，与 **PHYAD1** 和 **PHYAD2** 结合使用时，此配置引脚可设置收发器的 SMI 地址。 对于 FCP1142，此配置引脚可设置收发器的 SMI 地址。 对于 FCP1145，与 **PHYAD1**、**PHYAD2** 和 **PHYAD4** 结合使用时，此配置引脚可设置收发器的 SMI 地址。 **【注】**有关更多信息，请参见章节 3.7.1 “PHYAD[4,2:0]：PHY 地址配置”。
1	接收时钟 （MII 模式）	**RXCLK**	VO8	在 MII 模式下，该引脚是接收时钟输出。 MII（100BASE-TX）：25MHz MII（10BASE-T）：2.5MHz **【注】**对于 FCP1140，在 RMII 模式下该信号不使用； 对于 FCP1142，无该信号。
	PHY 地址 1 配置引脚 **【注 1】**	**PHYAD1**	VIS (PD)	对于 FCP1140，与 **PHYAD0** 和 **PHYAD2** 结合使用时，此配置引脚可设置收发器的 SMI 地址。 对于 FCP1145，与 **PHYAD0**、**PHYAD2** 和 **PHYAD4** 结合使用时，此配置引脚可设置收发器的 SMI 地址。 **【注】**FCP1140/FCP1145 使用此配置引脚。 **【注】**有关更多信息，请参见章节 3.7.1 “PHYAD[4,2:0]：PHY 地址配置”。
1	接收数据有 （MII 模式）	**RXDV**	VO8	指示恢复和解码数据在 RXD 引脚上是可获得的。
1	冲突检测 （MII 模式）	**COL**	VO8	在 MII 模式下该信号置为有效指示检测到冲突情况。 **【注】**对于 FCP1140，在 RMII 模式下该信号不使用；对于 FCP1142，无该信号。 **【注】**FCP1145 只有全双工模式，COL 信号不使用。
	载波侦听/接收数据有效 （RMII 模式）	**CRS_DV**	VO8	在 RMII 模式下该信号置为有效指示接收介质为非空闲。接收到 10BASE-T 数据包时，**CRS_DV** 置为有效，但是 RXD [1:0]保持为低电平，直到接收到 SFD 字节（10101011）。

				【注】根据 RMII 标准，在 10BASE-T 半双工模式下，发送的数据不会循环回到接收数据引脚。
	PHY 工作模式 2 配置引脚 【注 1】	**MODE2**	VIS (PU)	与 **MODE0** 和 **MODE1** 结合使用时，此配置引脚可设置默认 PHY 模式。 【注】FCP1140/FCP1142 使用此配置引脚。 【注】有关更多信息，请参见章节 3.7.1 “PHYAD[4,2:0]：PHY 地址配置”。
	100M 全双工 配置引脚 【注 1】	**CFG_100FD**	VIS (PU)	对于 FCP1145，此配置引脚可设置默认 PHY 模式。 0=100M 全双工模式，使能自动协商。 1=100M 全双工模式，关闭自动协商。 【注】仅 FCP1145 使用此配置引脚。 【注】有关更多信息，请参见章节 3.7.2.2 “100FD：模式配置”。
1	载波监听 （MII 模式）	**CRS**	VO8 (PD)	在 MII 模式下该信号指示载波检测。 【注】FCP1140/FCP1145 使用此引脚。

【注 1】配置引脚值在上电复位和系统复位时被锁存。配置引脚由带下划线的符号名称标识。连接到负载时，必须使用外部电阻来增强用作配置引脚的信号。有关更多信息，请参见章节 3.7 “配置引脚”。

内部资料

2.2.2 LED 引脚说明

表 2-5 LED 引脚

引脚数	名称	符号	缓冲器类型	描述
1	LED1	**LED1**	O12	该引脚可用于指示通过唤醒控制和状态寄存器（WUCSR）的 LED1 功能选择字段配置的链接活动，链接速度，nINT 或 nPME。 **【注】**有关其它 LED 信息，请参见章节 3.8.1 “LEDs”和章节 3.8.4 “LAN 唤醒（WoL）”。
	中断输出	**nINT**	O12	低电平有效中断输出。 **【注】**对于 FCP1140/FCP1145，默认情况下，nINT 信号在 **nINT/TXER/TXD4** 引脚上输； 对于 FCP1142，默认情况下，nINT 信号在 **nINT/REFCLKO** 引脚上输出。 可以选择将 nINT 信号配置为在 **LED1** 或 **LED2** 引脚上输出。有关器件中断的更多信息，请参见章节 3.6 “中断管理”。
	功耗管理事件输出	**nPME**	O12	低电平有效功耗管理事件（PME）输出。 **【注】**对于 FCP1140/FCP1145，可以选择将 nPME 信号配置为在 **LED1**，**LED2** 或 **RXD2/nPME/nLEDSEL** 引脚上输出； 对于 FCP1142，可以选择将 nPME 信号配置为在 **LED1** 或 **LED2** 引脚上输出。 有关其他 nPME 和 WoL 信息，请参见章节 3.8.4 “LAN 唤醒（WoL）”。
	稳压器关闭配置引脚 **【注 1】**	**REGOFF**	IS (PD)	该配置引脚用于禁用内部 1.2V 稳压器。禁用稳压器时，必须向 **VDDCR** 提供外部 1.2V 电压。 当使用外部电阻将 **REGOFF** 上拉至 **VDD2A** 时，内部稳压器被禁用。当 **REGOFF** 悬空或拉低时，内部稳压器被使能（默认）。 **【注】**有关更多信息，请参见章节 3.7.4 “REGOFF：内部 +1.2V 稳压器配置”。
1	LED2	**LED2**	O12	该引脚可用于指示通过唤醒控制和状态寄存器（WUCSR）的 LED2 功能选择字段配置的链接活动，链接速度，nINT 或 nPME。 **【注】**有关其他 LED 信息，请参见章节 3.8.1 “LEDs”和章节 3.8.4 “LAN 唤醒（WoL）”。

内部资料

	中断输出	**nINT**	O12	低电平有效中断输出。 **【注】**对于 FCP1140/FCP1145，默认情况下，nINT 信号在 **nINT/TXER/TXD4** 引脚上输出； 对于 FCP1142，默认情况下，nINT 信号在 **nINT/REFCLKO** 引脚上输出。 可以选择将 nINT 信号配置为在 **LED1** 或 **LED2** 引脚上输出。有关器件中断的更多信息，请参见章节 3.6 “中断管理”。
	功耗管理事件输出	**nPME**	O12	低电平有效功耗管理事件（PME）输出。 **【注】**对于 FCP1140/FCP1145，可以选择将 nPME 信号配置为在 **LED1**，**LED2** 或 **RXD2/nPME/nLEDSEL** 引脚上输出； 对于 FCP1142，可以选择将 nPME 信号配置为在 **LED1** 或 **LED2** 引脚上输出。 有关其他 nPME 和 WoL 信息，请参见章节 3.8.4 “LAN 唤醒（WoL）”。
	nINT/REFCLKO /TXER/TXD4 功能选择配置引脚 **【注 1】**	**nINTSEL**	IS (PU)	对于 FCP1140/FCP1145，该配置引脚选择 **nINT/TXER/TXD4** 引脚的模式。 当 **nINTSEL** 悬空或拉至 **VDD2A** 时，选择 nINT 进行 **nINT/TXER/TXD4**（P18）引脚的操作（默认）。 当 **nINTSEL** 拉低至 **VSS** 时，选择 TXER/TXD4 进行 **nINT/TXER/TXD4**（P18）引脚的操作。 对于 FCP1142，该配置引脚选择 **nINT/REFCLKO** 引脚的模式。 当 **nINTSEL** 悬空或拉至 **VDD2A** 时，选择 nINT 进行 **nINT/REFCLKO**（P14）引脚的操作（默认）。 当 **nINTSEL** 拉低至 **VSS** 时，选择 REFCLKO 进行 **nINT/REFCLKO**（P14）引脚的操作。 **【注】**有关更多信息，请参见章节 3.8.1.6 “nINTSEL 和 LED2 极性选择”。

【注 1】配置引脚值在上电复位和系统复位时被锁存。配置引脚由带下划线的符号名称标识。连接到负载时，必须使用外部电阻来增强用作配置引脚的信号。有关更多信息，请参见章节 3.7 “配置引脚”

2.2.3 串行管理接口（SMI）引脚说明

表 2-6 串行管理接口（SMI）引脚

引脚数	名称	符号	缓冲器类型	描述
1	SMI 数据输入/输出	**MDIO**	VIS/VO8 (PU)	串行管理接口数据输入/输出
1	SMI 时钟	**MDC**	VIS	串行管理接口时钟

2.2.4 以太网引脚说明

表 2-7 以太网引脚

引脚数	名称	符号	缓冲器类型	描述
1	以太网 TX/RX 正通道 1	**TXP**	AIO	发送/接收正通道 1
1	以太网 TX/RX 负通道 1	**TXN**	AIO	发送/接收负通道 1
1	以太网 TX/RX 正通道 2	**RXP**	AIO	发送/接收正通道 2
1	以太网 TX/RX 负通道 2	**RXN**	AIO	发送/接收负通道 2

2.2.5 其它引脚说明

表 2-8 其它引脚

引脚数	名称	符号	缓冲器类型	描述
1	外部晶振输入	**XTAL1**	ICLK	外部晶振输入
	外部时钟输入	**CLKIN**	ICLK	单端时钟振荡器输入 【注】使用单端时钟振荡器时，**XTAL2** 应该保持未连接状态。
1	外部晶振输出	**XTAL2**	OCLK	外部晶振输出
1	外部复位	**nRST**	VIS (PU)	系统复位，该信号为低电平有效。

2.2.6 模拟参考引脚说明

表 2-9 模拟参考引脚

引脚数	名称	符号	缓冲器类型	描述
1	外部 1%偏置电阻输入	**RBIAS**	AI	该引脚需要将 12.1kΩ（1%）电阻接地。 有关连接信息，请参考 FCP114X 参考示意图。 【注】标称电压为 1.2V，电阻消耗的功率约为 1mW。

2.2.7 电源引脚说明

表 2-10 电源引脚

引脚数	名称	符号	缓冲器类型	描述
1	+1.8V 至+3.3V 可变 I/O 电源	**VDDIO**	P	+1.8V 至+3.3V 可变 I/O 电源。 有关连接信息，请参见 FCP114X 参考示意图。
1	+1.2V 数字核心电源	**VDDCR**	P	由片上稳压器提供，除非通过 **REGOFF** 配置引脚将其配置为稳压器关闭模式。 有关连接信息，请参见 FCP114X 参考示意图。 **【注】**应在该引脚上并联使用 1μF 和 470pF 去耦电容。
1	+3.3V 通道 1 模拟端口电源	**VDD1A**	P	通道 1 的+3.3V 模拟端口电源。 有关连接信息，请参见 FCP114X 参考示意图。
1	+3.3V 通道 2 模拟端口电源	**VDD2A**	P	通道 2 和内部稳压器的+3.3V 模拟端口电源。 有关连接信息，请参见 FCP114X 参考示意图。
1	地	**VSS**	P	共同接地，该裸露焊盘必须通过孔阵列连接到接地层。

内部资料

3 功能描述

本章提供了各种器件功能的功能描述。这些功能分为以下几节：

- 收发器
- 自动协商
- HP Auto-MDIX 支持
- MAC 接口
- 串行管理接口（SMI）
- 中断管理
- 配置引脚
- 其他功能
- 应用图

3.1 收发器

3.1.1 100BASE-TX 发送

100BASE-TX 发送数据路径如图 3-1 所示。下面各小节将介绍每个主要模块。

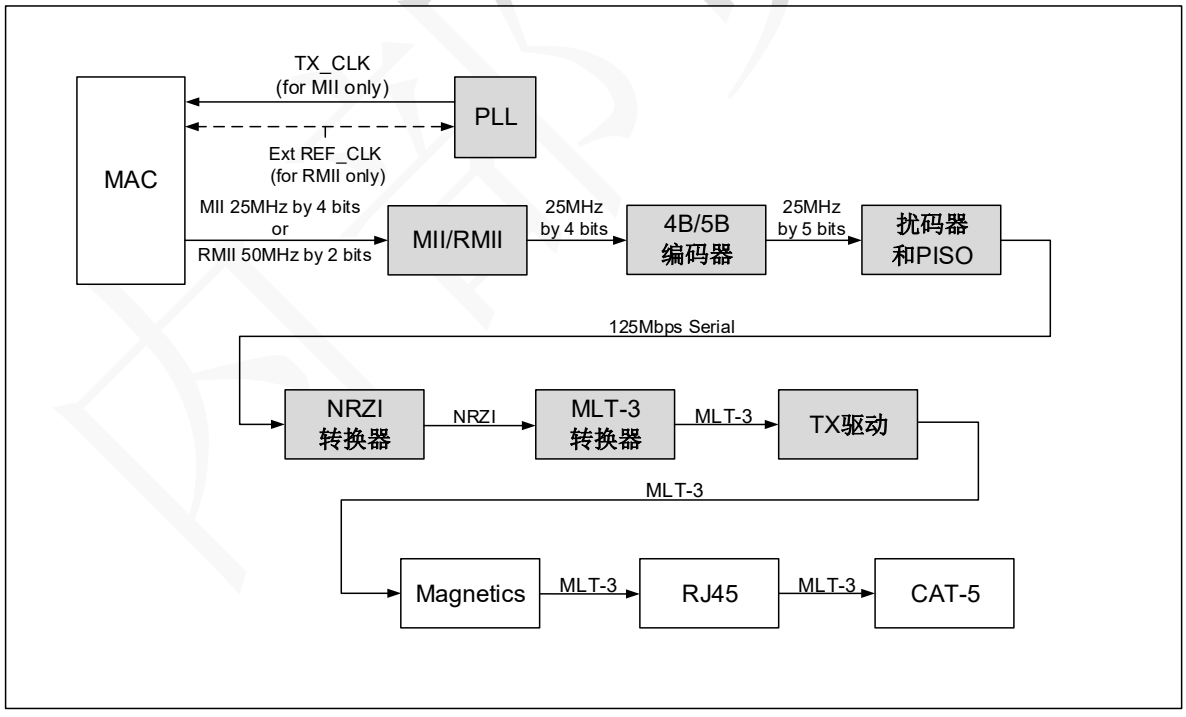


图 3-1 100BASE-TX 发送数据路径

3.1.1.1 通过 MII/RMII 接口 100BASE-TX 发送数据

对于 MII，MAC 控制器将发送数据驱动到 TXD 总线上，并且 TXEN 置为有效以指示有效数据。数据在 TXCLK 的上升沿被收发器的 MII 模块锁存。该数据为 4 位宽的 25MHz 数据的形式。

对于 RMII，MAC 控制器将发送数据驱动到 TXD 总线上，并且 TXEN 置为有效以指示有效数据。数据在 REF_CLK 的上升沿被收发器的 RMII 模块锁存。该数据为 2 位宽 50MHz 数据的形式。

3.1.1.2 4B/5B 编码

传输数据从 MII/RMII 模块传递到 4B/5B 编码器。根据表 3-1，此模块将数据从 4 位半字节编码为 5 位符号（称为“编码组”）。每个 4 位数据半字节都映射到 32 个可能的编码组中的 16 个。其余 16 个编码组要么用于控制信息，要么无效。

前 16 个编码组由其对应的数据半字节 0 到 F 的十六进制值引用。其余编码组由在两侧均带有斜杠的字母表示。例如，IDLE 编码组为/I/，发送错误编码组为/H/，等等。

表 3-1 4B/5B 编码表

编码组	符号	接收器说明			发送器说明		
11110	0	0	0000	DATA	0	0000	DATA
01001	1	1	0001		1	0001	
10100	2	2	0010		2	0010	
10101	3	3	0011		3	0011	
01010	4	4	0100		4	0100	
01011	5	5	0101		5	0101	
01110	6	6	0110		6	0110	
01111	7	7	0111		7	0111	
10010	8	8	1000		8	1000	
10011	9	9	1001		9	1001	
10110	A	A	1010		A	1010	
10111	B	B	1011		B	1011	
11010	C	C	1100		C	1100	
11011	D	D	1101		D	1101	
11100	E	E	1110		E	1110	
11101	F	F	1111		F	1111	
11111	I	IDLE			在/T/R 之后发送，直到 TXEN		
11000	J	SSD 的第一个半字节，IDLE 之后转换为“0101”，否则为 RXER			TXEN 上升沿发送		
10001	K	SSD 的第二个半字节，J 之后转换为“0101”，否则为 RXER			TXEN 上升沿发送		

01101	T	ESD 的第一个半字节，如果后跟/R/，则导致 CRS 无效，否则 RXER 有效	TXEN 下降沿发送
00111	R	ESD 的第二个半字节，如果在/T/后，则会导致 CRS 无效，否则 RXER 有效	TXEN 下降沿发送
00100	H	发送错误符号	TXER 上升沿发送
00110	V	无效，如果在 RXDV 期间为 RXER	无效
11001	V	无效，如果在 RXDV 期间为 RXER	无效
00000	V	接收器指示发送器将进入 LPI 【注】FCP1142 无效，如果在 RXDV 期间为 RXER。	由于 LPI 发送，在发送器进入 LPI 之前，告知接收器，在 LPI 期间刷新周期使用 【注】FCP1142 无效。
00001	V	无效，如果在 RXDV 期间为 RXER	无效
00010	V	无效，如果在 RXDV 期间为 RXER	无效
00011	V	无效，如果在 RXDV 期间为 RXER	无效
00101	V	无效，如果在 RXDV 期间为 RXER	无效
01000	V	无效，如果在 RXDV 期间为 RXER	无效
01100	V	无效，如果在 RXDV 期间为 RXER	无效
10000	V	无效，如果在 RXDV 期间为 RXER	无效

3.1.1.3 加扰器

重复的数据模式（特别是空闲编码组）可能会有带较大窄带峰值的功率谱密度。对数据加扰有助于消除这些峰值并在整个通道带宽上更均匀地分布信号功率。FCC 法规要求采用这种统一的谱密度以避免物理布线辐射过多的 EMI。

加扰器的种子是由收发器地址，PHYAD 生成的，以确保在多收发器应用程序（例如转发器或交换机）中，每个收发器都有自己的加扰器序列。

加扰器还会对数据执行并行输入串行输出（PISO）转换。

3.1.1.4 NRZI 和 MLT-3 编码

加扰器模块将 5 位宽的并行数据传递到 NRZI 转换器，数据将在该转换器中变为串行 125MHz NRZI 数据流。然后将 NRZI 编码为 MLT-3。MLT-3 是一种 3 级编码方法，其中逻辑电平变化表示编码位“1”，逻辑输出保持同一电平表示编码位“0”。

3.1.1.5 100M 发送驱动器

MLT-3 数据随后会传递到模拟发送器，该发送器将输出引脚 TXP 和 TXN 上的 MLT-3 差分信号驱动到 1:1 比例隔离变压器两端的双绞线介质中。10BASE-T 和 100BASE-TX 信号通过同一变压器，因此可以将通用的“磁性”用于两者。发送器驱动到 CAT-5 电缆的 100Ω 阻抗中。电缆端接和阻抗匹配需要外部元件。

3.1.1.6 100M 锁相环（PLL）

100M PLL 锁定到参考时钟并生成用于驱动 125MHz 逻辑和 100BASE-TX 发送器的 125MHz 时钟。

3.1.2 100BASE-TX 接收

100BASE-TX 接收数据路径如图 3-2 所示，下面各小节将介绍每个主要模块。

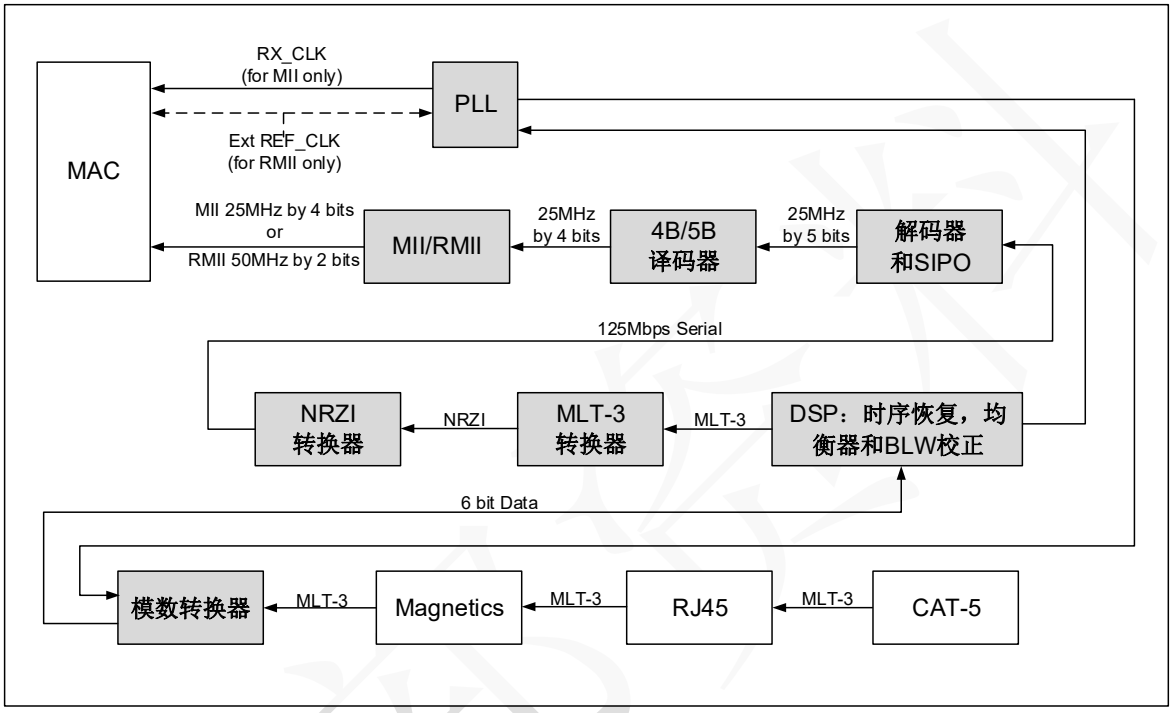


图 3-2 100BASE-TX 接收数据路径

3.1.2.1 100M 接收输入

来自电缆的 MLT-3 数据在输入 RXP 和 RXN 上通过 1:1 比例变压器馈入 PHY。ADC 以每秒 125M 个采样的速率对传入的差分信号进行采样。利用 64 级量化器，生成 6 个数字位以代表每个采样。DSP 根据观测到的信号电平调整 ADC 的增益，以便可以使用 ADC 的整个动态范围。

3.1.2.2 均衡器，基线漂移校正以及时钟和数据恢复

将 ADC 的此 6 位馈入 DSP 模块。DSP 部分中的均衡器用于补偿由磁件，连接器和 CAT-5 电缆组成的物理通道引起的相位和幅度失真。均衡器可以为长度在 1m 至 100m 之间的任何高品质 CAT-5 电缆恢复信号。

如果信号的直流成分使低频分量降到隔离变压器的低频极点以下，则变压器的下垂特性会明显增强，并将在接收的信号上产生基线漂移（BLW）。为避免接收的数据损坏，PHY 会针对 BLW 进行校正并可接收 ANSIX3.263-1995 FDDI TP-PMD 定义的无位错误的“杀手包”。

100M PLL 生成 125MHz 时钟的多个相位。由 DSP 的定时单元控制的多路开关会选择最佳相位以对数据进行采样。此时钟被用作接收的恢复时钟。此时钟用于从接收的信号中提取串行数据。

3.1.2.3 NRZI 和 MLT-3 解码

DSP 生成馈入 MLT-3 转换器的 MLY-3 恢复电平，MLT-3 随后会转换为 NRZI 数据流。

3.1.2.4 解扰器

解扰器执行与发送器中的加扰器相反的功能，还会对数据执行串行输入并行输出（SIPO）转换。

在接收空闲（/I/）符号期间，解扰器将其解扰器密钥与输入流同步。同步完成后，解扰器会锁定此密钥并且能够解扰传入的数据。

解扰器中的特殊逻辑通过在 4000 字节（40μs）的窗口内搜索空闲符号确保与远程收发器同步。该窗口确保可以无干扰地接收符合 IEEE 802.3 标准允许的最大大小为 1514 字节的数据包。如果在此时间段内未检测到空闲符号，则接收操作将中止，解扰器将重新启动同步过程。

3.1.2.5 对齐

通过在数据包的开头识别/J/K/流起始分隔符（SSD）对，将解扰后的信号对齐到 5 位编码组中。确定码字对齐后，会对其存储和利用，直到下一个帧开始。

3.1.2.6 5B/4B 解码

根据 4B/5B 表，将 5 位编码组转换为 4 位数据半字节。转换后的数据显示在 RXD 信号线上。SSD（/J/K/）被转换为“0101 0101”，作为 MAC 前导码的前 2 个半字节。接收 SSD 会导致收发器将接收数据有效信号置为有效，指示 RXD 总线上存在有效数据。连续的有效编码组将转换为数据半字节。接收到由/T/R/符号组成的结束帧分隔符（ESD）或至少两个/I/符号，会导致收发器将载波侦听和接收数据有效信号置为无效。

【注】这些符号不会转换为数据。

3.1.2.7 接收数据有效信号

接收数据有效信号（RXDV）指示在与 RXCLK 同步的 RXD 输出上出现已恢复和解码的半字节。RXDV 在识别/J/K/分隔符后变为有效，RXD 与半字节边界对齐。RXDV 保持有效，直到识别到/T/R/分隔符、链路测试指示失败或 SIGDET 变为假。

准备通过介质无关接口（MII 模式）传输转换后的/J/K/的第一个半字节时，RXDV 置为有效。

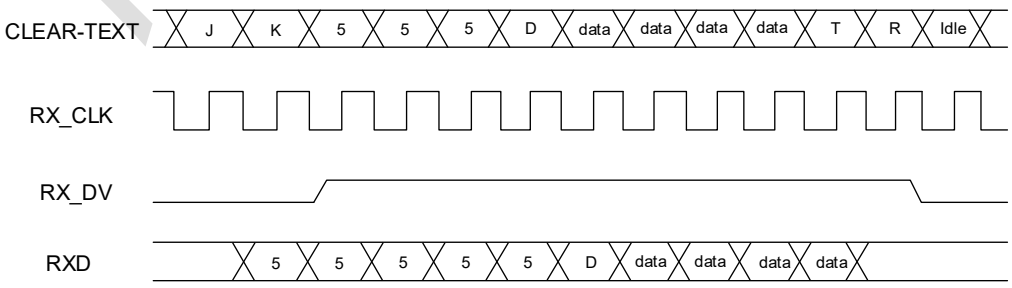


图 3-3 接收数据和特定 MII 信号之间的关系

3.1.2.8 接收器错误

在帧传输期间，意外的编码组会被视为接收错误。预期的编码组是数据集（0 到 F）和/T/R/（ESD）符号对。当发生接收错误时，RXER 信号置为有效并将任意数据驱动到 RXD 线上。如果正在解码/J/K/分隔符期间中检测到错误（不良 SSD 错误），则 RXER 将置为有效，并将值“1110”驱动到 RXD 线上。请注意，不良 SSD 出现时，数据有效信号尚未置为有效。

3.1.2.9 通过 MII/RMII 接口 100M 接收数据

在 MII 模式下，将 4 位数据半字节发送到 MII 模块。这些数据半字节以 25MHz 的速率在时钟控制下输入控制器。控制器在 RXCLK 的上升沿采样数据。为了确保建立和保持时间满足要求，收发器在 RXCLK 的下降沿锁存半字节。RXCLK 是 MII 总线的 25MHz 输出时钟。它从接收的数据中恢复为 RXD 总线提供时钟。如果没有接收的信号，则其将由系统参考时钟（XTAL1/CLKIN）产生。

当跟踪接收到的数据时，RXCLK 的最大抖动为 0.8ns（由输入时钟，XTAL1/CLKIN 提供，其抖动低于 100ps）。

在 RMII 模式下，将 2 位数据半字节发送到 RMII 模块。这些数据半字节以 50MHz 的速率在时钟控制下输入控制器。控制器在 XTAL1/CLKIN（REF_CLK）的上升沿采样数据。为了确保建立和保持时间满足要求，收发器在 XTAL1/CLKIN（REF_CLK）的下降沿锁存半字节。

内部资料

3.1.3 10BASE-T 发送

要发送的数据来自 MAC 层控制器。10BASE-T 发送器以 2.5MHz 的速率从 MII 接收 4 位半字节，并将其转换为 10Mbps 串行数据流。然后，对数据流进行曼彻斯特编码，并将其发送到模拟发送器，后者通过外部磁性将信号驱动到双绞线上。

10M 发送器使用以下模块：

- MII（数字）
- TX 10M（数字）
- 10M 发送器（模拟）
- 10M PLL（模拟）

3.1.3.1 通过 MII/RMII 接口 10M 发送数据

MAC 控制器将发送数据驱动到 TXD 总线上。对于 MII，当控制器驱动 TXEN 高电平指示数据有效时，MII 在 TXCLK 上升沿锁存数据。该数据为 4 位宽格式的 2.5MHz 数据。对于 RMII，TXD[1:0]将与 REF_CLK 同步发送。当 TXEN 置为有效时，TXD[1:0]发送被器件接收。当 TXEN 置为无效时，TXD[1:0]应为“00”以指示空闲。当 TXEN 置为无效时，对于 out-of-band 信号（待定义），TXD[1:0]的值除“00”外均保留。当 TXEN 置为无效时，TXD[1:0]的值除“00”外将被器件忽略。当 TXEN 置为有效时，TXD[1:0]应为每个 REF_CLK 周期提供有效数据。

为了符合兼容 10BASE-T MAC/控制器，在半双工模式下，收发器在接收路径上环回发送的数据。这不会混淆 MAC/控制器，因为在此期间 COL 信号未置为有效。收发器还支持 SQE（心跳）信号。有关更多信息，请参见章节 3.8.9 “冲突检测”。

3.1.3.2 曼彻斯特编码

4 位宽的数据发送到 10M TX 模块。半字节被转换为 10Mbps 串行 NRZI 数据流。10M PLL 锁定到外部时钟或内部振荡器，并产生 20MHz 时钟。这用于曼彻斯特编码 NRZ 数据流。当没有数据传输时（TXEN 为低电平），10M TX 模块输出正常链路脉冲（NLP），以保持与远程链路伙伴的通信。

3.1.3.3 10M 发送驱动器

曼彻斯特编码的数据被发送到模拟发送器，在此对信号进行整形和滤波，然后再作为差分信号通过 **TXP** 和 **TXN** 输出。

内部资料

3.1.4 10BASE-T 接收

10BASE-T 接收器通过磁性元件从电缆中获取曼彻斯特编码的模拟信号。它从信号中恢复接收时钟，并使用该时钟恢复 NRZI 数据流。该 10M 串行数据被转换为 4 位数据半字节，这些半字节通过 MII 以 2.5MHz 的速率传递到控制器。

10M 接收器使用以下模块：

- 滤波器和静噪（模拟）
- 10M PLL（模拟）
- RX 10M（数字）
- MII（数字）

3.1.4.1 10M 接收输入和静噪

来自电缆的曼彻斯特信号通过 1:1 比例磁性元件输入收发器（在输入 **RXP** 和 **RXN** 上）。首先对其进行滤波以减少任何 out-of-band 噪声。然后，它通过一个静噪电路。静噪是一组幅度和时序比较器，通常拒绝 300mV 以下的差分电压电平，并检测和识别 585mV 以上的差分电压。

3.1.4.2 曼彻斯特解码

静噪的输出进入 10M RX 模块，在此处将其验证为曼彻斯特编码数据。也可检查该信号的极性。如果极性相反（本地 **RXP** 连接到远程伙伴的 **RXN**，反之亦然），则可以识别并纠正该情况。反向状态由特殊控制/状态指示寄存器的 XPOL 位指示。10M PLL 锁定在接收到的曼彻斯特信号上，由此产生 20MHz 的时钟。使用该时钟，曼彻斯特编码数据被提取并转换为 10MHz NRZI 数据流。然后将其从串行转换为 4 位宽的并行数据。

10M RX 模块也检测有效的 10BASE-T IDLE 信号-正常链路脉冲（NLP）-以保持通信。

3.1.4.3 通过 MII/RMII 接口 10M 接收数据

对于 MII，4 位数据半字节被发送到 MII 模块。这些数据半字节在 2.5MHz RXCLK 的上升沿有效。

对于 RMII，2 位数据半字节被发送到 RMII 模块。这些数据半字节在 REF_CLK 的上升沿有效。

【注】RXDV 接收到 SFD 时置为高电平。

3.1.4.4 Jabber 检测

Jabber 是一种条件，在这种情况下站点通常会由于故障状况而发送比最大允许包长度更长的包，这会导致 TXEN 输入保持较长的时间。特殊逻辑用于检测 Jabber 状态并在 45ms 内中止向线路发送数据。一旦 TXEN 置为无效，逻辑将重设 Jabber 条件。

如章节 4.1.2 “基本状态寄存器”所示，Jabber 检测位指示已检测到 Jabber 条件。

内部资料

3.2 自动协商

自动协商功能的用途是根据其链路伙伴的能力将收发器自动配置为最优链路参数。自动协商是一种在两个链路伙伴之间交换配置信息和自动选择受双方支持的最高性能工作模式的机制。自动协商在 IEEE 802.3 规范的第 28 条中有完整定义。

自动协商完成后，有关已解析链路的信息就可以通过串行管理接口（SMI）传递回控制器。协商过程的结果反映在 PHY 特殊控制/状态寄存器的速度指示位和自动协商链路伙伴能力寄存器中。自动协商协议纯粹是物理层活动，其执行与 MAC 控制器无关。

收发器的通告能力存储在自动协商通告寄存器中。收发器通告的默认值由用户定义的片上信号选项确定。

自动协商会话期间，将激活以下模块：

- 自动协商（数字）
- 100M ADC（模拟）
- 100M PLL（模拟）
- 100M 均衡器/BLW/时钟恢复（DSP）
- 10M SQUELCH（模拟）
- 10M PLL（模拟）
- 10M 发送器（模拟）

使能时，发生以下任何事件均会启动自动协商：

- 硬件复位
- 软件复位
- 掉电复位
- 链路状态断开
- 基本控制寄存器的重启自动协商位置 1

检测到这些事件之一时，收发器通过发送快速链路脉冲（FLP，Fast Link Pulses），突发启动自动协商。链路脉冲突发来自 10M TX 驱动器。这些脉冲被整形为常规链路脉冲并且可以无损地传递至 CAT-3 或 CAT-5 电缆。一个快速链路脉冲突发包含最多 33 个脉冲。始终存在的 17 个奇数脉冲构成 FLP 突发。可能存在或缺失的 16 个偶数脉冲包含正在传输的数据字。存在数据脉冲表示“1”，缺失表示“0”。

FLP 突发发送的数据称为“链路编码字”。它们由 IEEE 802.3 第 28 条完整定义。总的来说，收发器在其选择器字段（链路编码字的前 5 位）中通告 802.3 的合规性。它根据自动协商通告寄存器中设置的位来通告其技术能力。

存在 4 种可能的技术能力匹配。按优先级依次为：

- 100M 全双工（最高优先级）
- 100M 半双工
- 10M 全双工
- 10M 半双工（最低优先级）

内部资料

如果通告了收发器的完全能力（100M，全双工）且链路伙伴支持 10M 和 100M，则自动协商将选择 100M 作为最高性能模式。如果链路伙伴支持半双工和全双工模式，则自动协商将选择全双工作为最高性能模式。

确定功能匹配后，通过应答位设置重复链路编码字。此时链路编码字主要内容的任何差异都将导致自动协商重启。如果未接收到全部所需 FLP 突发，则自动协商也将重启。

收发器在自动协商期间通告的功能最初由复位完成后锁存在 **MODE[2:0]**（FCP1140/FCP1142）或者 **CFG_100FD**（仅 FCP1145）配置引脚上的逻辑电平确定。这些配置带也可用于禁用上电时的自动协商。有关更多信息，请参见章节 3.7.2.1 “MODE[2:0]：模式配置”。

写入自动协商通告寄存器位[8:5]可以用软件控制收发器通告的功能。写入自动协商通告寄存器不会自动重启自动协商。通告新功能之前，必须先将基本控制寄存器的重启自动协商位置 1。也可以通过软件将基本控制寄存器的自动协商使能位清零来禁止自动协商。

3.2.1 并行检测

如果与该器件相连的器件不能自动协商（即，未检测到 FLP），则其可以根据 100M MLT-3 符号或 10M 常规链路脉冲确定链路速度。在这种情况下，将根据 IEEE 802.3 标准假定链路为半双工。这种能力称为“并行检测”。此特性可确保与传统链路伙伴的互操作性。如果通过并行检测构成链路，则将自动协商扩展寄存器的链接伙伴自动协商使能位清零以指示链路伙伴不能自动协商。控制器可以通过管理接口访问此信息。如果在并行检测期间发生故障，则将自动协商扩展寄存器的并行检测故障位置 1。

自动协商链路伙伴能力寄存器用于存储链路伙伴能力信息，该信息编码在接收的 FLP 中。如果链路伙伴不能自动协商，则在完成并行检测后更新此寄存器以反映链路伙伴的速度能力。

3.2.2 重启自动协商

可以随时通过将基本控制寄存器的重启自动协商位置 1 来重启自动协商。链路断开时，自动协商也将随时重启。链路断开是由于信号损耗所致。发生这种情况的原因可能是由于电缆断开或链路伙伴发送的信号中断。尝试恢复自动协商以确定新的链路配置。

如果管理实体通过将基本控制寄存器的重启自动协商位置 1 来重启自动协商，则器件将通过停止所有发送/接收操作进行响应。在自动协商状态机中完成 break_link_time（大约 1250ms），自动协商将重启。在这种情况下，链路伙伴会由于缺少接收信号而断开链路，因此也会恢复自动协商。

3.2.3 禁止自动协商

可以将基本控制寄存器的自动协商使能位清零来禁用自动协商。随后器件将强制其运行速度以反映基本控制寄存器中的信息（速度选择位和双工模式位）。使能自动协商时，这些位会被忽略。

3.2.4 半双工与全双工

半双工运行依赖于 CSMA/CD（载波侦听多路访问/冲突检测）协议来处理网络通信和冲突。在此模式下，载波侦听信号 CRS 响应发送和接收活动。如果在收发器发送数据期间接收数据，则会产生冲突。

在全双工模式下，收发器能够同时发送和接收数据。在这种模式下，CRS 仅响应接收活动。CSMA/CD 协议不适用，并且会禁用冲突检测。

3.3 HP Auto-MDIX 支持

借助 HP Auto-MDIX，可方便使用 CAT-3（10BASE-T）或 CAT-5（100BASE-TX）介质 UTP 互连电缆，而无需考虑接口布线方案。如果用户插入直接连接的 LAN 电缆或交叉接线电缆，如图 3-4 所示，则器件的收发器能够配置 TXP/TXN 和 RXP/RXN 双绞线的引脚以确保收发器正常运行。

器件的内部逻辑检测连接器件的 TX 和 RX 引脚。由于 RX 和 TX 线对是可互换的，因此需要特殊的 PCB 设计注意事项来适应 Auto-MDIX 设计的对称磁件和端子。

可以通过特殊控制/状态指示寄存器中的 AMDIXCTRL 位禁用自动 MDIX 功能。

【注意】在 10BASE-T 或 100BASE-TX 手动模式下操作时，可以通过 EDPD NLP/交叉时间/EEE 配置寄存器的延长手动 10/100Auto-MDIX 交叉时间位来延长 Auto-MDIX 交叉时间。

有关更多信息，请参见章节 4.1.13 “EDPD NLP/交叉时间/EEE 配置寄存器”。

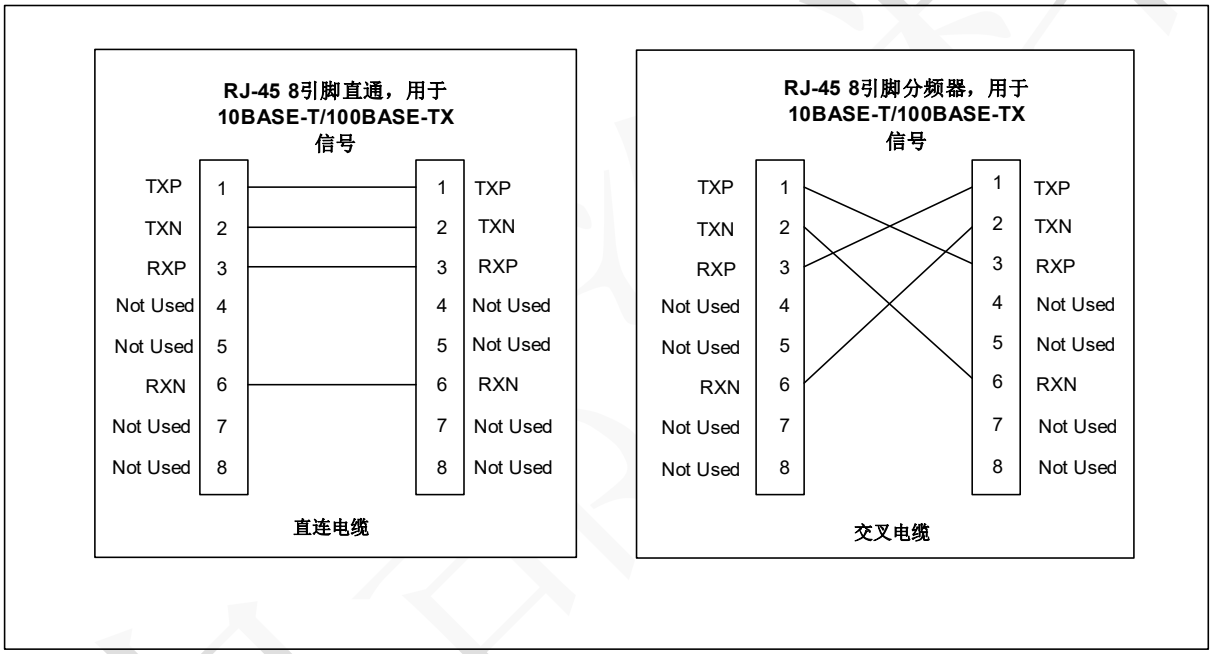


图 3-4 直接电缆连接与交叉电缆连接

3.4 MAC 接口

MII/RMII 模块负责与 MAC 控制器的通信。使用特殊的握手信号集指示在 4 位接收/传输总线上存在有效接收/传输数据。

器件必须配置在 MII 或者 RMII 模式，这需要特定的引脚配置。有关引脚配置和不同的引脚如何映射的信息，请参见章节 3.4.3 “MII 与 RMII 配置”。

3.4.1 MII

MII 包括以下接口信号：

- 发送数据-**TXD[3:0]**
- 发送选通脉冲-**TXEN**
- 发送时钟-**TXCLK**
- 发送错误-**TXER/TXD4**【注 1】
- 接收数据-**RXD[3:0]**
- 接收选通脉冲-**RXDV**
- 接收时钟-RXCLK
- 接收错误-**RXER/RXD4/PHYAD0**【注 2】
- 冲突检测-**COL**
- 载波侦听-**CRS**

在 MII 模式发送路径上，收发器驱动发送时钟 TXCLK 到控制器。控制器将发送数据同步到 TXCLK 上升沿。TXEN 为高，表示有效数据传输。TXER 为高，表示检测到传输错误。

在接收路径上，收发器驱动接收数据 RXD[3:0]和 RXCLK 信号。当收发器驱动 RXDV 为高时，在 RXCLK 上升沿的接收数据中控制器时钟。当检测到接收错误时，收发器驱动 RXER 为高。

【注意 1】FCP1142 无此信号。

【注意 2】FCP1142 无 RXD4 信号。

3.4.2 RMII

该器件支持旨在在以太网收发器和交换 ASIC 之间使用的低引脚数精简介质无关接口（RMII）。根据 IEEE 802.3，定义了一个由 16 个引脚组成的 MII，用于数据和控制。在包含许多 MAC 或收发器接口的设备（例如交换机）中，随着端口数量的增加，引脚数量会增加大量成本。RMII 减少了此引脚数，同时保留了与 MII 相同的管理接口（MDIO/MDC）。

RMII 接口具有以下特征：

- 它能够支持 10Mbps 和 100Mbps 数据速率
- 单个时钟参考用于发送和接收
- 它提供独立的 2 位（双位）宽的发送和接收数据路径

内部资料

- 它使用 LVCMOS 信号电平，与常见的数字 CMOS ASIC 工艺兼容

RMII 包括以下接口信号（1 个可选）：

- 发送数据-**TXD[1:0]**
- 发送选通脉冲-**TXEN**
- 接收数据-**RXD[1:0]**
- 接收错误-**RXER**（可选）
- 载波侦听-**CRS_DV**
- 参考时钟-（RMII 参考通常将此信号定义为 **REF_CLK**）

【注意】可以通过唤醒控制和状态寄存器（WUCSR）的接口禁用 RMII 接口（将输出驱动为低电平）。

3.4.2.1 CRS_DV-载波侦听/接收数据有效

当接收介质为非空闲时，设备会声明 CRS_DV 有效。由于与操作模式相关的标准，在检测到载波时会异步声明 CRS_DV 有效。在 10BASE-T 模式下静噪通过，或在 100BASE-TX 模式下检测到 10 位中有 2 个非连续零时，则认为检测到了载波。

载波丢失时，CRS_DV 的无效必须与 REF_CLK 周期同步，且该周期需对应 RXD[1:0]上出现半字节的第一个双位（di-bit）的时刻（即 CRS_DV 只在半字节边界处无效）。若在此初始无效后，设备仍有后续位要通过 RXD[1:0]送出，则 CRS_DV 必须在每个半字节的第二个双位对应的 REF_CLK 周期内有效，并在每个半字节的第一个双位对应的周期内无效。结果是：当 CRS 先于 RXDV 结束（即载波事件结束时 FIFO 仍有待传数据）时，从半字节边界开始，CRS_DV 将以 25MHz（100Mbps 模式）或 2.5MHz（10Mbps 模式）的频率翻转。

在错误的载波事件期间，CRS_DV 将在载波活动期间保持有效。一旦 CRS_DV 被声明有效，RXD[1:0]上的数据就被认为是有效的。但是，由于 CRS_DV 的声明相对于 REF_CLK 是异步的，因此 RXD[1:0]上的数据应为“00”，直到发生正确的接收信号解码为止。

3.4.2.2 参考时钟（REF_CLK）

RMII REF_CLK 是一个连续时钟，为 CRS_DV，RXD[1:0]、TXEN、TXD [1:0]和 RXER 提供时序参考。该设备使用 REF_CLK 作为网络时钟，因此在发送数据路径上不需要缓冲。

但是，在接收数据路径上，接收器从传入的数据流中恢复时钟，并且设备使用弹性缓冲来适应恢复的时钟与本地 REF_CLK 之间的差异。

3.4.3 MII 与 RMII 配置

该器件必须配置为支持 MII 或 RMII 总线连接到 MAC。这个通过 RMIISEL 配置引脚完成配置。MII 或 RMII 模式选择基于 RMIISEL 的分层配置引脚，如章节 3.7.3 “RMIISEL：MII/RMII 模式配置”所述。另外，MII/RMII 接口可以通过接口禁用一些唤醒控件和状态寄存器来禁用（输出驱动的低）（WUCSR）。

大部分的 MII 和 RMII 引脚都是多路复用的。表 3-2 “MII/RMII 信号映射”描述了相关的器件引脚与 MII 和 RMII 模式信号名称的关系。

内部资料

表 3-2 MII/RMII 信号映射

引脚名称	MII 模式	RMII 模式
TXD0	TXD0	TXD0
TXD1	TXD1	TXD1
TXEN	TXEN	TXEN
RXER/RXD4/PHYAD0	RXER	RXER **【注 1】**
COL/CRS_DV/MODE2	COL	CRS_DV
RXD0/MODE0	RXD0	RXD0
RXD1/MODE1	RXD1	RXD1
TXD2	TXD2	**【注 2】**
TXD3	TXD3	**【注 2】**
nINT/TXER/TXD4	TXER/TXD4	-
CRS	CRS	-
RXDV	RXDV	-
RXD2/RMIISEL	RXD2	-
RXD3/PHYAD2	RXD3	-
TXCLK	TXCLK	-
RXCLK/PHYAD1	RXCLK	-
XTAL1/CLKIN	XTAL1/CLKIN	REF_CLK

【注 1】RXER 信号在 RMII 总线上是可选的。这个信号是由收发器发出的，但它是可选的 MAC。MAC 可以选择忽略或不使用这个信号。

【注 2】在 RMII 模式下，该引脚需要与 VSS 绑定。

内部资料

3.5 串行管理接口（SMI）

串行管理接口用于控制设备并获取其状态。该接口支持 802.3 标准第 22 条所要求的寄存器 0 至 6，以及规范所允许的“供应商专用”寄存器 16 至 31。器件寄存器在章节 4“寄存器说明”中有详细介绍。

在系统层，SMI 提供 2 个信号：MDIO 和 MDC。MDC 信号是站点管理控制器（SMC）提供的非周期性时钟。MDIO 是双向数据 SMI 输入/输出信号，它从控制器 SMC 接收串行数据（命令），并将串行数据（状态）发送到 SMC。MDC 边沿之间的最短时间为 160ns。边沿之间没有最大时间。最小周期时间（两个连续的上升沿或两个连续的下降沿之间的时间）为 400ns。这些适度的时序要求使该接口容易由微控制器的 I/O 端口驱动。

MDIO 线上的数据锁存在 MDC 的上升沿。数据帧的结构和时序如图 3-5 和图 3-6 所示。章节 5.6.6“SMI 时序”中进一步描述了 MDIO 信号的时序关系。

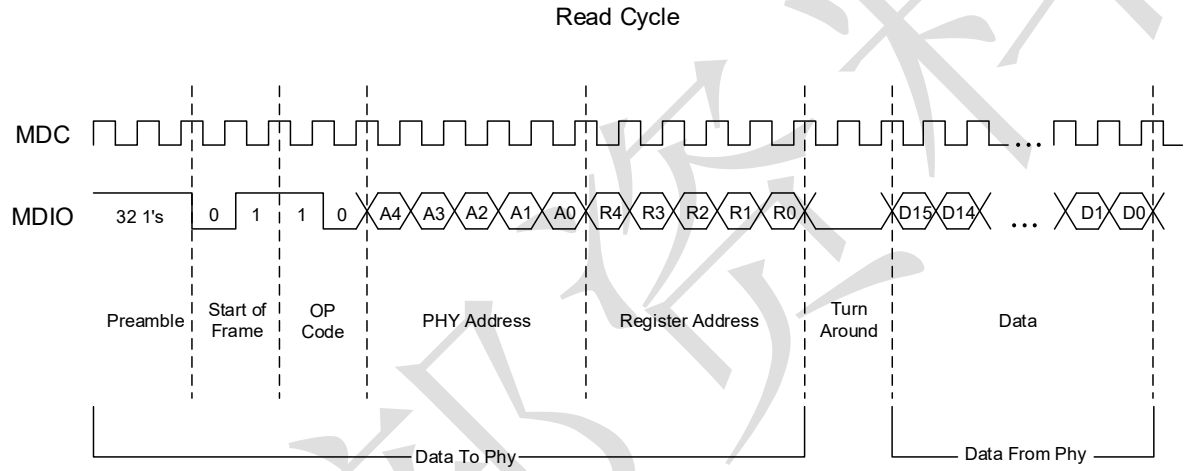


图 3-5 MDIO 时序和帧结构-读周期

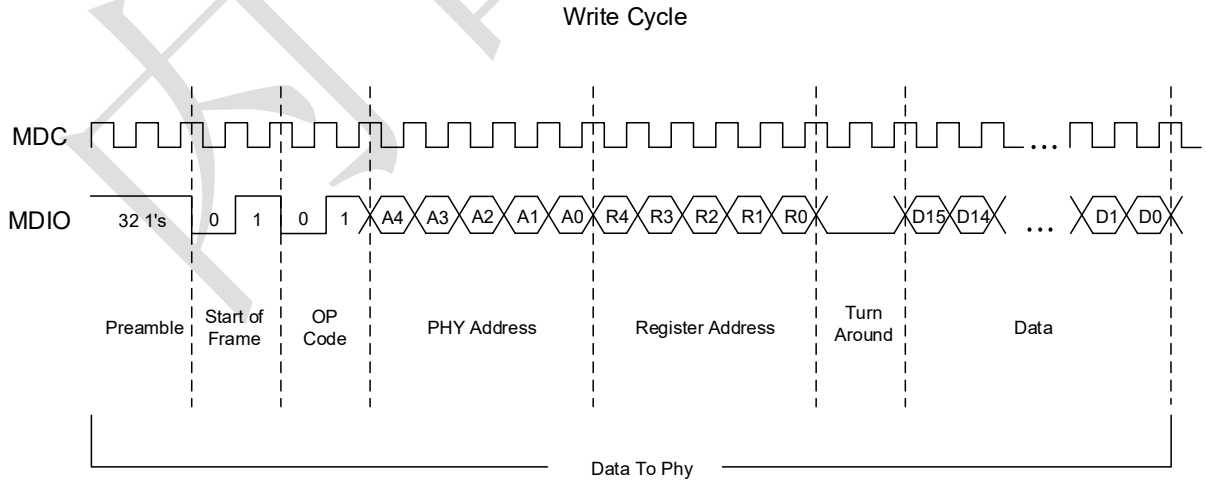


图 3-6 MDIO 时序和帧结构-写周期

3.6 中断管理

器件管理接口支持的中断功能不是 IEEE 802.3 规范的一部分。每当中断屏蔽寄存器检测到某些事件时，此中断功能就会在 nINT 输出上生成一个低电平有效的异步中断信号。

nINT 信号可以选择在三个不同的引脚上输出：

- nINT/REFCLKO

  （有关配置信息，请参见章节 3.7.5.2“nINTSEL：nINT/REFCLKO 配置”）

- LED1

  （有关配置信息，请参见章节 3.8.1“LED”）

- LED2

  （有关配置信息，请参见章节 3.8.1“LED”）

器件的中断系统提供两种模式，主要中断模式和备用中断模式。当相应的中断屏蔽位被置 1 时，两种模式都将 nINT 引脚置为有效。这些模式仅在将 nINT 中断输出无效的方式上有差异。以下小节将详细介绍这些模式。

【注意】上电或硬复位后，主要中断模式为默认中断模式。备用中断模式需要在上电或硬复位后设置。

【注意】除了本节所述的主要中断外，nPME 引脚还专门用于 WoL 特定中断。有关 nPME 的更多信息，请参见章节 3.8.4“LAN 唤醒（WoL）”。

【注意】对于 FCP1140，由于 nINT 和 TXEN 在相同的引脚上复用，当 EEE 和 WoL 都启用时，nINT 和/或 nPME 必须在 LED1 和/或 LED2 上复用。有关更多信息，请参见章节 3.8.1“LED”和章节 3.8.4“LAN 唤醒（WoL）”。

3.6.1 主要中断模式

主要中断模式为默认中断模式（模式控制/状态寄存器的 ALTINT 位为“0”）。上电或硬复位后始终选择主要中断模式。在此模式下，要允许中断，将中断屏蔽寄存器中设置相应屏蔽位置 1（见表 3-3）。然后，当将中断置为有效的事件为真时，nINT 将被置为有效。当将中断置为无效的相应事件为真时，则 nINT 将被置为无效。

内部资料

表 3-3 中断管理表

屏蔽	中断源标志		中断源		将中断置为有效的事件	将中断置为无效的事件
30.8	29.8	WoL	3.32784.7:4	nPME	3.32784.7:4 上升沿 or'ed together	3.32784.7:4 或 'ed together 低电平或 读寄存器 29
30.7	29.7	ENERGYON	17.1	ENERGYON	17.1 上升沿 **【注 1】**	17.1 下降沿或 读寄存器 29
30.6	29.6	自动协商完成	1.5	自动协商完成	1.5 上升沿	1.5 下降沿或 读寄存器 29
30.5	29.5	检测到远程故障	1.4	远程故障	1.4 上升沿	1.4 下降沿或 读寄存器 1 或 读寄存器 29
30.4	29.4	链路中断	1.2	链路状态	1.2 下降沿	读寄存器 1 或 读寄存器 29
30.3	29.3	自动协商 LP 应答	5.14	应答	5.14 上升沿	5.14 下降沿或 读寄存器 29
30.2	29.2	并行检测故障	6.4	并行检测故障	6.4 上升沿	6.4 下降沿或 读寄存器 6 或 读寄存器 29 或 再次自动协商或链路中断
30.1	29.1	接收到自动协商页面	6.1	接收到页面	6.1 上升沿	6.1 下降沿或 读寄存器 6 或 读寄存器 29 或 再次自动协商或链路中断

【注 1】如果在 ENERGYON 仍然为高电平时使能了屏蔽位并且 nINT 置为无效，拔下电缆时，在 ENERGYON 变为低电平之后有效 256ms。作为 ENERGYON 中断服务程序的一部分，应始终将 ENERGYON 中断屏蔽位清零，以防止意外将 nINT 置为有效。

【注】在信号采集过程开始时，模式控制/状态寄存器中的 ENERGYON 位默认设置为 1，因此，中断屏蔽寄存器中的 INT7 位也将在上电时读为 1。如果信号不存在，则 ENERGYON 和 INT7 都将在几毫秒内清零。

内部资料

3.6.2 备用中断模式

通过将模式控制/状态寄存器的 ALTINT 位置 1 使能备用中断模式。在此模式下，要允许中断，将中断屏蔽寄存器 30 中相应位置 1（见表 3-4）。要清除中断，清除中断屏蔽寄存器中的相应位以使 nINT 输出置为无效，或者清除中断源，并向写入相应的中断源标志写入“1”。向中断源标志写入“1”将使状态机检查中断源以确定中断源标志是否应清除或保持为“1”。如果置为无效的条件为真，则清除中断源标志，同时 nINT 置为无效。如果要置为无效的条件为假，则中断源标志保持置 1，并且 nINT 保持有效。

例如，将中断屏蔽寄存器中的 INT7 位置 1 将使能 ENERGYON 中断。插入电缆后，模式控制/状态寄存器中的 ENERGYON 位将变为活动状态，并且 nINT 将被置为低电平。要使 nINT 中断输出无效，可以通过拔下电缆来清除模式控制/状态寄存器中的 ENERGYON 位，然后将 1 写入中断屏蔽寄存器中的 INT7 位，或者清除 INT7 屏蔽（中断屏蔽寄存器的第 7 位）。

表 3-4 备用中断管理表

屏蔽	中断源标志		中断源		将中断置为有效的事件	将中断置为无效的事件	清除中断位
30.8	29.8	WoL	3.32784.7:4	nPME	3.32784.7:4 上升沿 or’ed	3.32784.7:4 都为低电平	29.8
30.7	29.7	ENERGYON	17.1	ENERGYON	17.1 上升沿	17.1 低电平	29.7
30.6	29.6	自动协商完成	1.5	自动协商完成	1.5 上升沿	1.5 低电平	29.6
30.5	29.5	检测到远程故障	1.4	远程故障	1.4 上升沿	1.4 低电平	29.5
30.4	29.4	链路中断	1.2	链路状态	1.2 下降沿	1.2 高电平	29.4
30.3	29.3	自动协商 LP 应答	5.14	应答	5.14 上升沿	5.14 低电平	29.3
30.2	29.2	并行检测故障	6.4	并行检测故障	6.4 上升沿	6.4 低电平	29.2
30.1	29.1	接收到自动协商页面	6.1	接收到页面	6.1 上升沿	6.1 低电平	29.1

【注】在信号采集过程开始时，模式控制/状态寄存器中的 ENERGYON 位默认设置为 1，因此，中断屏蔽寄存器中的 INT7 位也将在上电时读为 1。如果信号不存在，则 ENERGYON 和 INT7 都将在几毫秒内清零。

3.7 配置引脚

配置引脚可将设备的各种功能自动配置为用户定义的值。配置引脚在上电复位（POR）和引脚复位（nRST）时被锁存。配置引脚包括内部电阻器，以防止未连接时信号浮动。如果将特定的配置引脚连接到负载，则应使用外部上拉或下拉电阻来增加内部电阻，以确保在锁存之前达到所需的电压电平。也可以通过添加外部电阻器来覆盖内部电阻器。

【注意】系统设计人员必须保证配置引脚满足章节 5.6.3 “上电 nRST 和配置引脚时序”中指定的时序要求。如果在锁住配置之前配置引脚没有处于正确的电压电平，则芯片可能会捕获错误的配置值。

【注意】当从外部将配置引脚拉高时，该引脚应与 VDDIO 相连，除了应与 VDD2A 相连的 REGOFF 和 nINTSEL。

3.7.1 PHYAD[4,2:0]：PHY 地址配置

将 **PHYAD[4,2:0]**配置引脚驱动为高电平或低电平，可以为每个 PHY 提供唯一的地址。在硬件复位结束时（默认值=0h），该地址被锁存到内部寄存器中。在多 PHY 应用程序（例如转发器）中，控制器能够通过唯一地址管理每个 PHY。每个 PHY 会在每个管理数据帧中检查相关位中的匹配地址。识别到匹配后，PHY 会响应该特定帧。PHY 地址还用于为加扰器提供种子。在多 PHY 应用中，这可确保加扰器不同步，并在整个频谱上分散电磁辐射。

可以使用硬件配置将芯片的 SMI 地址配置为 0 到 7 之间任意值。如果需要的地址大于 7，则用户可以使用“软件配置”配置 PHY 地址。可以使用特殊模式寄存器的 PHYAD 位写入 PHY 地址（在某个地址建立 SMI 通信之后）。配置引脚复用的引脚名称如表所示。

表 3-5 地址位配置的引脚名称（FCP1140）

地址位	引脚名称
PHYAD[0]	**RXER/RXD4/PHYAD0**
PHYAD[1]	**RXCLK/PHYAD1**
PHYAD[2]	**RXD3/PHYAD2**

表 3-6 地址位配置的引脚名称（FCP1142）

地址位	引脚名称
PHYAD[0]	**RXER/PHYAD0**

表 3-7 地址位配置的引脚名称（FCP1145）

地址位	引脚名称
PHYAD[0]	**RXER/RXD4/PHYAD0**
PHYAD[1]	**RXCLK/PHYAD1**
PHYAD[2]	**RXD3/PHYAD2**
PHYAD[4]	**RXD2/nPME/PHYAD4**

3.7.2 模式配置

3.7.2.1 MODE[2:0]：模式配置

对于 FCP1140/FCP1142，**MODE[2:0]**配置引脚控制 10/100 数字模块的配置。当 **nRST** 引脚置为无效时，将根据 **MODE[2:0]**配置引脚加载寄存器位的值，然后通过寄存器位值配置 10/100 数字模块。当通过基本控制寄存器的软复位位进行软复位时，10/100 数字模块的配置由寄存器位值控制，而 **MODE[2:0]**配置引脚不起作用。

对于 FCP1140/FCP1142，可以使用表 3-8 中汇总的硬件配置引脚来配置器件的模式。用户可以通过写入 SMI 寄存器来配置收发器模式。

表 3-8 MODE[2:0]模式配置（FCP1140/FCP1142）

MODE[2:0]	模式定义	默认寄存器位值	
		寄存器 0	寄存器 4
		[13,12,10,8]	[8,7,6,5]
000	10BASE-T 半双工。自动协商已禁用。	0000	N/A
001	10BASE-T 全双工。自动协商已禁用。	0001	N/A
010	100BASE-TX 半双工。自动协商已禁用。 在发送和接收期间，CRS 处于活动状态。	1000	N/A
011	100BASE-TX 全双工。自动协商已禁用。 接收期间 CRS 处于活动状态。	1001	N/A
100	发布 100BASE-TX 半双工。启用自动协商。 在发送和接收期间，CRS 处于活动状态。	1100	0100
101	中继器模式。启用自动协商。 发布 100BASE-TX 半双工。 接收期间 CRS 处于活动状态。	1100	0100
110	掉电模式。在此模式下，收发器将在掉电模式下唤醒。当 MODE[2:0]位设置为该模式时，不能使用收发器。要退出该模式，必须将寄存器 18.7:5 中的 MODE 位（见章节 4.2.15 “特殊模式寄存器”）配置为其它某个值，并且必须发出软复位。	N/A	N/A
111	全能。启用自动协商。	X10X	1111

FCP1140/FCP1142 的 MODE[2:0]硬件配置引脚与如下表 3-9 所示的其它引脚多路复用。

表 3-9 模式位配置的引脚名称（FCP1140/FCP1142）

模式位	引脚名称
MODE[0]	**RXD0/MODE0**
MODE[1]	**RXD1/MODE1**
MODE[2]	**COL/CRS_DV/MODE2**

3.7.2.2 100FD：模式配置

对于 FCP1145，**100FD** 配置引脚控制 100 数字模块的配置。用户可以通过写入 SMI 寄存器来配置收发器模式。

表 3-10 100FD 模式配置（FCP1145）

100FD 位值	模式定义
1	100BASE-TX 全双工。关闭自动协商。接收期间 CRS 有效。
0	100BASE-TX 全双工。使能自动协商。接收期间 CRS 有效。

FCP1145 的 100FD 硬件配置引脚与如下表 3-11 所示的其它引脚多路复用。

表 3-11 模式位配置的引脚名称（FCP1145）

模式位	引脚名称
100FD	**COL/CRS_DV/100FD**

【应用注意】FCP1140 和 FCP1145 均为 QFN32 封装，在进行应用设计时，FCP1140 的引脚 15 为 MODE[2]，在配置为 1 时使能自动协商，FCP1145 的引脚 15 为 100FD，在配置为 0 时使能自动协商。

3.7.3 RMIISEL：MII/RMII 模式配置

RMIISEL 配置引脚在内部复位（nRST）清零后的上升沿被锁存。

RMIISEL 配置引脚默认是 MII 模式（通过内部拉下电阻）。如果选择 RMII 模式，需要将 **RMIISEL** 外接上拉电阻到 **VDDIO**。

当 nRST 引脚被拉低时时，根据 **RMIISEL** 配置引脚加载特殊模式寄存器的 MII MODE 位。该模式反映在特殊模式寄存器的 MII MODE 位中。

有关更多 MII 和 RMII 模式的信息，请参阅章节 3.4 “MAC 接口”。

【注意】FCP1142 和 FCP1145 无此配置引脚。

3.7.4 REGOFF：内部+1.2V 稳压器配置

可禁用内部+1.2V 稳压器。当稳压器禁用时，必须向 VDDCR 引脚提供一个外部+1.2V 电源。禁用内部+1.2V 稳压器可以降低系统总功率，因为可以使用效率更高的外部开关稳压器（相对于内部线性稳压器）为收发器电路提供+1.2V。

【注】由于 REGOFF 配置引脚与 LED1 引脚共享功能，因此还必须适当考虑 LED 的极性。有关 REGOFF 和 LED1 极性之间关系的更多信息，请参见章节 3.8.1 “LED”。

3.7.4.1 禁用内部+1.2V 稳压器

要禁用+1.2V 内部稳压器，应在 **REGOFF** 配置引脚连接一个上拉电阻到 **VDD2A**。上电时，在 **VDDIO** 和 **VDD2A** 都在规格范围内后，收发器将对 **REGOFF** 进行采样以确定内部稳压器是否应开启。如果对 **REGOFF** 引脚采样到高于 VIH 的电压，将禁用内部稳压器，并且系统必须向 **VDDCR** 引脚提供+1.2V 的电压。在将电压施加到 **VDDCR** 之前，**VDDIO** 电压至少为工作电压电平的 80%（1.8V 工作时为 1.44V，

2.5V 工作时为 2.0V，3.3V 工作时为 2.64V）。如章节 3.7.4.2“启用内部+1.2V 稳压器”所述，当 **REGOFF** 悬空或连接至 **VSS** 时，内部稳压器使能，并且无需系统向 **VDDCR** 引脚提供+1.2V 的电压。

3.7.4.2 启用内部+1.2V 稳压器

VDDCR 的+1.2V 由片上稳压器提供，除非使用 **REGOFF** 配置引脚将收发器配置为稳压器关闭模式，如章节 3.7.4.1“禁用内部+1.2V 稳压器”所述。默认情况下，当 **REGOFF** 悬空时（由于内部下拉电阻），内部+1.2V 稳压器被使能。上电期间，如果采样 **REGOFF** 的电压低于 VIL，则内部+1.2V 稳压器将打开并使用 **VDD2A** 引脚供电。

3.7.5 nINTSEL 配置

3.7.5.1 nINTSEL：nINT/TXER/TXD4 配置

对于 FCP1140/FCP1145，使用 nINTSEL：nINT/TXER/TXD4 配置。

nINT，TXER，TXD4 共用一个引脚。该引脚有两种功能模式，TXER/TXD4 模式和 nINT 模式。

nINTSEL 配置脚在 POR 和 nRST 的上升沿锁存。默认情况下，nINTSEL 通过内部上拉电阻配置为 nINT 模式。

【注意】使用 EEE 时，nINT/TXER/TXD4 引脚必须配置为 TXER/TXD4 模式。

【注意】由于 nINT 和 TXER 复用在同一个引脚，当 EEE 与 WOL 同时启用时，nINT 或者 nPME 必须在 LED1 或 LED2 上使用。有关更多信息，请参见章节 3.6“中断管理”和章节 3.8.4“LAN 唤醒（WOL）”。

【注意】由于 nINTSEL 配置引脚与 LED2 引脚共用，配置时需考虑 LED 极性。有关 nINTSEL 与 LED2 极性相关信息，请参见章节 3.8.1.6“nINTSEL 和 LED2 极性选择”。

3.7.5.2 nINTSEL：nINT/REFCLKO 配置

对于 FCP1142，使用 nINTSEL：nINT/REFCLKO 配置。

nINTSEL 配置引脚用于在两种可用模式之间进行选择：REF_CLK 输入模式（nINT）和 REF_CLK 输出模式。配置模式决定了 **nINT/REFCLKO** 引脚的功能。nINTSEL 配置在 POR 和 nRST 的上升沿锁存。默认情况下，通过内部上拉电阻将 nINTSEL 配置为 nINT 模式。

表 3-12 nINTSEL 配置

配置值	模式	REF_CLK 说明
nINTSEL=0	REF_CLK 输出模式	nINT/REFCLK 是 REF_CLK 的源
nINTSEL=1	REF_CLK 输入模式	nINT/REFCLK 是低电平有效的中断输出。 REF_CLK 来自外部，必须在 XTAL1/CLKIN 引脚驱动。

RMII REF_CLK 是一个连续时钟，为 CRS_DV，RXD[1:0]，TXEN，TXD[1:0]和 RXER 提供时序参考。该设备使用 REF_CLK 作为网络时钟，因此在发送数据路径上不需要缓冲。

但是，在接收数据路径上，接收器从输入数据流中恢复时钟。该器件使用弹性缓冲来适应恢复的时钟和本

地 REF_CLK 之间的差异。

在 REF_CLK 输入模式下，**XTAL1/CLKIN** 引脚驱动 50MHz REF_CLK。这时使用 RMII 的传统系统配置，请参见章节 3.7.5.1 “nINTSEL：nINT/TXER/TXD4 配置”。当配置为 REF_CLK 输出模式时，器件产生 50MHz RMII REF_CLK，并且 nINT 中断不可用。

在 REF_CLK 输出模式下，允许将低成本的 25MHz 晶振用作 REF_CLK 的参考时钟。这种配置可以降低系统成本，请参见章节 3.7.5.2 “nINTSEL：nINT/REFCLKO 配置”。

【注意】因为 nINTSEL 配置引脚与 LED2 引脚共享功能，所以还必须适当考虑 LED 的极性。有关 nINTSEL 和 LED2 极性之间关系的更多信息，请参见章节 3.8.1.6 “nINTSEL 和 LED2 极性选择”。

3.7.5.2.1 REF_CLK 输入模式

在 REF_CLK 输入模式下，**XTAL1/CLKIN** 引脚需要被 50MHz 的 REF_CLK 驱动。使用该模式时，必须在器件外部提供一个 50MHz 的 REF_CLK 源。如图 3-7 所示，REF_CLK 时钟源同时驱动了 MAC 和 PHY。

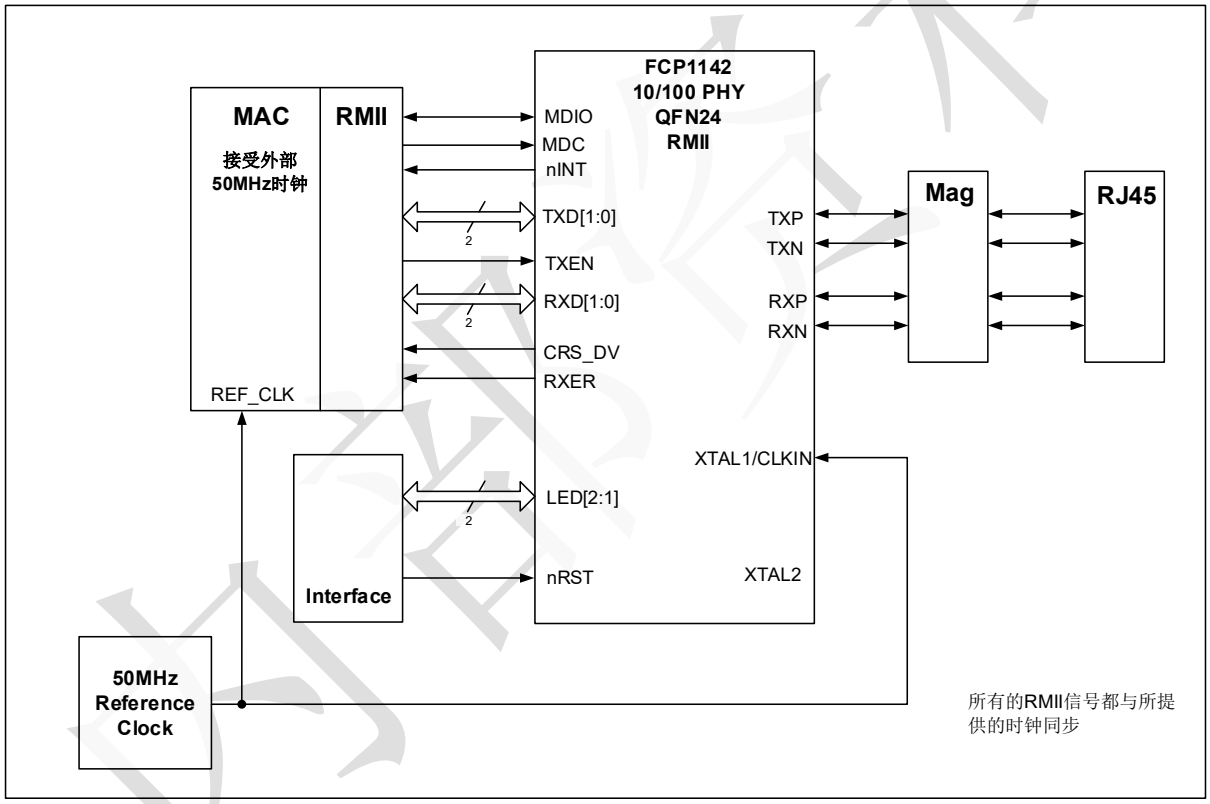


图 3-7 外部 50MHz 时钟源 REF_CLK

3.7.5.2.2 REF_CLK 输出模式

为了降低成本，该器件能使用低成本的 25MHz 晶振来生成 RMII REF_CLK。与其他 50MHz 的晶振相比，这种类型的晶体更加便宜。MAC 必须能够与外部时钟一起使用，才能利用此功能，如图 3-8 所示。

为了优化封装尺寸和成本，REFCLKO 引脚与 nINT 引脚复用。在 REF_CLK 输出模式下，禁用 nINT 功能以适应 REFCLKO 作为 MAC 的 50MHz 时钟的使用。

【注意】REF_CLK 输出模式不属于 RMII 规范。为了确保系统正常运行，必须对 MAC 和 FC1142 进行时序分析。

【注意】在 REF_CLK 输出模式下，当器件处于能量检测掉电模式或常规掉电模式时，REFCLKO 将不会输出。

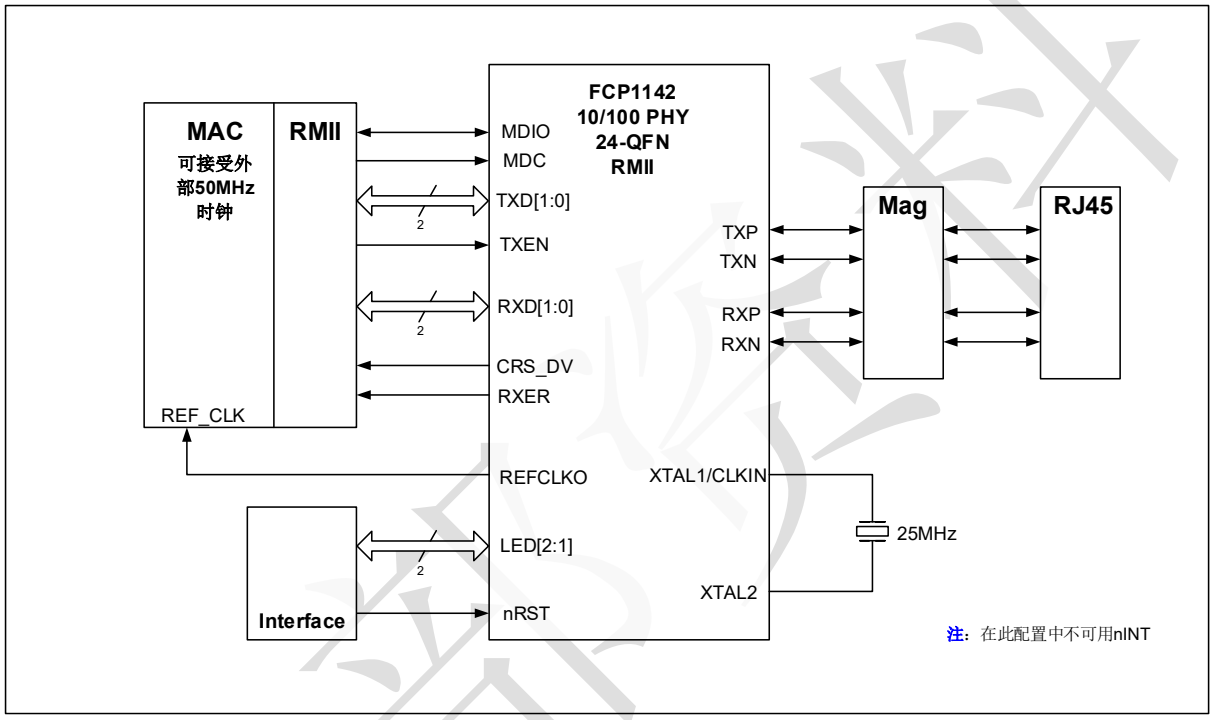


图 3-8 从 25MHz 晶振获得 REF_CLK 时钟源

在某些系统架构中，可以使用 25MHz 的时钟源。该器件可用于为 MAC 生成 REF_CLK，如图 3-9 所示。重要的是要注意，在此特定示例中，只能使用 25MHz 的时钟（时钟不能为 50MHz）。与 25MHz 晶振模式相似，nINT 功能被禁用。

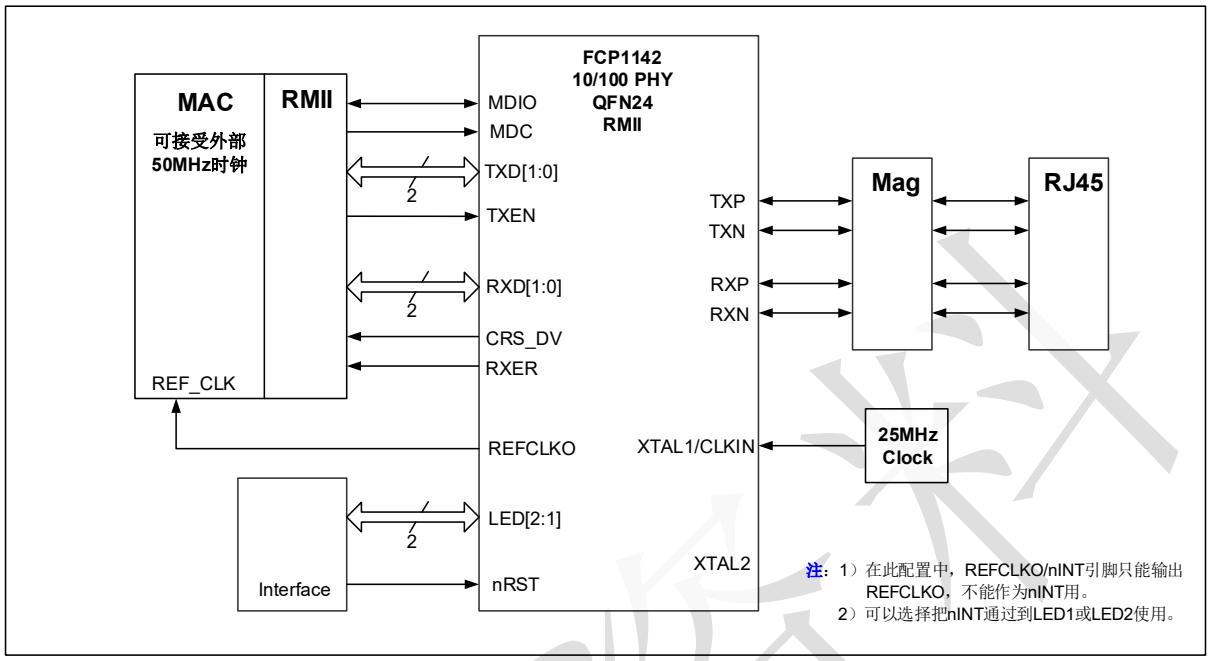


图 3-9 从外部 25MHz 时钟源获得 REF_CLK 时钟源

内部资料

3.7.6 FCP1145 特有配置

3.7.6.1 TX 自动偏移配置

CFG_TXAUTOSFT 配置仅在 FCP1145 中使用。配置引脚复用引脚为 **RXD1/CFG_TXAUTOSFT**。CFG_TXAUTOSFT 配置在 POR 和 nRST 的上升沿锁存。当 CFG_TXAUTOSFT 拉高至 **VDDIO** 时，使能 TX 自动偏移操作（默认）。当 CFG_TXAUTOSFT 拉低至 **VSS** 时，禁止 TX 自动偏移操作。默认情况下，CFG_TXAUTOSFT 通过内部上拉电阻配置为使能 TX 自动偏移操作（默认）。TX 自动偏移即 ESC 无 TX_CLK 端口时，支持 TXD 自动延迟补偿。

TX_AutoShift 支持同源时钟模式（TX 数据来源时钟和 PHY 时钟同源）和非同源时钟模式。同源时钟模式下，只 shift 一次，找到采样数据的稳定时间点后，始终使用相同的值，如果发生了硬复位（POR 复位或复位引脚复位），则重新 shift。非同源时钟模式下，每次看到 TXEN 的上升沿，都进行一次 shift，非同源时钟模式下，PHY 的延迟值不固定。

打开 TX_AutoShift，消除 ESC MAC 端 shift 功能的需求，通过在 MII 接口处增加 TX_AutoShift 来实现。TX_AutoShift 可以通过寄存器开关，TX_AutoShift 的结果存放在配置寄存器 19 中，可以通过 MDIO 外部访问并修改。需要注意的是，使用配置寄存器 19 的功能之前，需要先做如下操作：先向 Reg19 写入值 0XAB35，后向 Reg19 写入值 0X5894，才可对该寄存器进行写访问。有关配置寄存器 19 的具体描述请参见章节 4.1.16 “配置寄存器”。

3.7.6.2 MI 链路检测配置

MI_DETECTION 配置仅在 FCP1145 且开启自动协商时（100FD=0）使用。配置引脚复用引脚为 RXD0/MI_DETECTION。MI_DETECTION 配置在 POR 和 nRST 的上升沿锁存。当 MI_DETECTION 拉高至 VDDIO 时，使能 MI 链路检测操作。当 MI_DETECTION 拉低至 VSS 时，禁止 MI 链路检测操作。默认情况下，MI_DETECTION 通过内部上拉电阻配置为使能 MI 链路检测操作（默认）。MI 链路检测即当非 100M 全双工时设定自动重启 100M 全双工协商。MI 链路检测可以通过配置寄存器 19 的位[10:8]选择每次重启自动协商的延时，且可以通过配置寄存器 19 的位[7]选择重启自动协商的延时单位。有关配置寄存器 19 的具体描述请参见章节 4.1.16 “配置寄存器”。

MI 链路检测和配置状态机按如下工作：

- 检查是否使能了自动协商
- 检查是否仅通告了 100M 全双工
- 检查是否未通告 1000M
- 检查是否完成了自动协商
- 检查链路伙伴是否为 100M 全双工
- 否则，按需设置寄存器并重启自动协商

3.8 其它功能

3.8.1 LED

提供两个 LED 信号作为指示收发器的工作模式，或用作 nINT 或 nPME 信号。**LED1** 和 **LED2** 引脚功能可分别通过唤醒控制和状态寄存器（WUCSR）的 LED1 功能选择和 LED2 功能选择位进行配置。如章节 3.8.1.5 “REGOFF 和 LED1 极性选择”和章节 3.8.1.6 “nINTSEL 和 LED2 极性选择”所述，当用作 LED 指示器时，LED 信号为高电平有效或低电平有效。有关 nINT 的更多信息，请参见章节 3.6 “中断管理”。有关 nPME 的更多信息，请参见章节 3.8.4 “LAN 唤醒（WoL）”。

在默认的“链接/活动”模式下配置时，只要设备检测到有效链接，LED1 输出就会驱动为活动状态，而当 CRS 处于活动状态（高）指示活动时，LED1 输出会闪烁。

在默认的链接速度模式下配置时，当操作速度为 100Mbps 时，LED2 输出被驱动为激活状态。当工作速度为 10Mbps 或线路隔离期间，此 LED 指示灯将熄灭。

【注意】将 LED1 和 LED2 引脚拉高时，它们必须与 **VDD2A** 而非 **VDDIO** 相连。

【注意】由于 nINT 和 TXEN 在相同的引脚上多路复用，当 EEE 和 WoL 都启用时，nINT 和/或 nPME 必须在 LED1 和/或 LED2 上复用。额外的信息请参见章节 3.6 “中断管理”和章节 3.8.4 “LAN 唤醒（WoL）”额外的信息。

3.8.1.1 禁用内部稳压器时，LED1/nINT/nPME 的使用（REGOFF 为高电平）

复位期间 **LED1/nINT/nPME/REGOFF** 引脚为高电平时，内部稳压器被禁用。复位释放后，此引脚将首先用作 LED1（链接活动）。配置后，它可以用作 nINT 或 nPME。如图 3-10 说明了在内部稳压器禁用的情况下将 **LED1** 引脚编程为 nINT 或 nPME 所需的步骤。

在这种配置中，有可能将一个 LED 连接到该引脚，而在 WoL 状态下它充当 nINT 或 nPME。由于打开 LED 的极性为低电平有效，因此在等待 WoL 事件时，链接活动 LED 将不会点亮。

【注意】有关 REGOFF 配置引脚的更多信息，请参见章节 3.7.4 “REGOFF：内部+1.2V 稳压器配置”。

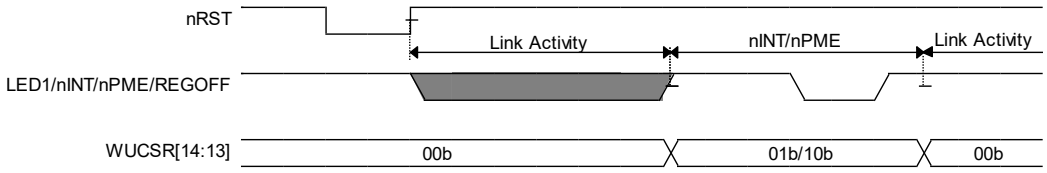


图 3-10 禁用内部稳压器的 **LED1/nINT/nPME/REGOFF**

3.8.1.2 启用内部稳压器时，LED1/nINT/nPME 的使用（REGOFF 为低电平）

复位期间 **LED1/nINT/nPME/REGOFF** 引脚为低电平时，内部稳压器使能。复位释放后，此引脚将首先用作 LED1（链接活动）。配置后，它可以用作 nINT 或 nPME。如图 3-11 说明了在使能内部稳压器的情况下将 **LED1** 引脚编程为 nINT 或 nPME 所需的步骤。

在这种配置下，建议不要将 LED 连接到该引脚。由于该引脚为高电平有效，因此在等待 WoL 事件时，LED 将点亮。

【注意】有关 REGOFF 配置引脚的更多信息，请参见章节 3.7.4 “REGOFF：内部+1.2V 稳压器配置”。

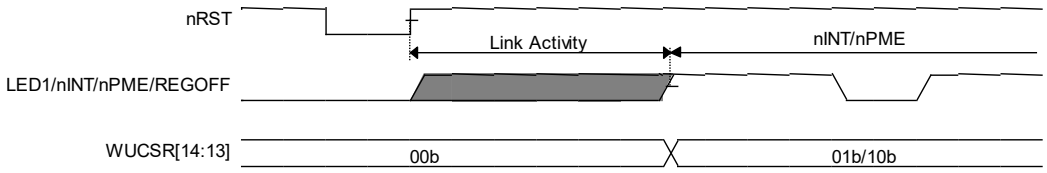


图 3-11 启用内部稳压器的 **LED1/nINT/nPME/REGOFF**

3.8.1.3 启用 nINTSEL 功能

当复位期间 **LED2/nINT/nPME/nINTSEL** 引脚为高电平时，在 FCP1142 中 **nINT/REFCLKO** 引脚被配置用作 nINT，在 FCP1140/FCP1145 中 **nINT/TXER/TXD4** 引脚同样被配置用作 nINT。

在复位后，此引脚将首先用作 LED2（链接速度）。配置后，它可以用作 nPME，也可以将 LED2 配置为 nINT。如图 3-12 说明了将 **LED2** 引脚编程为 nINTSEL 或 nPME 并启用所需的步骤。

在这种配置中，有可能将 LED 连接到该引脚，而在 WoL 状态下该 LED 用作 nINT 或 nPME。由于点亮 LED 的极性处于低电平有效状态，因此在等待 WoL 事件时，链接速度 LED 不会点亮。

为了进一步提升灵活性，可以通过将 11b 写入唤醒控制和状态寄存器（WUCSR）的 LED2 功能选择字段来将 LED2 重新配置为链接活动。当 LED1 无法配置为链接活动时，这允许 LED2 充当链接活动。可以使用 GPIO 在微控制器上轻松实现链接速度。

【注意】有关 nINTSEL 配置引脚的更多信息，请参见章节 3.7.5 “nINTSEL：nINT/REFCLKO 配置”。

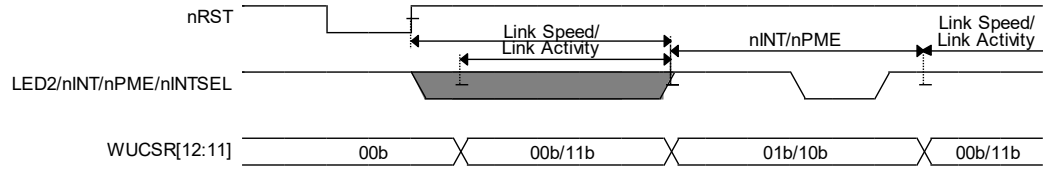


图 3-12 使能 **nINTSEL** 的 **LED2/nINT/nPME**

3.8.1.4 禁用 nINTSEL 功能

当复位期间 **LED2/nINT/nPME/nINTSEL** 引脚为低电平时，在 FCP1142 中 **nINT/REFCLKO** 引脚被配置用作 REFCLKO，而在 FCP1140/FCP1145 中 **nINT/TXER/TXD4** 引脚被配置用作 TXER/TXD4。

复位释放后，该引脚将首先用作 LED2。配置后，它可以用作 nINT 或 nPME。如图说明了在禁用 nINTSEL 的情况下将 **LED2** 引脚编程为 nINT 或 nPME 所需的步骤。

在这种配置下，不建议将 LED 连接到该引脚。由于该引脚为高电平有效，因此在等待 WoL 事件时，LED 将点亮。

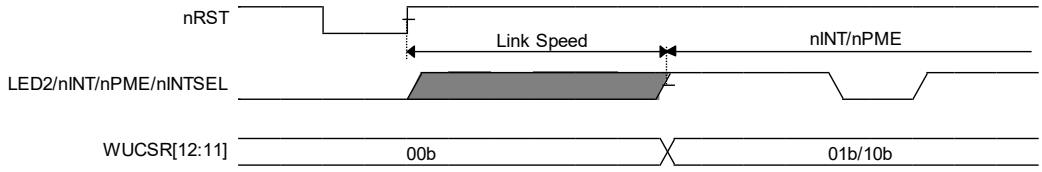


图 3-13 禁用 **nINTSEL** 的 **LED2/nINT/nPME**

3.8.1.5 REGOFF 和 LED1 极性选择

REGOFF 配置引脚与 **LED1** 引脚共享。LED1 输出将根据外部上拉电阻的存在自动改变极性。如果通过外部上拉电阻将 **LED1** 引脚拉高至 **VDD2A**，REGOFF 选择逻辑高电平，则 LED1 输出将为低电平有效。如果通过内部下拉电阻将 **LED1** 引脚拉低，REGOFF 选择逻辑低电平，则 LED1 输出将为高电平有效。如图 3-14 详细说明了每种 REGOFF 配置的 LED1 极性。

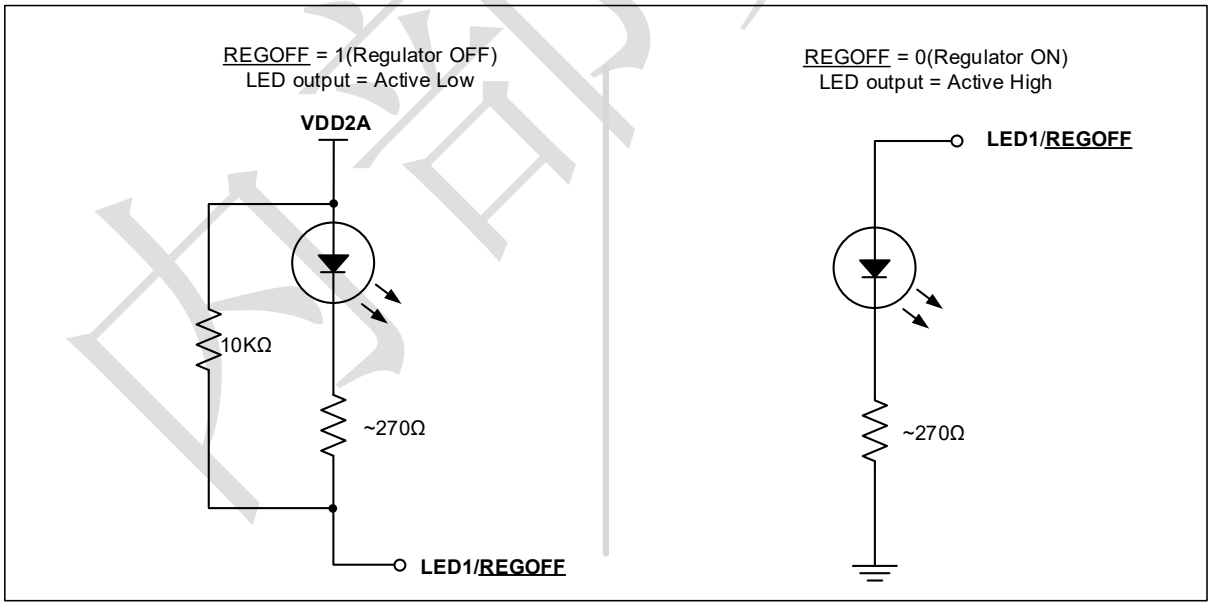


图 3-14 LED1/REGOFF 极性配置

【**注意**】有关 **REGOFF** 配置引脚的更多信息，请参见章节 3.7.4 “REGOFF：内部+1.2V 稳压器配置”。

3.8.1.6 nINTSEL 和 LED2 极性选择

nINTSEL 配置引脚与 **LED2** 引脚共享。LED2 输出将根据外部下拉电阻的存在自动改变极性。如果将 **LED2** 引脚上拉至 **VDD2A**，nINTSEL 选择高电平，则 LED2 输出将为低电平有效。如果通过外部下拉电阻将 LED2 引脚拉低，为 nINTSEL 选择逻辑低电平，则 LED2 输出将为高电平有效输出。如图 3-15 详细说明了每种 nINTSEL 配置的 LED2 极性。

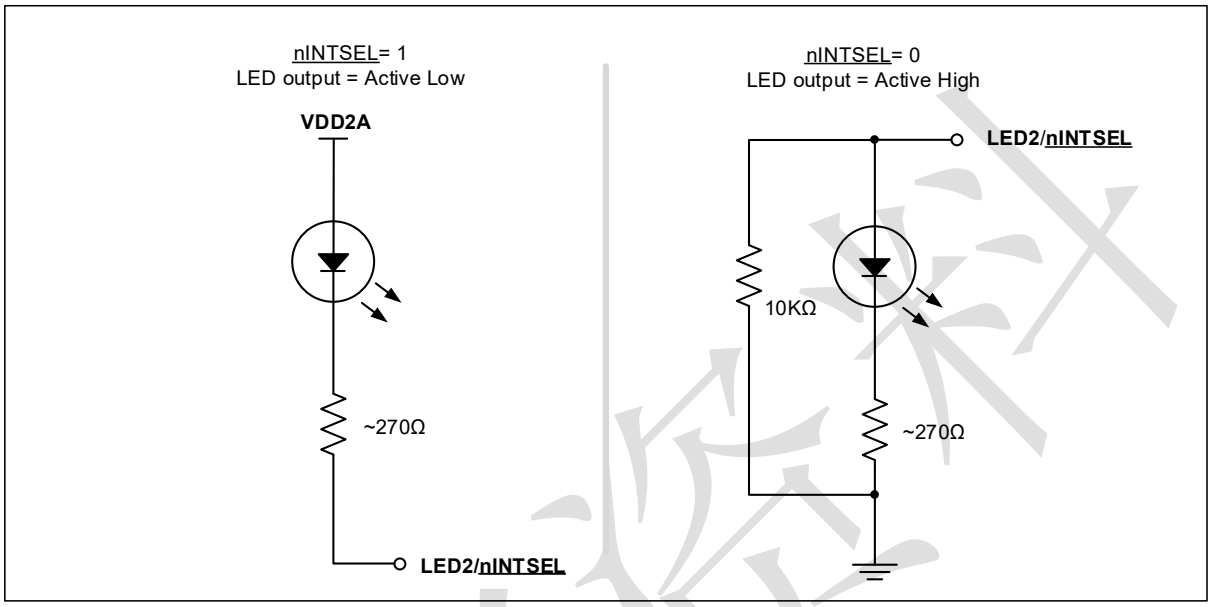


图 3-15 LED2/nINTSEL 极性配置

【注意】有关更多 **nINTSEL** 配置引脚的信息。请参见章节 3.7.5.2 “nINTSEL：nINT/REFCLKO 配置”。

3.8.2 可变电压 I/O

该芯片使用可变电压的数字 I/O 引脚，这些引脚可以在+1.8V 至+3.3V 的低 I/O 电压下工作。施加的 I/O 电压必须保持其值具有±10%的容差。在收发器完成电源复位后，升高或降低电压会导致收发器操作错误。有关更多信息，请参见章节 5 “工作特性”。

【注意】在芯片上电之前，请勿将输入信号驱动为高电平。

3.8.3 掉电模式

芯片有三种掉电模式：常规掉电模式，非通用掉电模式和能量检测掉电模式。这些模式在以下小节中介绍。

3.8.3.1 常规掉电

掉电模式通过基本控制寄存器的掉电位控制。在此模式下，只要掉电位为“1”，整个收发器（管理接口除外）都将掉电并保持在该模式。当掉电位清零时，收发器上电并自动复位。

【注意】在 REF_CLK 输出模式下，当器件处于通用掉电模式时，REFCLKO 将不会输出。

3.8.3.2 非通用掉电模式

通过将特殊模式寄存器的模式（MODE）位设置为 3'b110 时，进入非通用掉电模式。在此模式下，收发器将在掉电模式下唤醒。要退出该模式，必须将特殊模式寄存器中的 MODE 位（见章节 4.1.15 "特殊模式寄存器"）配置为其他某个值，并且必须发出软复位。

3.8.3.3 能量检测掉电（EDPD）

通过将模式控制/状态寄存器的 EDPWRDOWN 位置 1 可激活该省电模式。在这种模式下，当线路上没有能量时，收发器将掉电（管理接口，SQUELCH 电路和 ENERGYON 逻辑除外）。ENERGYON 逻辑用于检测来自 100BASE-TX，10BASE-T 或自动协商信号的有效能量的存在。

在此模式下，当模式控制/状态寄存器的 ENERGYON 位为低时，收发器掉电且不发送任何内容。当通过链接脉冲或数据包接收到能量时，ENERGYON 位变高，收发器上电。如果在中断屏蔽寄存器中启用了 ENERGYON 中断，则器件会自动复位为掉电之前的状态，并将 nINT 中断置为有效。可能会丢失用于激活 ENERGYON 的第一个和第二个数据包。

当模式控制/状态寄存器的 EDPWRDOWN 位为低时，能量检测掉电被禁用。

在 EDPD 模式下，可以修改芯片的 NLP 特性。可以将芯片配置为通过 EDPD NLP/交叉时间寄存器的 EDPD TX NLP 使能位来发送 EDPD 中的 NLP。使能后，可通过 EDPD NLP /交叉时间寄存器的 EDPD TX NLP 间隔定时器选择字段配置 TX NLP 时间间隔。

在 EDPD 模式下，该芯片还可以配置为在接收一个或两个 NLP 时唤醒。将 EDPD NLP/交叉时间寄存器的 EDPD RX 单个 NLP 唤醒使能位置 1 将使芯片在接收到单个 NLP 时唤醒。如果 EDPD RX 单个 NLP 唤醒使能位被清除，则可通过 EDPD NLP/Crossover TimeRegister 的 EDPD RX NLP 最大间隔检测选择字段来配置检测两个 NLP 从 EDPD 唤醒的接收的最大间隔。

【注意】在 REF_CLK 输出模式下，当器件处于能量检测掉电模式时，REFCLKO 将不会输出。

三种掉电模式的功耗管理模块状态如表 3-13 所示：

表 3-13 掉电模式的功耗管理模块状态

掉电模式	ADC	PLL_VCO	RECOVER_CLK_GEN
常规掉电模式	OFF	OFF	OFF
非通用掉电模式	OFF	OFF	OFF
能量检测掉电模式	OFF	OFF	OFF

3.8.4 LAN 唤醒（WoL）

该芯片支持理想 DA，广播，魔术包和唤醒帧的 PHY 层 WoL 事件检测。可以将 WoL 检测配置为置 nINT 中断引脚或 nPME 引脚为有效，从而为处于睡眠模式的系统在发生 WoL 事件时返回工作状态提供一种机制。在将以太网 MAC 集成到 SoC 的设计中，此功能对于解决主 SoC 的不必要唤醒特别有用。

可以通过 Perfect DA Wakeup Enable（PFDA_EN），Broadcast Wakeup Enable（BCST_EN），Magic Packet Enable（MPEN）和 Wakeup Frame Enable 分别启用每种受支持的唤醒事件（Perfect DA，Broadcast，Magic Packet 或 Wakeup 帧）。唤醒控制和状态寄存器（WUCSR）的（WUEN）位。

提供了两种向外部设备指示 WoL 事件的方法：nINT 和 nPME。

通过设置中断屏蔽寄存器的第 8 位（WoL），**nINT** 引脚可用于指示 WoL 中断事件。一旦使能，任何与唤醒控制和状态寄存器（WUCSR）中配置的条件相匹配的接收数据包将 nINT 置为有效，直到清除中断为止。当使用 nINT 指示 WoL 中断时，可以通过中断屏蔽寄存器配置该引脚与其他非 WoL 中断事件共享。等待 WoL 事件发生时，可能会触发其他中断。为避免这种情况，所有其他中断应由系统软件屏蔽，或者可以使用备用的 nPME 引脚。有关其他 nINT 信息，请参见章节 3.6“中断管理”。

或者，**nPME** 引脚可用于独立指示 WoL 中断事件。可以将 nPME 信号配置为在以下任意引脚上输出：

- **LED1/nINT/nPME/nREGOFF**
- **LED2/nINT/nPME/nINTSEL**
- **RXD2/nPME/RMIISEL**（参考章节 3.7.5.1“nINTSEL:nINT/TXER/TXD4 配置”的配置信息）

通过配置 LED1 功能选择或 LED2 功能选择，可以将 **LED1/nINT/nPME/nREGOFF** 或 **LED2/nINT/nPME/nINTSEL** 引脚配置为 nPME。唤醒控制和状态寄存器（WUCSR）的位分别设置为 10b。

通过设置 RXD2/RMIISEL 可以将 **RXD2/nPME/RMIISEL** 引脚配置为 nPME。**nPME** 引脚使能后，任何与唤醒控制和状态寄存器（WUCSR）中配置的条件匹配的接收数据包将声明 nPME，直到 WUCSR 位 7:4 被系统软件清除。但是，在某些应用中，可能需要 nPME 自清除。当唤醒控制和状态寄存器（WUCSR）的 nPME 自清除位被置 1 时，**nPME** 引脚将在杂项配置寄存器（MCFGR）中配置的时间后清除。

在发生 WoL 事件时，可以通过检查接收到的理想 DA 帧（PFDA_FR），接收到的广播帧（BCAST_FR），接收到的魔术包（MPR）和接收到远程唤醒帧（WUFR）状态来获得事件源的进一步解决方案唤醒控制和状态寄存器（WUCSR）中的位。

【注意】由于 nINT 和 TXER 在同一引脚上的多路复用，当 EEE 和 WoL 都启用时，nINT 和或 nPME 必须在 LED1 和/或 LED2 上使用。

唤醒控制和状态寄存器（WUCSR）还提供了 WoL 配置位，可以在配置所有 WoL 寄存器后由软件将其设置。由于所有与 WoL 相关的寄存器均不受软件复位的影响，因此软件可以轮询 WoL 已配置位以确保所有 WoL 寄存器均已完成配置。这允许软件在重启后由于 WoL 事件而跳过 WoL 寄存器的重新编程。

以下小节详细介绍了每种 WoL 事件类型。有关主系统中断的更多信息，请参见章节 3.6“中断管理”。

3.8.4.1 理想 DA（目标地址）检测

启用后，当帧的目标地址与存储在 MAC 接收地址 A 寄存器（RX_ADDRA），MAC 接收地址 B 寄存器（RX_ADDRB）和 MAC 接收地址 C 寄存器（RX_ADDRC）中的地址匹配时，理想 DA 检测模式允许触发 nINT 或 nPME 引脚，帧还必须通过 FCS 和数据包长度检查。

例如，主机系统必须执行以下步骤，以使芯片能够在检测到理想 DA WoL 事件时置 nINT 有效：

1．在 MAC 接收地址 A 寄存器（RX_ADDRA），MAC 接收地址 B 寄存器（RX_ADDRB）和 MAC 接收地址 C 寄存器（RX_ADDRC）中设置所需的 MAC 地址，以引起唤醒事件。

2．将唤醒控制和状态寄存器（WUCSR）的 Perfect DA Wakeup Enable（PFDA_EN）位置 1 以启用理想 DA 检测。

3．设置中断屏蔽寄存器中的第 8 位（WoL 事件指示符）以使 WoL 事件触发 nINT 中断引脚的置位。

触发匹配后，nINT 中断引脚将置为有效，中断源标志寄存器的第 8 位将被置位，唤醒控制和状态寄存器（WUCSR）的已接收理想 DA 帧（PFDA_FR）位将被置位。

【注意】另外，**LED1/nINT/nPME** 或 **LED2/nINT/nPME** 引脚可用于指示 WoL 事件。有关更多信息，请参见章节 3.8.4“LAN 唤醒（WoL）”

3.8.4.2 广播检测

启用后，当接收到目标地址值为 FF FF FF FF FF FF 的帧时，广播检测模式允许触发 **nINT** 或 **nPME** 引脚。帧还必须通过 FCS 和数据包长度检查。

例如，主机系统必须执行以下步骤，以使芯片能够在检测到广播 WoL 事件时置 nINT 为有效：

1．将唤醒控制和状态寄存器（WUCSR）的广播唤醒使能（BCST_EN）位置 1，以启用广播检测。

2．将中断屏蔽寄存器中的第 8 位（WoL 事件指示器）置 1，以使 WoL 事件触发 nINT 中断引脚的置位。

触发匹配后，nINT 中断引脚将置为有效，中断源标志寄存器的第 8 位将被置位，唤醒控制和状态寄存器（WUCSR）的已接收广播帧（BCAST_FR）位将被置位。

【注意】另外，LED1/nINT/nPME 或 LED2/nINT/nPME 引脚可用于指示 WoL 事件。有关更多信息，请参见章节 3.8.4“LAN 唤醒（WoL）”

3.8.4.3 魔术包检测

启用后，魔术包检测模式允许在接收到魔术包帧时触发 nINT 或 nPME 引脚。魔术包是发送到芯片的帧-可以是单播到编程地址，也可以是广播-它在目标和源地址字段后衔接 48’hFF_FF_FF_FF_FF_FF，后跟 16 个重复的所需 MAC 地址（已加载）不会中断或中断到 MAC 接收地址 A 寄存器（RX_ADDRA），MAC 接收地址 B 寄存器（RX_ADDRB）和 MAC 接收地址 C 寄存器（RX_ADDRC）中。万一 16 个地址重复中断，逻辑将在传入帧中再次扫描 48’hFF_FF_FF_FF_FF_FF 模式。这 16 次重复可能在帧中的任何位置，但必须在同步流之前。帧还必须通过 FCS 检查和数据包长度检查。

例如，如果所需地址为 00h 11h 22h 33h 44h 55h，则逻辑将在以太网帧中扫描以下数据序列：

目的地址源地址…FF FF FF FF FF FF

00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55

00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55

00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55

00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55

…FCS

例如，主机系统必须执行以下步骤，以使芯片能够在检测到 Magic Packet WoL 事件时置 nINT 为有效：

1．在 MAC 接收地址 A 寄存器（RX_ADDRA），MAC 接收地址 B 寄存器（RX_ADDRB）和 MAC 接收地址 C 寄存器（RX_ADDRC）中设置所需的 MAC 地址，以引起唤醒事件。

2．将唤醒控制和状态寄存器（WUCSR）的魔术包使能（MPEN）位置 1，以启用魔术包检测。

3．设置中断屏蔽寄存器中的第 8 位（WoL 事件指示符）以使 WoL 事件触发 nINT 中断引脚的置位。

触发匹配时，nINT 中断引脚将置为有效，中断源标志寄存器的第 8 位将被置 1，唤醒控制和状态寄存器（WUCSR）的已接收魔术包（MPR）位将被置 1。

【注意】另外，**LED1/nINT/nPME** 或 **LED2/nINT/nPME** 引脚可用于指示 WoL 事件。有关更多信息，请参见章节 3.8.4“LAN 唤醒（WoL）”。

3.8.4.4 唤醒帧检测

使能后，唤醒帧检测模式允许在收到预编程的唤醒帧时触发 **nINT** 或 **nPME** 引脚。唤醒帧检测为系统设计人员提供了一种方法，可通过可编程的唤醒帧过滤器检测数据包中的自定义模式。该过滤器具有一个 128 位的字节掩码，该掩码指示检测逻辑应比较帧的哪些字节。在这些字节上计算出 CRC-16。然后将结果与过滤器的 CRC-16 进行比较，以确定是否存在匹配项。接收到唤醒模式后，唤醒控制和状态寄存器（WUCSR）的“接收远程唤醒帧（WUFR）”位置 1。

如果启用，过滤器还可以在帧的目标地址和 MAC 接收地址 A 寄存器（RX_ADDRA），MAC 接收地址 B 寄存器（RX_ADDRB）和 MAC 接收地址 C 寄存器（RX_ADDRC）中指定的地址之间进行比较。指定的地址可以是单播或组播。如果启用了地址匹配，则仅编程的单播或多播地址将被视为匹配。可以分别启用非特定的多播地址和广播地址。地址匹配结果在逻辑上为“或”（即特定地址匹配结果或任何多播结果或广播结果）。

通过配置唤醒过滤器配置寄存器 A（WUF_CFGA）来确定是否启用过滤器以及是否检查了目标地址。在启用过滤器之前，应用程序必须为检测逻辑提供样本帧和相应的字节掩码。通过写入唤醒过滤器配置寄存器 A（WUF_CFGA），唤醒过滤器配置寄存器 B（WUF_CFGB）和唤醒过滤器字节掩码寄存器（WUF_MASK）来提供此信息。帧内的起始偏移量和滤波器的预期 CRC-16，分别由“滤波器模式偏移”和“滤波器 CRC-16”字段确定。

如果启用了远程唤醒模式，则远程唤醒功能会通过过滤器检查每个帧，并在通过过滤器的地址过滤和 CRC 值匹配时将该帧识别为远程唤醒帧。

模式偏移量定义了应该在帧中检查的第一个字节的位置。字节掩码是一个 128 位的字段，用于指定是否应检查帧中从模式偏移开始的 128 个连续字节中的每个字节。如果设置了字节掩码中的位，则检测逻辑将检查帧中的字节（模式偏移+j），否则将忽略字节（模式偏移+j）。

CRC-16 检查过程完成后，将使用模式偏移量和字节掩码计算出的 CRC-16 与与过滤器关联的预期 CRC-16 值进行比较。如果发生匹配，则发出远程唤醒事件信号。帧还必须通过 FCS 检查和数据包长度检查。表 3-7 列出了产生唤醒事件的情况。其他所有情况都不会产生唤醒事件。

表 3-14 唤醒生成案例

过滤器已启用	帧类型	CRC 匹配	地址匹配已启用	任何启用了 MCAST 的	启用 BCAST	帧地址匹配
YES	单播	YES	NO	X	X	X
YES	单播	YES	YES	X	X	YES
YES	多播	YES	X	YES	X	X
YES	多播	YES	YES	NO	X	YES
YES	广播	YES	X	X	YES	X

例如，主机系统必须执行以下步骤，以使芯片能够在检测到唤醒帧 WoL 事件时置 nINT 为有效：

声明模式：

1．更新唤醒过滤器字节掩码寄存器（WUF_MASK）以指示要匹配的有效字节。

2．离线计算有效字节的 CRC-16 值，并更新唤醒过滤器配置寄存器 B（WUF_CFGB）。CRC-16 计算如下：

在帧的开始，以值 FFFFh 初始化 CRC-16。当模式偏移量和掩码指示接收的字节是校验和计算的一部分时，将更新 CRC-16。当时使用以下算法更新 CRC-16：

设定：

^表示互斥或运算符。

Data[7:0]是要包含在校验和中的接收数据字节。

CRC[15:0]包含计算出的 CRC-16 校验和。

F0…F7 是中间结果，当确定数据字节为 CRC-16 的一部分时计算得出。

计算：

F0=CRC[15]^Data[0]

F1=CRC[14]^F0^Data[1]

F2=CRC[13]^F1^Data[2]

F3=CRC[12]^F2^Data[3]

F4=CRC[11]^F3^Data[4]

F5=CRC[10]^F4^Data[5]

F6=CRC[09]^F5^Data[6]

F7=CRC[08]^F6^Data[7]

CRC-32 更新如下：

CRC[15]=CRC[7]^F7

CRC[14]=CRC[6]

CRC[13]=CRC[5]

CRC[12]=CRC[4]

CRC[11]=CRC[3]

CRC[10]=CRC[2]

CRC[9]=CRC[1]^F0

CRC[8]=CRC[0]^F1

CRC[7]=F0^F2

CRC[6]=F1^F3

CRC[5]=F2^F4

CRC[4]=F3^F5

CRC[3]=F4^F6

CRC[2]=F5^F7

CRC[1]=F6

CRC[0]=F7

3．确定偏移量模式，偏移量 0 为目标地址的第一个字节。在唤醒滤波器配置寄存器 A（WUF_CFGA）的“滤波器模式偏移”字段中更新偏移。

确定地址匹配条件：

4．根据表 3-7 确定地址匹配方案，并相应地更新唤醒过滤器配置寄存器 A（WUF_CFGA）的过滤器广播使能，过滤任何多播使能和地址匹配使能位。

5．如有必要（请参阅步骤 4），请在 MAC 接收地址 A 寄存器（RX_ADDRA），MAC 接收地址 B 寄存器（RX_ADDRB）和 MAC 接收地址 C 寄存器（RX_ADDRC）中设置所需的 MAC 地址以引起唤醒事件。

6．将唤醒滤波器配置寄存器 A（WUF_CFGA）的滤波器使能位置 1 以使能滤波器。

启用唤醒帧检测：

7．将唤醒控制和状态寄存器（WUCSR）的唤醒帧使能（WUEN）位置 1，以启用唤醒帧检测。

8．将中断屏蔽寄存器中的第 8 位（WoL 事件指示符）置 1，以使 WoL 事件触发 nINT 中断引脚的置位。

【注意】另外，LED1/nINT/nPME 或 LED2/nINT/nPME 引脚可用于指示 WoL 事件。有关更多信息，请参见章节 3.8.4“LAN 唤醒（WoL）”。

内部资料

3.8.5 高效节能以太网

FCP1140 器件支持 IEEE 802.3az 高效节能以太网（EEE）。EEE 功能是通过 EDPD NLP/交叉时间/EEE 配置寄存器的高效节能以太网使能位（PHYEEEEN）启用的。

在默认情况下，高效节能以太网是禁用的。为了使用 EEE，必须满足以下条件：

- 该芯片必须配置在 MII 模式（**RMIISEL** 配置引脚为低电平）
- **nINT/TXER/TXD4** 引脚必须配置为 TXER/TXD4（**nINTSEL** 配置引脚为低电平）
- EEE 功能必须通过 EDPD NLP/交叉时间/EEE 配置寄存器的 PHYEEEEN 位来使能
- MMD EEE 通告寄存器 100BASE-TX EEE 位必须置 1
- 选定的 MAC 和链路伙伴必须支持并配置为 EEE 操作
- 器件和链路伙伴必须链接在 100BASE-TX 全双工模式

PHYEEEEN 位的值能够影响以下寄存器位的默认值:

- MMD EEE 能力寄存器 100BASE-TX EEE 位
- MMD EEE 通告寄存器 100BASE-TX EEE 位

【注意】EEE 不能在 RMII 模式中使用。

【注意】由于 nINT 和 TXER 在同一引脚上复用，当 EEE 和 WoL 都启用时，nINT 和/或 nPME 必须在 LED1 和/或 LED2 中使用 nPME。有关更多信息，请参见章节 3.8.1 “LED” 和章节 3.8.4 “LAN 唤醒（WoL）”。

3.8.6 隔离模式

通过将基本控制寄存器的隔离位设置为“1”，可以将设备 MII/RMII 接口电气隔离。在隔离模式下，收发器不响应 TXD，TXEN 和 TXER 输入，但是响应管理事务。

隔离为将多个收发器连接到同一 MII/RMII 接口而不争用提供了一种方法。默认情况下，收发器不是隔离的（上电时（隔离=0））。

3.8.7 复位

该设备提供两种复位形式：硬件和软件。设备寄存器通过硬件和软件复位进行复位。选择寄存器位（在寄存器定义中指示为“NASR”）不会通过软件复位来清除。寄存器不会通过章节 3.8.3 “掉电模式” 中所述的掉电模式复位。

【注意】复位后的前 16us，MII/RMII 接口将以 2.5MHz 运行。在此时间之后，如果启用了自动协商，它将切换到 25MHz。

3.8.7.1 硬件复位

通过将 nRST 输入引脚驱动为低电平来实现硬件复位。在驱动时，应将 nRST 保持低电平，保持在章节 5.6.3 “上电 nRST 和配置引脚时序” 中详细说明的最短时间，以确保正确进行收发器复位。

在硬件复位期间，必须向 XTAL1/CLKIN 信号提供一个外部时钟。

【注意】上电后需要进行硬件复位（置 nRST 为有效）。有关更多信息，请参见章节 5.6.3 “上电 nRST 和配置引脚时序”。

3.8.7.2 软件复位

通过将基本控制寄存器的软复位位设置为“1”，可以激活软件复位。除寄存器定义中标为“NASR”的寄存器位外，所有寄存器位均通过软件复位清除。软复位是自清除的。

根据 IEEE 802.3u 标准第 22 节（22.2.4.1.1），复位过程将在该位置 1 到 0.5s 内完成。

3.8.8 载波侦听

载波侦听（CRS）在 MII 模式下 CRS 引脚上输出，在 RMII 模式下 CRS_DV 引脚上输出。CRS 是由 IEEE 802.3u 标准中的 MII 规范定义的信号。每当收发器处于中继器模式或全双工模式时，设备仅基于接收活动来声明 CRS。否则，收发器根据发送或接收活动声明 CRS。

载波侦听逻辑使用编码的未加密数据来确定载波活动状态。它通过检测任何 10 位范围内的 2 个非连续零来激活载波侦听。如果在/J/K/流起始定界符对之前检测到连续的 10 个跨度，则载波侦听终止。如果检测到 SSD 对，则在检测到/T/R/流结束定界符对或一对 IDLE 符号之前，将确定载波侦听。在/T/符号或第一个 IDLE 之后，运算符取反。如果/T/后没有/R/，则保持载波。对于 IDLE，其后跟一些非 IDLE 符号，对运营商的处理方式相似。

3.8.9 冲突检测

冲突是同时发送和接收操作时发生的。该 COL 输出表明已经检测到冲突。在冲突持续的时间中，COL 仍然活跃。COL 在 RXCLK 和 TXCLK 上都发生了变化。在全双工模式下，COL 输出变得不活跃。

可通过设置基本控制寄存器的冲突测试位到“1”来使能冲突测试。COL 将在 TXEN 上升的 512 位的时间内被声明，并将在 TXEN 下降的 4 位时间内被删除。

3.8.10 链接完整性测试

器件执行 IEEE 802.3u（第 24-15 节）链接监视器状态图中概述的链接完整性测试。链接状态与 10Mbps 链接状态多路复用，以形成基本状态寄存器中的链接状态位并驱动 LINK LED（LED1）。

DSP 使用内部 DATA_VALID 信号向 Link Monitor 状态机指示 ANSI X3.263 TPPMD 标准所定义的 RXP 和 RXN 信号上存在的有效 MLT-3 波形。置 DATA_VALID 为有效时，控制逻辑进入 Link-Ready 状态，并等待自动协商模块的启用。接收到链接状态后，进入发送和接收逻辑块。如果禁用自动协商，则在 DATA_VALID 有效时，链路完整性逻辑会立即移至 Link-Up 状态。

为了使线路稳定，从声明 DATA_VALID 到进入 Link-Ready 状态，链路完整性逻辑将至少等待 330ms。如果 DATA_VALID 输入在任何时候都被取反，则该逻辑将立即使 Link 信号取反并进入 Link-Down 状态。

当 10/100 数字模块处于 10BASE-T 模式时，链接状态是从 10BASE-T 接收器逻辑得出的。

3.8.11 电缆诊断

片提供电缆诊断功能，可以检测以太网电缆的开路/短路和长度。电缆诊断包括两种主要的操作模式：

- 时域反射法（TDR）电缆诊断

TDR 电缆诊断可检测 TX 或 RX 对上的开路或短路电缆，以及估计开路/短路故障的电缆长度。

- 匹配的电缆诊断

程序匹配的电缆诊断程序可以估算 100Mbps 链接的电缆的电缆长度。

有关每种电缆诊断模式的正确操作的详细信息，请参见以下小节。

3.8.11.1 时域反射仪（TDR）电缆诊断

芯片提供 TDR 电缆诊断功能，该功能可检测 TX 或 RX 对上的开路或短路电缆，以及估计开路/短路故障的电缆长度。要使用 TDR 电缆诊断，必须禁用自动 MDIX 和自动协商，并且必须将设备强制设置为 100Mb 全双工模式。必须在将 TDR 控制/状态寄存器中的 TDR 使能位置 1 之前执行这些操作。

在禁用自动交叉的情况下，TDR 将测试由寄存器位 27.15（AMDIXCTRL）选择的 TX 或 RX 对。正确的电缆测试应包括每对电缆的测试。TDR 测试完成后，可以恢复先前的寄存器设置。如图 3-16 所示提供了正确使用 TDR 的流程图。

内部资料

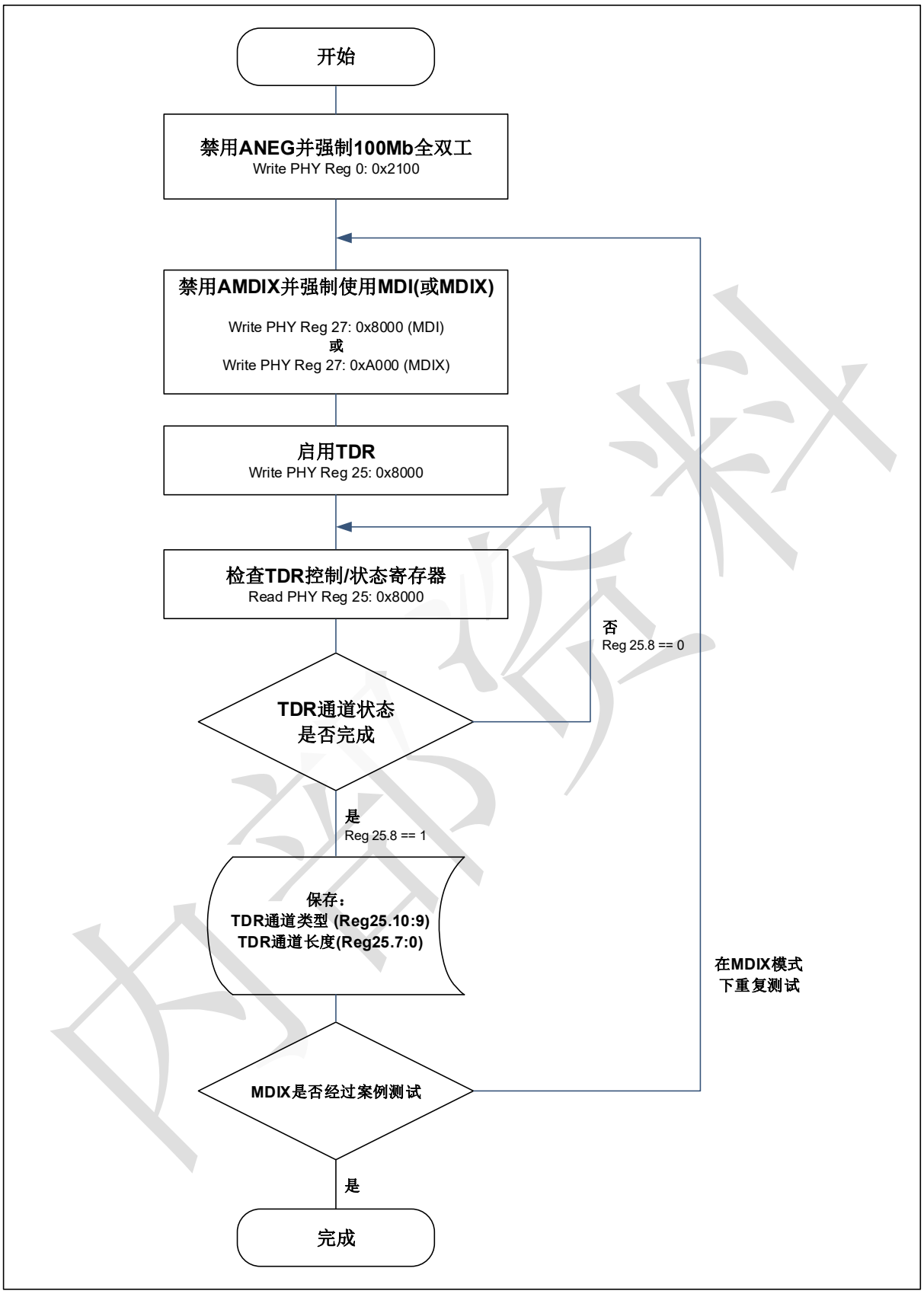


图 3-16 TDR 使用流程图

内部资料

TDR 通过在以太网电缆（MDI 模式下为 TX，MDIX 模式下为 RX）内的选定双绞线上传输脉冲来工作。如果被测线对开路或短路，则阻抗不连续会导致反射信号，该信号可由芯片检测到。 芯片测量发射信号和接收到的反射之间的时间，并在 TDR 控制/状态寄存器的 TDR 通道长度字段中指示结果。TDR 通道长度字段表示电缆的“电气”长度，可以乘以表 3-8 中的适当传播常数，以确定到故障的近似物理距离。

【注意】当链接不可操作时，通常使用 TDR 功能。但是操作 TDR 时，活动链接将断开。

由于 TDR 依赖于未正确端接的电缆的反射信号，因此有几个因素会影响物理长度估算的准确性。这些包括：

1．电缆类型（CAT5，CAT5e，CAT6）：由于内部信号对的转数和信号传播速度的差异，每种电缆的电气长度略有不同。如果已知电缆类型，则可以使用适合电缆类型的传播常数来更精确地计算长度估计值（请参见表 3-8）。在许多实际应用中，电缆类型是未知的，或者可能是不同电缆类型和长度的混合。在这种情况下，请将传播常数用于“未知”电缆类型。

2．TX 和 RX 对：对于每种电缆类型，EIA 标准为以太网电缆中的每个信号对指定不同的双绞率（每米扭曲）。这会导致 RX 和 TX 对的测量结果不同。

3．实际电缆长度：估算的电缆长度和实际的电缆长度之间的差异会随着物理电缆长度的增加而增加，最准确的结果是在小于约 100m 的范围内。

4．断路/短路情况：断路和短路情况将返回到故障的相同物理距离的不同的 TDR 通道长度值（电气长度）。通过使用不同的传播常数来计算电缆的物理长度，可以对此进行补偿。

对于开路情况，到故障的估计距离可以计算如下：

到开路故障的距离（单位：米）≈TDR 通道长度×POPEN

其中：POPEN 是从表 3-15 中选择的传播常数。

对于短路情况，到故障的估计距离可以计算如下：

到短路故障的距离（单位：米）≈TDR 通道长度×PSHORT

其中：PSHORT 是从表 3-15 中选择的传播常数。

表 3-15 TDR 传播常数

TDR 传播常数	电缆类型			
	未知	CAT 6	CAT 5E	CAT 5
P_{OPEN}	0.769	0.745	0.76	0.85
P_{SHORT}	0.793	0.759	0.788	0.873

对于开路和短路情况，典型的电缆长度测量误差范围取决于所选的电缆类型以及开路/短路与设备的距离。表 3-15 和表 3-16 分别详细说明了开路和短路案例的典型测量误差。

表 3-16 裸线的典型测量误差（±米）

到故障的物理距离	选定的传播常数			
	POPEN=未知	POPEN=CAT 6	POPEN=CAT 5E	POPEN=CAT 5
CAT 6 电缆 0-100m	9	6		
CAT 5E 电缆 0-100m	5		5	
CAT 5 电缆 0-100m	13			3
CAT 6 电缆 101-160m	14	6		
CAT 5E 电缆 101-160m	8		6	
CAT 5 电缆 101-160m	20			6

表 3-17 短电缆的典型测量误差（±米）

到故障的物理距离	选定的传播常数			
	POPEN = 未知	POPEN = CAT 6	POPEN = CAT 5E	POPEN = CAT 5
CAT 6 电缆 0-100m	8	6		
CAT 5E 电缆 0-100m	5		5	
CAT 5 电缆 0-100m	11			2
CAT 6 电缆 101-160m	14	6		
CAT 5E 电缆 101-160m	7		6	
CAT 5 电缆 101-160m	11			3

3.8.11.2 匹配的电缆诊断

匹配的电缆诊断程序可以估计最长 120 米的 100Mbps 链接电缆的电缆长度。如果有活动的 100Mb 链路，则可以使用电缆长度寄存器估算到链路伙伴的近似距离。如果电缆正确端接，但是没有活动的 100Mb 链接（链接伙伴已禁用，无法运行，链接处于 10Mb 等），则无法估计电缆长度，应忽略电缆长度寄存器。到链路伙伴的估计距离可以通过表 3-18 中提供的电缆长度（CBLN）查找表来确定。匹配的电缆盒的典型电缆长度测量误差范围为±20 m。匹配的电缆长度误差范围对于从 0 到 120 m 的所有电缆类型都是一致的。

表 3-18 匹配情况估计的电缆长度（CBLN）查找表

CBLN 字段值	估计电缆长度
0-3	0
4	6
5	17
6	27
7	38
8	49
9	59
10	70
11	81
12	91
13	102
14	113
15	123

【注】对于正确端接的电缆（匹配盒），没有反射信号。在这种情况下，“TDR 通道长度”字段无效，应忽略。

内部资料

3.8.12 回环操作

可以将芯片配置为连接回环、近端回环和远端回环。以下各小节将详细介绍这些环回模式。

3.8.12.1 近端回环

近端回环模式将数字发送数据发送回接收数据信号以进行测试，如图 3-17 所示。通过将基本控制寄存器的回环位设置为“1”来启用近端回环模式。数字电路的大部分都是可在近端回环模式下工作，因为数据在回环之前已通过 PCS 和 PMA 层路由到 PMD 子层。在这种模式下，除非在基本控制寄存器中使能冲突测试，否则 COL 信号将处于不活动状态。不论 TXEN 的状态如何，发送器都将掉电。参考章节 5.6.4.3 “100Mbps 内部环回 MII 时序”部分，用于额外的回环计时信息。

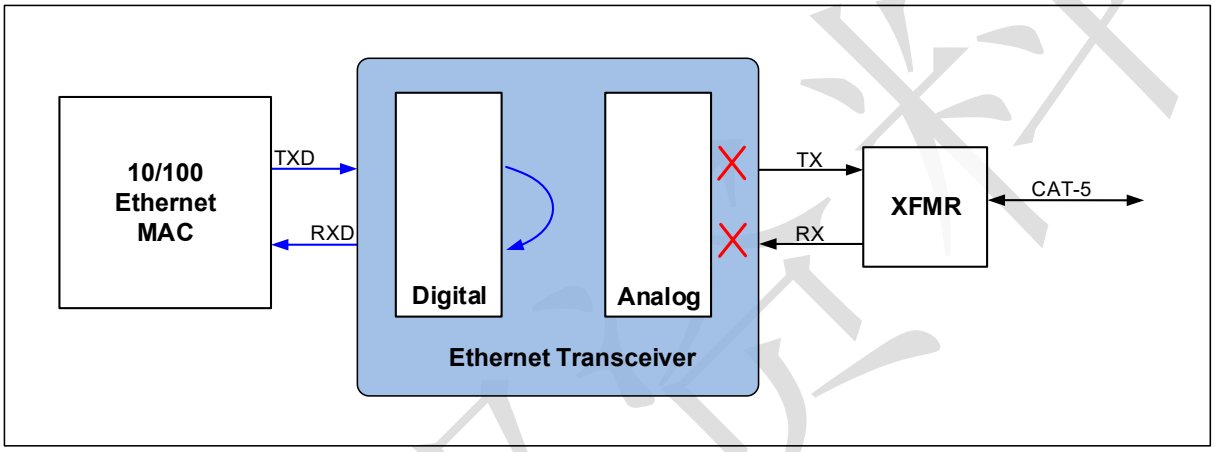


图 3-17 近端回环框图

3.8.12.2 远端回环

远端回环是 MDI（模拟）回环的一种特殊测试模式，如图所示。通过将模式控制/状态寄存器的 FARLOOPBACK 位置 1，可以开启远端回环模式。在这种模式下，将从 MDI 上的链接伙伴接收到的数据循环回链接伙伴。本地 MAC 接口上的数字接口信号是隔离的。

【注意】这种特殊的测试模式只有在 RMII 模式下操作时才可用。

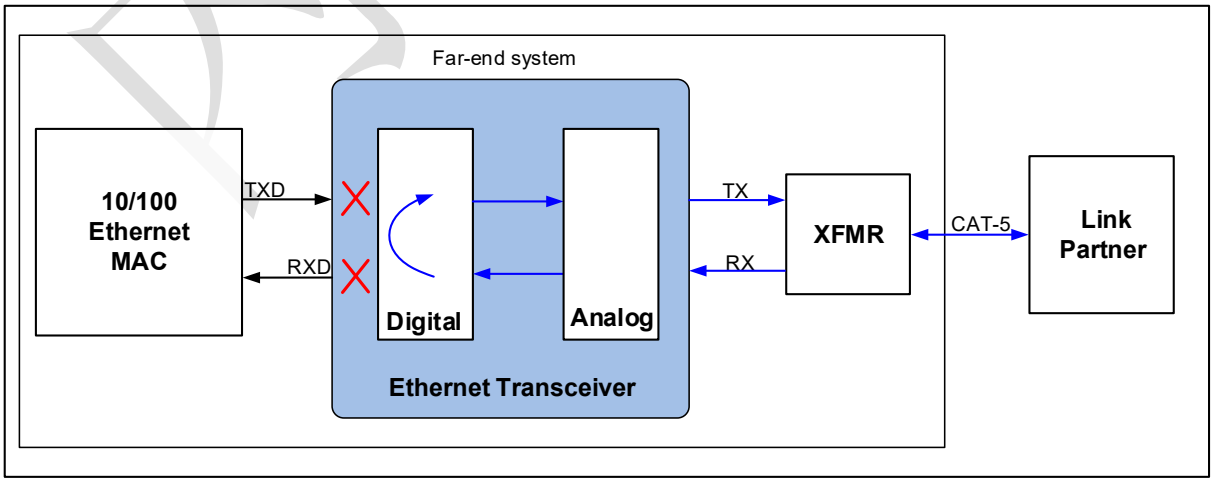


图 3-18 远端回环框图

3.8.12.3 连接回环

该芯片可通过非常短的电缆保持可靠的传输，并且可以在连接环回中进行测试，如图 3-19 所示。RJ45 回送电缆可用于将传输信号从变压器的输出路由回接收器输入。回环可工作在 10Mbps 和 100Mbps 下。

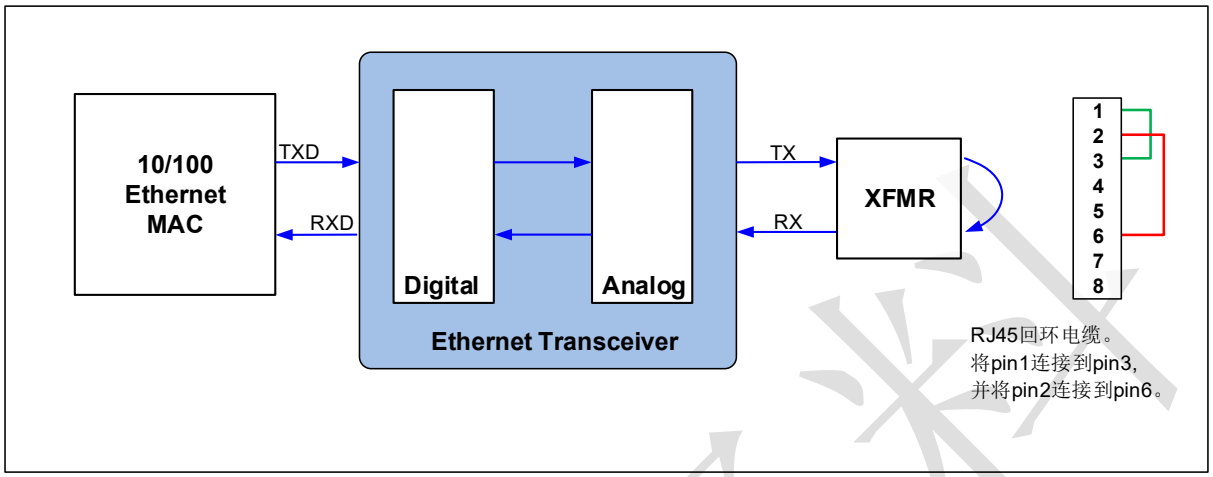


图 3-19 连接回环框图

内部资料

3.9 应用图

本节提供了以下方面的典型应用图：

- 简化的系统级应用图
- 电源图（由内部稳压器提供 1.2V）
- 电源图（由外部电源提供 1.2V）
- 双绞线接口图（单电源）
- 双绞线接口图（双电源）耗材）

3.9.1 简化的系统级别应用程序图

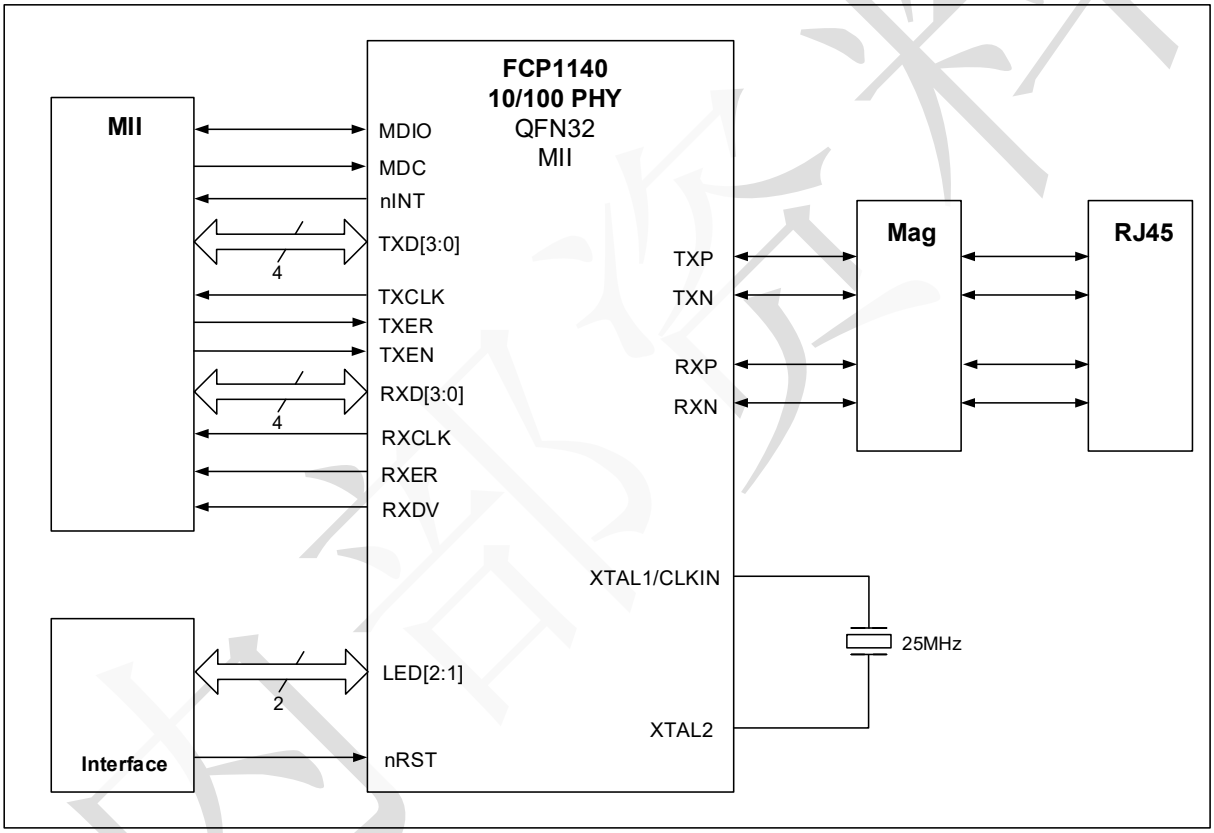


图 3-20 简化的系统级应用框图（FCP1140）

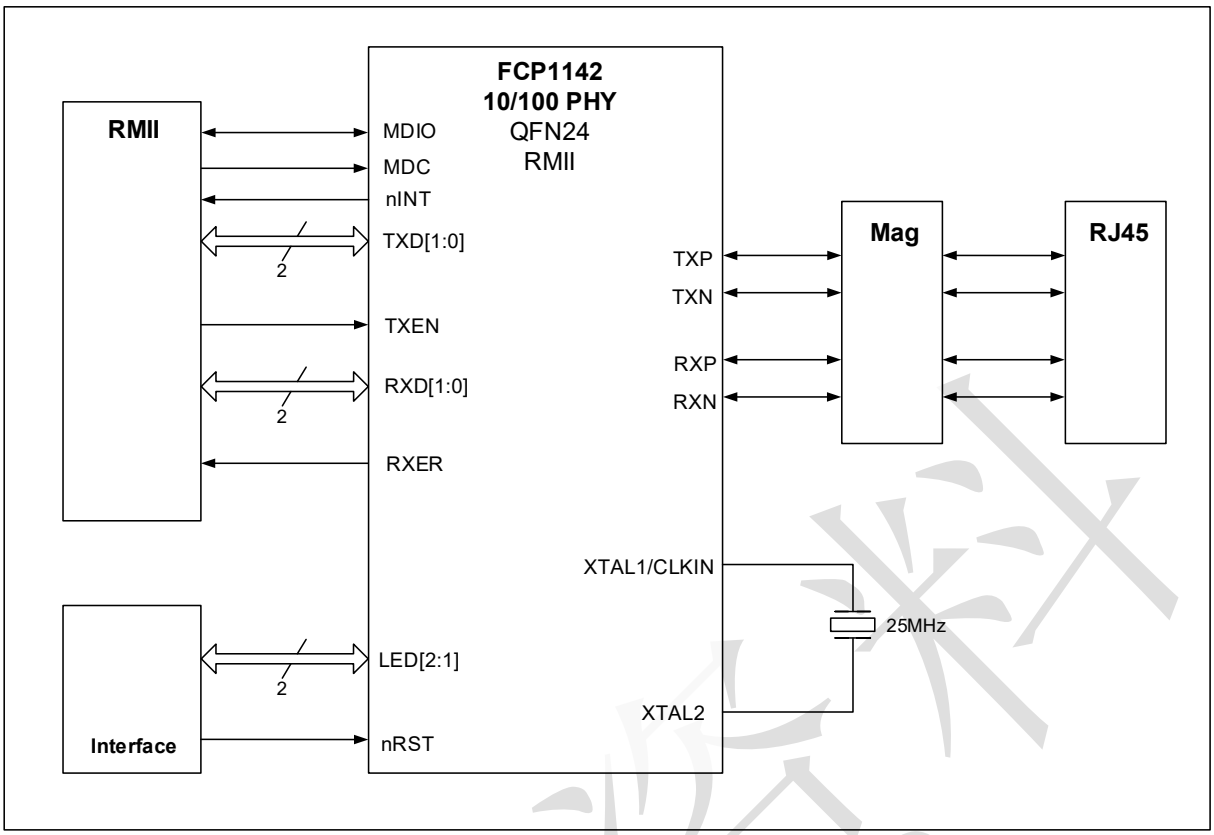


图 3-21 简化的系统级应用框图（FCP1142）

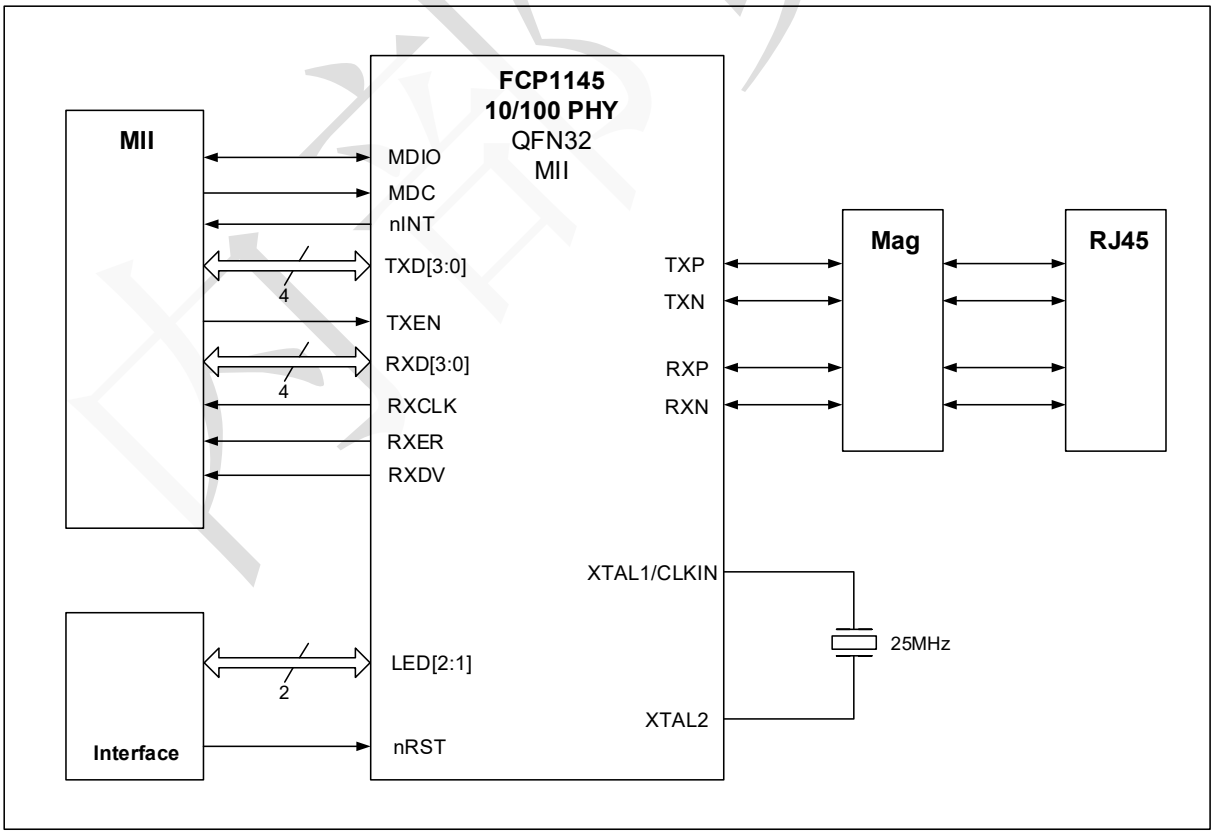


图 3-22 简化的系统级应用框图（FCP1145）

3.9.2 电源图（内部稳压器提供的 1.2V 电源）

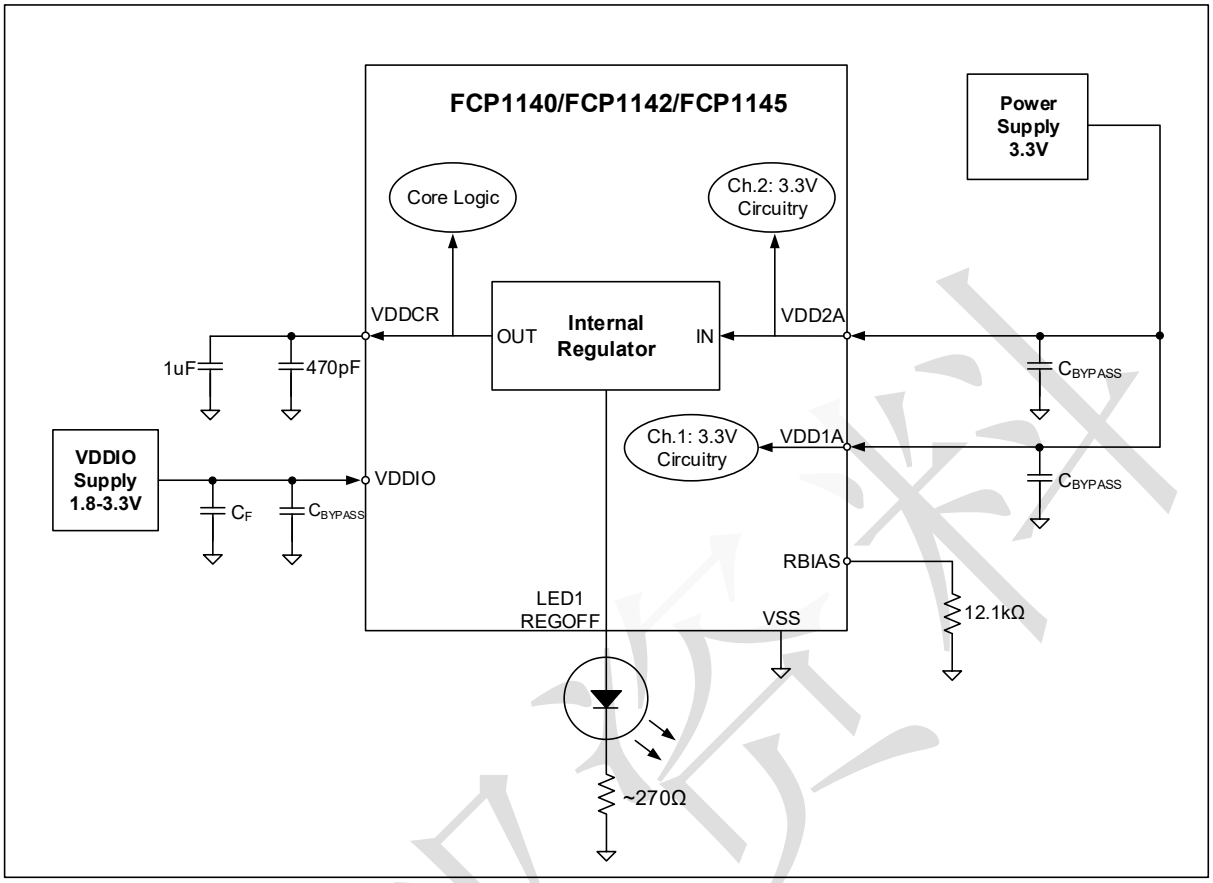


图 3-23 电源框图（由内部稳压器提供的 1.2V）

内部资料

3.9.3 电源图（1.2V 由外部电源供电）

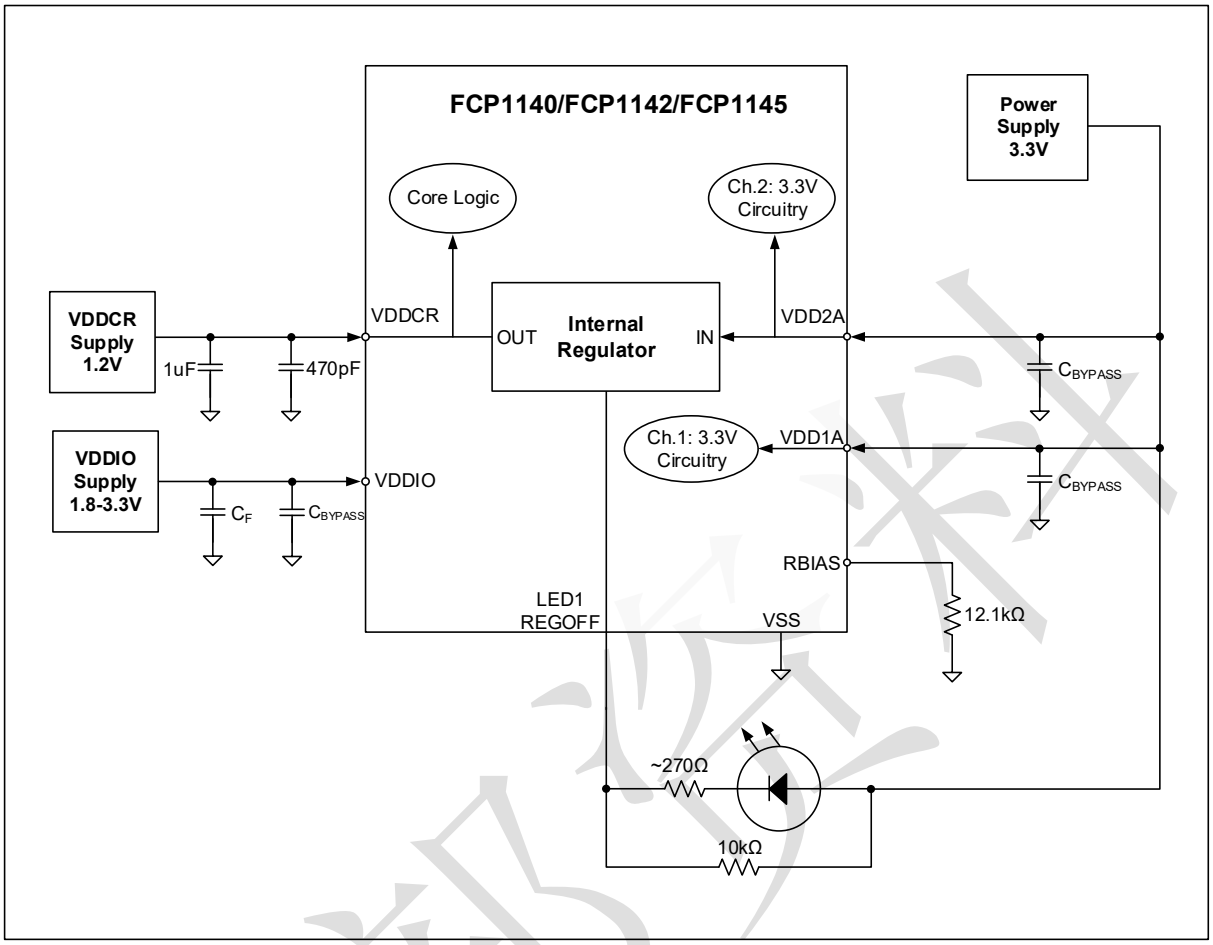


图 3-24 电源框图（由外部电源提供的 1.2V）

内部资料

3.9.4 双绞线接口图（单电源）

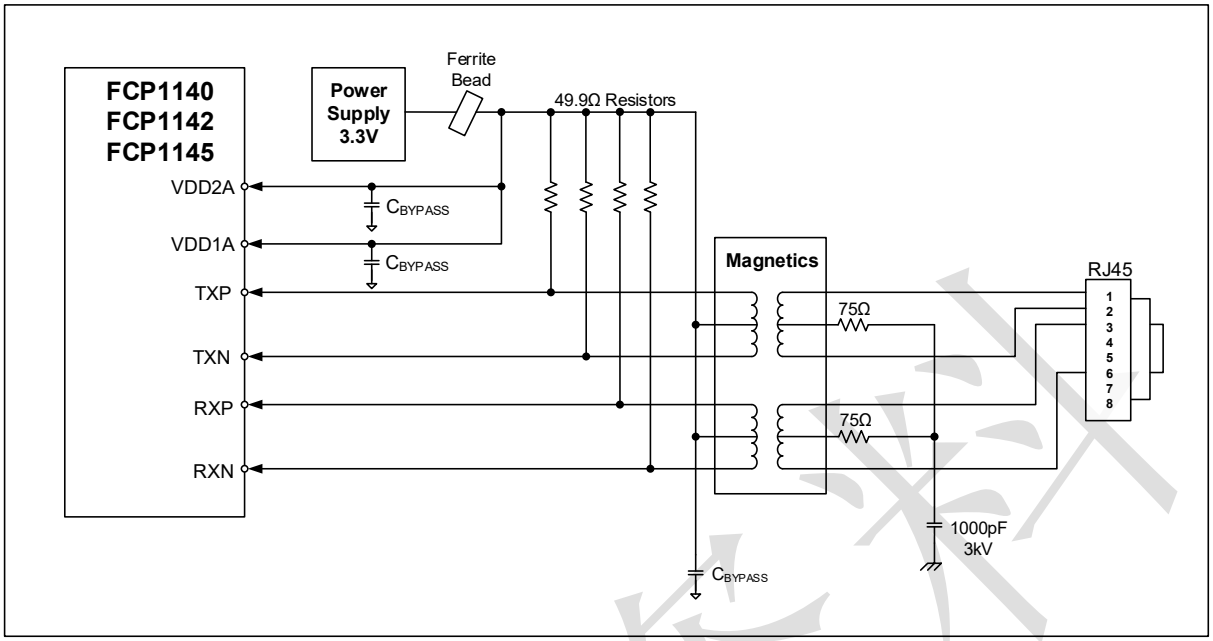


图 3-25 双绞线接口（单电源）

3.9.5 双绞线接口图（双电源）

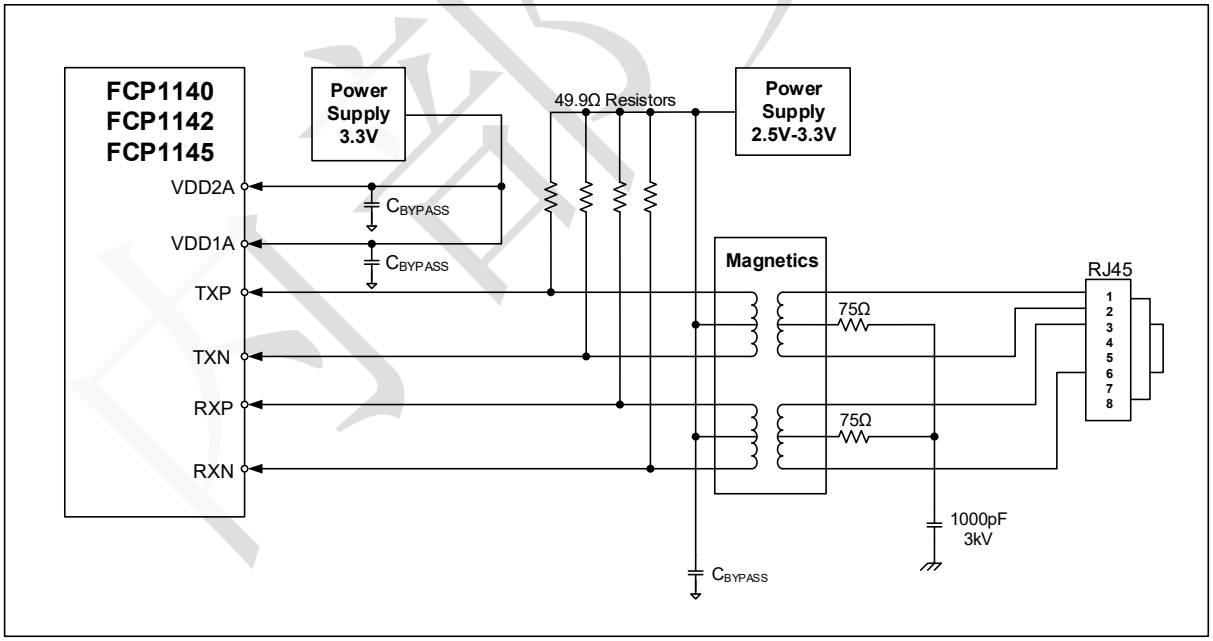


图 3-26 双绞线接口（双电源）

4 寄存器说明

本章介绍各种控制和状态寄存器（CSR）和 MDIO 可管理器件（MMD）寄存器。CSR 遵循 IEEE 802.3（条款 22.2.4）管理寄存器集。MMD 寄存器符合 IEEE 802.3-2008 45.2 MDIO 接口寄存器规范。所有功能和位定义均符合这些标准。每个 CSR 定义都包含 IEEE 802.3 指定的寄存器索引（十进制），从而允许通过串行管理接口（SMI）协议对这些寄存器进行寻址。可通过 MMD 访问控制寄存器和 MMD 访问地址/数据寄存器 CSR 间接访问 MMD 寄存器。

内部资料

4.1 控制和状态寄存器

表 4-1 列出了支持的寄存器。寄存器的详细信息（包括位定义）在后续小节中提供。

表 4-1 SMI 寄存器映射

寄存器索引（十进制）	寄存器名称	组
0	基本控制寄存器	基本的
1	基本状态寄存器	基本的
2	PHY 标识符 1 寄存器	扩展的
3	PHY 标识符 2 寄存器	扩展的
4	自动协商通告寄存器	扩展的
5	自动协商链路伙伴能力寄存器	扩展的
6	自动协商扩展寄存器	扩展的
7	自动协商下一页 TX 寄存器	扩展的
8	自动协商下一页 RX 寄存器	扩展的
12	配置值读出寄存器	供应商特定
13	MMD 访问控制寄存器	扩展的
14	MMD 访问地址/数据寄存器	扩展的
16	EDPD NLP/交叉时间/EEE 配置寄存器	供应商特定
17	模式控制/状态寄存器	供应商特定
18	特殊模式寄存器	供应商特定
19	配置寄存器	供应商特定
24	TDR 模式/延迟控制寄存器	供应商特定
25	TDR 控制/状态寄存器	供应商特定
26	符号错误计数器寄存器	供应商特定
27	特殊控制/状态指示寄存器	供应商特定
28	电缆长度寄存器	供应商特定
29	中断源标志寄存器	供应商特定
30	中断屏蔽寄存器	供应商特定
31	PHY 特殊控制/状态寄存器	供应商特定

4.1.1 基本控制寄存器

索引（十进制）：0　　大小：16 位

位	描述	类型	默认值
15	软复位 1=软件复位。位是自清零。该位置 1 时，该寄存器中的其他位不能设置。 **【注】**配置（如章节 3.7.2.1 “MODE[2:0]：模式配置”中所述）是通过寄存器的位值而非模式引脚设置的。	R/W SC	0b
14	回环 0=正常工作 1=环回模式	R/W	0b
13	速度选择 0=10Mbps 1=100Mbps **【注】**如果使能了自动协商（0.12=1），则忽略。	R/W	**【注 1】**
12	自动协商使能 0=禁用自动协商过程 1=使能自动协商过程（覆盖 0.13 和 0.8）	R/W	**【注 1】**
11	掉电 0=正常工作 1=常规掉电模式	R/W	0b
10	隔离 0=正常工作 1=PHY 与 MII/RMII 电气隔离	R/W	0b
9	重新启动自动协商 0=正常工作 1=重新启动自动协商过程 **【注】**该位自清零。	R/W SC	0b
8	双工模式 0=半双工 1=全双工 **【注】**如果使能了自动协商（0.12=1），则忽略。	R/W	**【注 1】**
7:0	RESERVED	RO	-

【注 1】该位的默认值由 MODE[2:0]配置引脚决定。有关更多信息，请参见章节 3.7.2.1 “MODE[2:0]：模式配置”。

内部资料

4.1.2 基本状态寄存器

索引（十进制）：1　　大小：16 位

位	描述	类型	默认值
15	100BASE-T4 0=无 T4 能力 1=能够使用 T4	RO	0b
14	100BASE-TX 全双工 0=无 TX 全双工功能 1=具有全双工的 TX	RO	1b
13	100BASE-TX 半双工 0=无 TX 半双工能力 1=TX 有半双工	RO	1b
12	10BASE-T 全双工 0=无全双工 10Mbps 能力 1=全双工 10Mbps	RO	1b
11	10BASE-T 半双工 0=无半双工 10Mbps 能力 1=半双工 10Mbps	RO	1b
10	100BASE-T2 全双工 0=PHY 无法执行全双工 100BASE-T2 1=PHY 能够执行全双工 100BASE-T2	RO	0b
9	**100BASE-T2 半双工** 0=PHY 无法执行半双工 100BASE-T2 1=PHY 能够执行半双工 100BASE-T2	RO	0b
8	扩展状态 0=寄存器 15 中没有扩展状态信息 1=寄存器 15 中有扩展状态信息	RO	0b
7:6	RESERVED	RO	-
5	自动协商完成 0=自动协商过程未完成 1=自动协商过程完成	RO	0b
4	远程故障 1=检测到远程故障情况 0=无远程故障	RO/LH	0b
3	**自动协商能力** 0=无法执行自动协商功能 1=能够执行自动协商功能	RO	1b
2	链接状态	RO/LL	0b

	0=链接已断开 1=链接已建立		
1	Jabber 检测 0=未检测到 Jabber 条件 1=检测到 Jabber 条件	RO/LH	0b
0	扩展功能 0=不支持扩展功能寄存器 1=支持扩展功能寄存器	RO	1b

4.1.3 PHY 标识符 1 寄存器

索引（十进制）：2　　大小：16 位

位	描述	类型	默认值
15:0	PHY ID 号 分配给组织唯一标识符（OUI）的第 3 至第 18 位。	R/W	0000h

4.1.4 PHY 标识符 2 寄存器

索引（十进制）：3　　大小：16 位

位	描述	类型	默认值
15:10	PHY ID 号 分配给组织唯一标识符（OUI）的第 19 至第 24 位。	R/W	0h
9:4	型号编号 六位制造商的型号	R/W	FCP1140: 11h FCP1142: 13h FCP1145: 12h
3:0	版本号 四位制造商的版本号	R/W	1h

【注】版本号字段的默认值可能会根据芯片版本号而有所不同。

4.1.5 自动协商通告寄存器

索引（十进制）：4　　大小：16 位

位	描述	类型	默认值
15	下一页 0=无下一页能力 1=有下一页能力	R/W	0b
14	RESERVED	RO	-
13	远程故障 0=无远程故障 1=检测到远程故障	R/W	0b
12	RESERVED	RO	-
11:10	暂停操作 00=无暂停 01=对称暂停 10=向链接伙伴通告非对称暂停 11=向本地设备通告对称暂停和非对称暂停 **【注】**如果同时设置了对称暂停和非对称暂停，则设备在自动协商完成后最多只能配置为两个设置之一。	R/W	00b
9	RESERVED	RO	-
8	100BASE-TX 全双工 0=无 TX 全双工能力 1=有全双工的 TX 能力	R/W	**【注 1】**
7	100BASE-TX 0=无 TX 能力 1=有 TX 能力	R/W	1b
6	10BASE-T 全双工 0=无 10Mbps 全双工能力 1=10Mbps 全双工	R/W	**【注 1】**
5	10BASE-T 0=无 10Mbps 的能力 1=有 10Mbps 的能力	R/W	**【注 1】**
4:0	选择器字段 00001=IEEE 802.3	R/W	0001b

【注 1】该位的默认值由 MODE[2:0]配置引脚决定。有关更多信息，请参见章节 3.7.2.1 “MODE[2:0]：模式配置”。

内部资料

4.1.6 自动协商链路伙伴能力寄存器

索引（十进制）：5　　大小：16 位

位	描述	类型	默认值
15	下一页 0=无下一页能力 1=有下一页能力	RO	0b
14	应答 0=尚未从伙伴接收链路代码字 1=已从伙伴接收链路代码字	RO	0b
13	远程故障 0=无远程故障 1=检测到远程故障	RO	0b
12	RESERVED	RO	-
11:10	暂停操作 00=伙伴站不支持暂停 01=伙伴站支持对称暂停 10=伙伴站支持非对称暂停 11=伙伴站同时支持对称暂停和非对称暂停	RO	00b
9	100BASE-T4 0=无 T4 能力 1=有 T4 能力暂停 **【注】**该设备不支持 T4 能力。	RO	0b
8	100BASE-TX 全双工 0=无 TX 全双工能力 1=有全双工的 TX 能力	RO	0b
7	100BASE-TX 0=无 TX 能力 1=有 TX 能力	RO	0b
6	10BASE-T 全双工 0=无 10Mbps 全双工能力 1=10Mbps 全双工	RO	0b
5	10BASE-T 0=无 10Mbps 的能力 1=有 10Mbps 的能力	RO	0b
4:0	选择器字段 00001=IEEE802.3	RO	0001b

内部资料

4.1.7 自动协商扩展寄存器

索引（十进制）：6　　大小：16 位

位	描述	类型	默认值
15:7	RESERVED	RO	-
6	接收下一页存储单元的能力 0=不由 bit6.5 指定接收的下一页存储单元 1=由 bit6.5 指定接收的下一页存储单元	RO	1b
5	接收的下一页存储单元 0=链路伙伴的下一页存储在自动协商链路伙伴能力寄存器（PHY 寄存器 5）中 1=链路伙伴的下一页存储在自动协商下一页 RX 寄存器（PHY 寄存器 8）中	RO	1b
4	并行检测故障 0=未通过并行检测功能检测到故障 1=通过并行检测功能检测到故障	RO/LH	0b
3	链路伙伴的下一页能力 0=链路伙伴无下一页能力 1=链路伙伴有下一页能力	RO	0b
2	下一页能力 0=本地设备无下一页能力 1=本地设备有下一页能力	RO	1b
1	接收页面 0=未接收到新页面 1=已接收到新页面	RO/LH	0b
0	链路伙伴自动协商能力 0=链路伙伴不能自动协商 1=链路伙伴能够自动协商	RO	0b

4.1.8 自动协商下一页 TX 寄存器

索引（十进制）：7　　大小：16 位

位	描述	类型	默认值
15	下一页能力 0=无下一页能力 1=有下一页能力	R/W	0b
14	RESERVED	RO	-
13	报文页面 0=未格式化的页面 1=报文页面	R/W	1b
12	应答 2 0=器件无法符合报文要求 1=器件符合报文要求	R/W	0b
11	翻转（Toggle） 0=前一个值为高电平 1=前一个值为低电平	RO	0b
10:0	报文代码 报文/未格式化的代码字段	R/W	000 0000 0001b

内部资料

4.1.9 自动协商下一页 RX 寄存器

索引（十进制）：8　　大小：16 位

位	描述	类型	默认值
15	下一页能力 0=无下一页能力 1=有下一页能力	RO	0b
14	应答 0=尚未从伙伴接收链路代码字 1=已从伙伴接收链路代码字	RO	0b
13	报文页面 0=未格式化的页面 1=报文页面	RO	0b
12	应答 2 0=器件无法符合报文要求 1=器件符合报文要求	RO	0b
11	翻转（Toggle） 0=前一个值为高电平 1=前一个值为低电平	RO	0b
10:0	报文代码 报文/未格式化的代码字段	RO	000 0000 0000b

内部资料

4.1.10 配置值读出寄存器

索引（十进制）：12　　大小：16 位

位	描述（FCP1140）	描述（FCP1142）	描述（FCP1145）	类型	默认值
15	RESERVED			RO	1b
14	RESERVED			RO	1b
13	RESERVED			RO	0b
12	RESERVED			RO	【注 1】
11	RESERVED			RO	1b
10	RESERVED			RO	【注 2】
9	RESERVED			RO	【注 3】
8	RMIISEL	RESERVED	PHYAD4	RO	配置值
7	nINTSEL			RO	配置值
6	REGOFF			RO	配置值
5	MODE2		CFG_100FD	RO	配置值
4	MODE1		CFG_TXAUTOSFT	RO	配置值
3	MODE0		MI_DETECTION	RO	配置值
2	PHYAD2	RESERVED	PHYAD2	RO	配置值
1	PHYAD1	RESERVED	PHYAD1	RO	配置值
0	PHYAD0			RO	配置值

【注 1】对于 FCP1145，FCP1140 和 FCP1142 默认值为 1。

【注 2】对于 FCP1145，默认值为 0，对于 FCP1140 和 FCP1142 默认值为 1。

【注 3】对于 FCP1145 和 FCE1140，默认值为 0，对于 FCP1142 默认值为 1。

内部资料

4.1.11 MMD 访问控制寄存器

索引（十进制）：13　　大小：16 位

位	描述	类型	默认值
15:14	MMD 功能 此字段用于选择所需的 MMD 功能： 00=地址 01=数据，无后递增 10=RESERVED 11=RESERVED	R/W	00b
13:5	RESERVED	RO	-
4:0	MMD 设备地址（DEVAD） 该字段用于选择所需的 MMD 设备地址。 （3=PCS，7=自动协商，30=供应商特定）	R/W	0h

【注】该寄存器与 MMD 访问地址/数据寄存器一起提供对 MDIO 可管理器件（MMD）寄存器的间接访问。有关更多详细信息，请参见章节 4.2“MDIO 可管理器件（MMD）寄存器”。

4.1.12 MMD 访问地址/数据寄存器

索引（十进制）：14　　大小：16 位

位	描述	类型	默认值
15:0	MMD 寄存器地址/数据 如果 MMD 访问控制寄存器的 MMD 功能字段为“00”，则此字段用于指示 MMD 寄存器地址以读取/写入 MMD 设备地址（DEVAD）字段中指定的设备。否则，该寄存器用于从先前指定的 MMD 地址读取数据或将数据写入先前指定的 MMD 地址。	R/W	0000h

【注】该寄存器与 MMD 访问地址/数据寄存器一起提供对 MDIO 可管理器件（MMD）寄存器的间接访问。有关更多详细信息，请参见章节 4.2“MDIO 可管理器件（MMD）寄存器”。

4.1.13 EDPD NLP/交叉时间/EEE 配置寄存器

索引（十进制）：16　　大小：16 位

位	描述	类型	默认值
15	EDPD TX NLP 使能 在能量检测掉电（EDPD）模式下（EDPWRDOWN=1），该位允许以 EDPD TX NLP 间隔计时器选择字段定义的间隔传输单个 TX NLP。 0=禁用 TX NLP 1=处于 EDPD 模式时使能 TX NLP	R/W NASR	0b
14:13	EDPD TX NLP 间隔定时器选择 处于能量检测掉电（EDPD）模式（EDPWRDOWN=1）且 EDPD TX NLPEnable 为 1，此字段定义用于发送单个 TX NLP 的间隔。 00=1s（默认） 01=768ms 10=512ms 11=256ms	R/W NASR	00b
12	EDPD RX 单个 NLP 唤醒使能 在能量检测掉电（EDPD）模式下（EDPWRDOWN=1），该位使能在接收单个 RX NLP 时唤醒 PHY。 0=禁止 RX NLP 唤醒 1=处于 EDPD 模式时使能 TX NLP 唤醒	R/W NASR	0b
11:10	EDPD RX NLP 最大间隔检测选择 处于能量检测掉电（EDPD）模式（EDPWRDOWN=1）且 EDPD RX 单个 NLP 唤醒使能为 0，此字段定义检测两个要从 EDPD 模式唤醒的 RX NLP 的最大间隔。 00=64ms（默认） 01=256ms 10=512ms 11=1s	R/W NASR	00b
9:3	RESERVED	RO	-
2	PHY 高效节能以太网（PHYEEEEN） 0=禁用 EEE 操作 1=PHY 使能 EEE 操作 有关更多详细信息，请参见章节 3.8.5 “高效节能以太网”。	R/W NASR	0b （FCP1142 无此位）
1	EDPD 扩展交叉 在能量检测掉电（EDPD）模式下（EDPWRDOWN=1），将此位置 1 可将交叉时间延长 2976ms。 0=禁用交叉时间扩展 1=使能交叉时间扩展（2976ms）	R/W NASR	0b

内部资料

0	延长手动 10/100 Auto-MDIX 交叉时间 使能 Auto-MIDX 并且 PHY 处于手动 10BASE-T 或 100BASE-TX 模式下，将此位置 1 可将交叉时间延长 1984ms，以允许链接到自动协商链路伙伴 PHY。 0=禁用交叉时间扩展 1=使能交叉时间扩展（1984ms）	R/W NASR	1b

4.1.14 模式控制/状态寄存器

索引（十进制）：17　　大小：16 位

位	描述	类型	默认值
15:14	RESERVED	RO	-
13	能量检测掉电（EDPWRDOWN） 使能能量检测掉电（EDPD）模式： 0=禁止能量检测掉电 1=使能能量检测掉电 注：在 EDPD 模式下，可以通过 EDPD NLP/交叉时间/EEE 配置寄存器修改设备的 NLP 特性。	R/W	0b
12:10	RESERVED	RO	-
9	远端回环（FARLOOPBACK） 使能远端环回模式（即，所有接收到的数据包都以模拟方式发送回（仅在 100BASE-TX 中）。 0=禁用远端环回模式 1=使能远端环回模式 有关更多信息，请参见章节 3.8.12.2 “远端回环”。	R/W	0b
8:7	RESERVED	RO	-
6	ALTINT 备用中断模式： 0=使能主中断系统（默认） 1=使能备用中断系统 有关更多信息，请参见章节 3.6 “中断管理”。	R/W	0b
5:2	RESERVED	RO	-
1	能量开启（ENERGYON） 指示是否检测到能量。如果在 256 毫秒内未检测到能量，则该位变为“0”。通过硬件复位将其复位为“1”，而不受软件复位的影响。有关更多信息，请参见章节 3.8.3.3 “能量检测掉电（EDPD）”。	RO	1b
0	RESERVED	R/W	0b

内部资料

4.1.15 特殊模式寄存器

索引（十进制）：18　　大小：16 位

位	描述	类型	默认值
15	RESERVED	RO	-
14	MIIMODE 反映数字接口模式： 0=MII 模式 1=RMII 模式	RO	**【注 1】**
13:8	RESERVED	RO	-
7:5	模式（MODE） 收发器的操作模式。有关更多信息，请参见第 3.7.2 节“模式配置”。	R/W NASR	**【注 2】**
4:0	PHY 地址（PHYAD） PHY 地址。PHY 地址用于 SMI 地址和初始化加密（加扰器）密钥。 有关更多信息，请参见章节 3.7.1 “PHYAD[4,,2:0]：PHY 地址配置”。	R/W NASR	**【注 3】**

【注 1】FCP1142 无此位。该字段的默认值由 RMIISEL 配置引脚决定。有关更多信息，请参见章节 3.7.3“RMIISEL：MII/RMII 模式配置”。

【注 2】该字段的默认值由 MODE[2:0]配置引脚决定。有关更多信息，请参见章节 3.7.2.1 “MODE[2:0]：模式配置”。

【注 3】该字段的默认值由 PHYAD[2:0]配置引脚决定。有关更多信息，请参见章节 3.7.1“PHYAD[4,2:0]：PHY 地址配置”。

内部资料

4.1.16 配置寄存器

索引（十进制）：19　　大小：16 位

位	描述	类型	默认值
15	RESERVED	R/W	0b
14	控制选择 RMII 的 TxFIFO 1=使用配置寄存器 19 的位[13]控制 0=使用 PLL 输出 BYPS_RMII_TXFIFO 控制，默认使能 TxFIFO	R/W	0b
13	RMII 的 TxFIFO 1=禁用 TxFIFO 0=使能 TxFIFO	R/W	0b
12	设定 TX_AutoShift 同步采样的周期位置【注 1】 对 TXD 数据使用 125M 时钟进行同步采样，即每个 TXD 数据均有 5 个相同采样数据，第 2 和 3 均在中间位置，采样数据较为准确。 0=采样第 3 个数据作为有效输出 1=采样第 2 个数据作为有效输出	R/W	0b
11	MDIO 接口速率【注 1】 1=降低 MDIO 接口速率，MDC 最大频率 2.5MHz 0=提高 MDIO 接口速率，时序见章节 5.6.6“SMI Timing”	R/W	0b
10:8	MI 链路检测时译码选择每次重启自动协商的延时 位[10:8] / 重启自动协商的延时 0 / 10ms/μs 1 / 1ms/μs 2 / 2ms/μs 3 / 8ms/μs 5 / 16ms/μs 6 / 32ms/μs 7 / 64ms/μs	R/W	000b
7	MI 链路检测时重启自动协商的延时单位 1=使用 ms 为单位的延时 0=使用 μs 为单位的延时	R/W	0b
6	强制 TX_AutoShift 1=强制使用 TX_AutoShift 功能 0=选择配置打开 TX_AutoShift 功能（详见章节 3.7.6.1“TX 自动偏移配置”）	R/W	0b
5:4	可读出当前 TX_AutoShift 采样延时值（T 为 125M 时钟的周期，即 8ns） 00=采样延时 3T 01=采样延时 2T	RO	00b

内部资料

	10/11=采样延时 1T 【注】若设定手动控制（[1]=1）时，当前值由[3:2]决定（此优先级最高）。 若同源时钟设定单次 Shift 时，初始[5:4]=00b；接收第 1 个数据帧后，[5:4]=01b；接收第 2 个数据帧后，[5:4]=10b；接收第 3 个数据帧后，[5:4]=11b，此后保持不变。若数据帧一直传输，由于 MDIO 为串行读出，可能无法读出[5:4]的变化过程。 若设定为多次 Shift 时，[5:4]=00b。		
3:2	指定 TX_AutoShift 采样延时值（T 为 125M 时钟的周期，即 8ns）**【注 1】** 当[1]=1 时，当前设定有效 00=采样延时 3T（非同源时钟时，必须使用此设置） 01=采样延时 2T 10/11=采样延时 1T	R/W	00b
1	选择 TX_AutoShift 采样延时值：**【注 1】** 在初始采样 TXD 数据时，为保证准确性，会同步采样，即延时 3T（125M）。若 TXD 的来源时钟和 PHY 时钟同源，可在后期获取 TXD 相位后，减小采样延时值到 1T（125M）。 0=自动选择采样延时值，初始 3T，获取相位后，逐渐递减到 1T； 1=使用[3:2]的值控制选择采样的延时值。	R/W	0b
0	TX_AutoShift 单次/多次 Shift 采样 0=每次复位后仅 shift1 次，后续保持 1=对每个数据帧都进行 AutoShift（非同源时钟时，必须使用此设置）	R/W	0b

【注 1】该位建议不使用，只可写入默认值。

【注】使用配置寄存器 19 的功能之前，需先做如下操作：先向配置寄存器 19 写入值 0XAB35，后向配置寄存器 19 写入值 0X5894，才可对寄存器进行读写访问。

非同源时钟：TXD 的来源时钟和 PHY 输入时钟非同源时钟。

4.1.17 TDR 模式/延迟控制寄存器

索引（十进制）：24　　大小：16 位

位	描述	类型	默认值
15	TDR 延迟输入（TDR Delay In） 0=线路断开时间为 2ms。 1=设备在启动 TDR 之前使用 TDR 线路中断计数器来增加线路中断时间。	R/W NASR	1b
14:12	TDR 线路中断计数器（TDR Link Break Counter） 当 TDR 延迟输入为 1 时，该字段以 256ms 指定为增量指定线路断开时间的增大，最长为 2s。	R/W NASR	001b
11:6	TDR 模式高电平（TDR Pattern High） 该字段指定高电平周期时 TDR 模式下发送的数据模式。	R/W NASR	101110b
5:0	TDR 模式低电平（TDR Pattern Low） 该字段指定低电平周期时 TDR 模式下发送的数据模式。	R/W NASR	011101b

4.1.18 TDR 控制/状态寄存器

索引（十进制）：25　　大小：16 位

位	描述	类型	默认值
15	TDR 使能 0=禁用 TDR 模式 1=使能 TDR 模式 **【注】**TDR 完成时此位自清零（TDR 通道状态变为高电平）	R/W NASR SC	0b
14	TDR 模数滤波器使能 0=禁用 TDR 模数转换器 1=使能 TDR 模数滤波器（减少 TDR 脉冲期间的噪声尖峰）	R/W NASR	0b
13:11	RESERVED	RO	-
10:9	TDR 通道电缆类型 指示由 TDR 测试确定的电缆类型。 00=默认 01=短路电缆条件 10=开路电缆条件 11=匹配电缆条件	R/W NASR	00b
8	TDR 通道状态 高电平时，该位指示 TDR 操作已完成。该位将保持高电平直到复位或重新启动 TDR 操作（TDR 使能=1）	R/W NASR	0b
7:0	TDR 通道长度 该八位指示短路或开路电缆条件期间的 TDR 通道长度。有关该字段使用的更多信息，请参章节 3.8.11.1 “时域反射仪（TDR）电缆诊断”。 **【注】**匹配电缆期间，该字段无效。无开路/短路（匹配）条件期间，必须使用电缆长度寄存器。有关更多信息，请参见章节 3.8.9 “电缆诊断”。	R/W NASR	00h

4.1.19 符号错误计数器寄存器

索引（十进制）：26　　大小：16 位

位	描述	类型	默认值
15:0	符号错误计数器（SYM_ERR_CNT） 接收无效代码符号，包括 IDLE 符号时，该 100BASE-TX 基于接收器的错误计数器递增。该计数器针对每个数据包仅递增一次，即使接收的数据包中包含多个符号错误。该字段最多可计数 65,536，如果递增至超出其最大值，则计满返回 0。 **【注】**该寄存器在复位时清零，但读取该寄存器不会将其清零。它在 10BASE-T 模式下不递增。	RO	0000h

4.1.20 特殊控制/状态指示寄存器

索引（十进制）：27　　大小：16 位

位	描述	类型	默认值
15	AMDIXCTRL HP Auto-MDIX 控制： 0=使能 Auto-MDIX 1=禁用 Auto-MDIX（使用 27.13 控制通道）	R/W NASR	0b
14	RESERVED	RO	-
13	CH_SELECT 手动通道选择： 0=MDI（TX 发送，RX 接收） 1=MDIX（TX 接收，RX 发送）	R/W NASR	0b
12	RESERVED	RO	-
11	SQEOFF 禁用 SQE 测试（心跳）： 0=使能 SQE 测试 1=禁用 SQE 测试	R/W NASR	0b
10:5	RESERVED	RO	-
4	XPOL 10BASE-T 的极性状态： 0=正常极性 1=极性相反	RO	0b
3:0	RESERVED	RO	-

4.1.21 电缆长度寄存器

索引（十进制）：28　　大小：16 位

位	描述	类型	默认值
15:12	电缆长度（CBLN） 该四位值指示电缆长度。有关该字段使用的更多信息，请参见章节 3.8.11.2 “匹配的电缆诊断”。 **【注】**该字段指示电缆没有开路/短路情况的 100BASE-TX 链路器件的电缆长度。要确定电缆的开路/短路状态，必须使用 TDR 模式/延时控制寄存器和 TDR 控制/状态寄存器。10BASE-T 链路不支持电缆长度。有关更多信息，请参见章节 3.8.11 “电缆诊断”。	RO	0000b
11:0	RESERVED	RO	-

4.1.22 中断源标志寄存器

索引（十进制）：29　　大小：16 位

位	描述	类型	默认值
15:9	RESERVED	RO	-
8	INT8 0=不是中断源 1=检测到局域网唤醒（WoL）事件	RO/LH	0b
7	INT7 0=不是中断源 1=产生能量（ENERGYON）	RO/LH	0b
6	INT6 0=不是中断源 1=自动协商完成	RO/LH	0b
5	INT5 0=不是中断源 1=检测到远程故障	RO/LH	0b
4	INT4 0=不是中断源 1=链路中断（链路状态置为无效）	RO/LH	0b
3	INT3 0=不是中断源 1=自动协商 LP 应答	RO/LH	0b
2	INT2 0=不是中断源 1=并行检测故障	RO/LH	0b
1	INT1 0=不是中断源 1=接收到自动协商页面	RO/LH	0b
0	RESERVED	RO	0b

内部资料

4.1.23 中断屏蔽寄存器

索引（十进制）：30　　大小：16 位

位	描述	类型	默认值
15:9	RESERVED	RO	-
8:1	屏蔽位 这些位屏蔽了中断源标志寄存器中相应的中断。 0=屏蔽中断源 1=使能中断源	R/W	00000000b
0	RESERVED	RO	-

4.1.24 PHY 特殊控制/状态寄存器

索引（十进制）：31　　大小：16 位

位	描述	类型	默认值
15:13	RESERVED	RO	-
12	自动完成 自动协商完成指示： 0=未完成或禁用自动协商（或未激活）。 1=自动协商完成。	RO	0b
11:7	RESERVED	RO	-
6	使能 4B5B 0=旁路编码器/解码器 1=使能 4B5B 编码/解码。MAC 接口必须配置在 MII 模式。	R/W	1b
5	RESERVED	RO	-
4:2	速度指示 HCDSPEED 值： 001=10BASE-T 半双工 101=10BASE-T 全双工 010=100BASE-TX 半双工 110=100BASE-TX 全双工	RO	XXXb
1:0	RESERVED	RO	-

内部资料

4.2 MDIO 可管理器件（MMD）寄存器

该器件的 MMD 寄存器遵循 **IEEE 802.3-2008 45.2 MDIO 接口寄存器**规范。MMD 寄存器不进行存储器映射。这些寄存器通过 MMD 访问控制寄存器和 MMD 访问地址/数据寄存器进行间接访问。支持的 MMD 器件地址为 3（PCS）、7（自动协商）和 30（供应商特定）。表 4-2“MMD 寄存器”详细介绍了每个 MMD 器件内支持的寄存器。

表 4-2 MMD 寄存器

MMD 器件地址（十进制）	索引（十进制）	寄存器名称
3（PCS）	0	PCS 控制 1 寄存器
	1	PCS 状态 1 寄存器
	5	PCS MMD 器件存在 1 寄存器
	6	PCS MMD 器件存在 2 寄存器
	20	EEE 能力寄存器
	22	EEE 唤醒错误寄存器
	32784	唤醒控制和状态寄存器（WUCSR）
	32785	唤醒过滤器配置寄存器 A（WUF_CFGA）
	32786	唤醒过滤器配置寄存器 B（WUF_CFGB）
	32801	唤醒过滤器字节掩码寄存器（WUF_MASK）
	32802	
	32803	
	32804	
	32805	
	32806	
	32807	
	32808	
	32865	MAC 接收地址 A 寄存器（RX_ADDRA）
	32866	MAC 接收地址 B 寄存器（RX_ADDRB）
	32867	MAC 接收地址 C 寄存器（RX_ADDRC）
	32868	其他配置寄存器（MCFGR）
7（自动协商）	5	自动协商 MMD 器件存在 1 寄存器
	6	自动协商 MMD 器件存在 2 寄存器
	60	EEE 通告寄存器
	61	EEE 链路伙伴通告寄存器
30	2	供应商特定 MMD1 器件 ID1 寄存器

内部资料

（供应商特定）	3	供应商特定 MMD1 器件 ID2 寄存器
	5	供应商特定 MMD1 器件存在 1 寄存器
	6	供应商特定 MMD1 器件存在 2 寄存器
	8	供应商特定 MMD1 状态寄存器
	11	TDR 匹配阈值寄存器
	12	TDR 短路/开路阈值寄存器
	14	供应商特定 MMD1 封装 ID1 寄存器
	15	供应商特定 MMD1 封装 ID2 寄存器

要读或写 MMD 寄存器，必须遵循以下步骤：

1．向 MMD 访问控制寄存器写入 MMD 功能字段的 00b（地址），并向 MMD 器件地址（DEVAD）的字段写入所需的 MMD 器件（对于 PCS 为 3，对于自动协商为 7 和对于供应商特定为 30）。

2．向 MMD 访问地址/数据寄存器写入所需 MMD 寄存器的 16 位地址以在先前选择的 MMD 器件（PCS、自动协商或供应商特定）中进行读/写。

3．向 MMD 访问控制寄存器写入 MMD 功能字段的 01b（数据），并为 MMD 器件地址（DEVAD）字段选择先前选定的 MMD 器件（对于 PCS 为 3，对于自动协商为 7 和对于供应商特定为 30）。

4．进行读操作时，读取包含所选 MMD 寄存器内容的 MMD 访问地址/数据寄存器。进行写操作时，向 MMD 访问地址/数据寄存器写入先前选定 MMD 寄存器的寄存器内容。

内部资料

4.2.1 PCS 控制 1 寄存器

索引（十进制）：3.0　　大小：16 位

位	描述	类型	默认值
15:11	RESERVED	RO	-
10	时钟停止使能 0=在低功耗空闲（LPI）期间 PHY 不停止时钟 1=在低功耗空闲（LPI）期间 PHY 可能停止时钟 **【注】**器件不支持此模式。	R/W	0b
9:0	RESERVED	RO	-

4.2.2 PCS 状态 1 寄存器

索引（十进制）：3.1　　大小：16 位

位	描述	类型	默认值
15:12	RESERVED	RO	-
11	TX LPI 接收 0=TX PCS 未接收到 LPI 1=TX PCS 已接收到 LPI	RO/LH	0b
10	RX LPI 接收 0=RX PCS 未接收到 LPI 1=RX PCS 已接收到 LPI	RO/LH	0b
9	TX LPI 指示 0=TX PCS 当前未接收到 LPI 1=TX PCS 当前已接收到 LPI	RO	0b
8	RX LPI 指示 0=RX PCS 当前未接收到 LPI 1=RX PCS 当前已接收到 LPI	RO	0b
7	RESERVED	RO	-
6	时钟停止能力 0=在低功耗空闲（LPI）期间 MAC 不停止时钟 1=在低功耗空闲（LPI）期间 MAC 可能停止时钟 **【注】**器件不支持此模式。	RO	0b
5:0	RESERVED	RO	-

内部资料

4.2.3 PCS MMD 设备存在 1 寄存器

索引（十进制）：3.5　　大小：16 位

位	描述	类型	默认值
15:8	RESERVED	RO	-
7	自动协商存在 0=封装中不存在自动协商 1=封装中存在自动协商	RO	1b
6	TC 存在 0=封装中不存在 TC 1=封装中存在 TC	RO	0b
5	DTE XS 存在 0=封装中不存在 DTE XS 1=封装中存在 DTE XS	RO	0b
4	PHY XS 存在 0=封装中不存在 PHY XS 1=封装中存在 PHY XS	RO	0b
3	PCS 存在 0=封装中不存在 PCS 1=封装中存在 PCS	RO	1b
2	WIS 存在 0=封装中不存在 WIS 1=封装中存在 WIS	RO	0b
1	PMD/PMA 存在 0=封装中不存在 PMD/PMA 1=封装中存在 PMD/PMA	RO	0b
0	第 22 条寄存器存在 0=封装中不存在第 22 条寄存器 1=封装中存在第 22 条寄存器	RO	0b

内部资料

4.2.4 PCS MMD 设备存在 2 寄存器

索引（十进制）：3.6　　大小：16 位

位	描述	类型	默认值
15	供应商特定器件 2 存在 0=封装中不存在供应商特定器件 2 1=封装中存在供应商特定器件 2	RO	0b
14	供应商特定器件 1 存在 0=封装中不存在供应商特定器件 1 1=封装中存在供应商特定器件 1	RO	1b
13	第 22 条扩展存在 0=封装中不存在第 22 条扩展 1=封装中存在第 22 条扩展	RO	0b
12:0	RESERVED	RO	-

内部资料

4.2.5 EEE 能力寄存器

索引（十进制）：3.20　　大小：16 位

位	描述	类型	默认值
15:7	RESERVED	RO	-
6	10GBASE-KR EEE 0=10GBASE-KR 不支持 EEE 1=10GBASE-KR 支持 EEE **【注】**器件不支持该模式。	RO	0b
5	10GBASE-KX4 EEE 0=10GBASE-KX4 不支持 EEE 1=10GBASE-KX4 支持 EEE **【注】**器件不支持该模式。	RO	0b
4	10GBASE-KX EEE 0=10GBASE-KX 不支持 EEE 1=10GBASE-KX 支持 EEE **【注】**器件不支持该模式。	RO	0b
3	10GBASE-T EEE 0=10GBASE-T 不支持 EEE 1=10GBASE-T 支持 EEE **【注】**器件不支持该模式。	RO	0b
2	1000BASE-T EEE 0=1000BASE-T 不支持 EEE 1=1000BASE-T 支持 EEE **【注】**器件不支持该模式。	RO	0b
1	100BASE-TX EEE 0=100BASE-TX 不支持 EEE 1=100BASE-TX 支持 EEE	RO	参见**【注 1】**
0	RESERVED	RO	-

【注 1】该字段的默认值由 EDPD NLP/交叉时间/EEE 配置寄存器的 PHY 高效节能以太网使能（PHYEEEEN）决定。如果 PHY 高效节能以太网使能（PHYEEEEN）为 0b，该字段为 0b 且不支持 100BASE-TX EEE 能力。如果 PHY 高效节能以太网使能（PHYEEEEN）为 1b，该字段为 1b 且支持 100BASE-TX EEE 能力。

4.2.6 EEE 唤醒错误寄存器

索引（十进制）：3.22　　大小：16 位

位	描述	类型	默认值
15:7	EEE 唤醒错误计数器 读取时该计数器清零，且计满时保持全为 1。	RO/RC	0000h

内部资料

4.2.7 唤醒控制和状态寄存器（WUCSR）

索引（十进制）：3.32784　　大小：16 位

位	描述	类型	默认值
15	接口禁用 0=使能 RMII 接口 1=禁用 RMII 接口。输出驱动为低电平，输入被忽略。	R/W NASR	0b
14:13	LED1 功能选择 00=LED1 用作链接/活动。 01=LED1 用作 nINT。 10=LED1 用作 nPME。 11=LED1 用作链接速度。 【注】有关更多信息，请参见章节 3.8.1 “LED”。	R/W NASR	0b
12:11	LED2 功能选择 00=LED2 用作链接速度。 01=LED2 用作 nINT。 10=LED2 用作 nPME。 11=LED2 用作链接/活动。 【注】有关更多信息，请参见章节 3.8.1 “LED”。	R/W NASR	0b
10	RXD2/RMIISEL 功能选择 0=RXD2/RMIISEL 引脚功能通常用作 RXD2/RMIISEL。 1=RXD2/RMIISEL 引脚功能通常用作 nPME。 【注】有关更多信息，请参见章节 3.8.4 “LAN 唤醒（WoL）”。	R/WNASR	0b
9	nPME 自清零 0=nPME 引脚未自清零。 1=nPME 引脚自清零。 【注】置 1 时，nPME 信号的解除置为无效延迟由其他配置寄存器（MCFGR）的 nPME 有效延迟位控制。有关更多信息，请参见章节 3.8.4 “LAN 唤醒（WoL）”。	R/W NASR	0b
8	已配置 WoL 配置 WoL 寄存器后，可以通过软件将该位置 1。这个粘滞位（以及所有其他 WoL 相关寄存器位）只能通过掉电再上电或引脚复位进行复位，允许软件跳过对 WoL 寄存器的编程来响应 WoL 事件。 【注】有关更多信息，请参见章节 3.8.4 “LAN 唤醒（WoL）”。	R/W NASR	0b
7	接收到理想 DA 帧（PFDA_FR） 接收到具有与物理地址匹配的目标地址的有效帧时，MAC 将该位置 1。	R/WC NASR	0b

内部资料

6	接收到远程唤醒帧（WUFR） 接收到有效的远程唤醒帧时，MAC 将该位置 1。	R/WC NASR	0b
5	接收到魔术包（MPR） 接收到有效的魔术包时，MAC 将该位置 1。	R/WC NASR	0b
4	接收到广播帧（BCAST_FR） 接收到有效的广播帧时，MAC 将该位置 1。	R/WC NASR	0b
3	理想 DA 唤醒使能（PFDA_EN） 置 1 时，使能远程唤醒模式，并且 MAC 可以在接收到具有与器件物理地址匹配的目标地址的帧时唤醒。物理地址存储在 MAC 接收地址 A 寄存器（RX_ADDRA），MAC 接收地址 B 寄存器（RX_ADDRB）和 MAC 接收地址 C 寄存器（RX_ADDRC）中。	R/W NASR	0b
2	唤醒帧使能（WUEN） 置 1 时，使能远程唤醒模式，并且 MAC 能够检测在唤醒过滤器中编程的唤醒帧。	R/W NASR	0b
1	魔术包使能（MPEN） 置 1 时，使能魔术包唤醒模式。	R/W NASR	0b
0	广播唤醒使能（BCST_EN） 置 1 时，将使能远程唤醒模式，并且 MAC 能够由广播帧唤醒。	R/W NASR	0b

内部资料

4.2.8 唤醒过滤器配置寄存器 A（WUF_CFGA）

索引（十进制）：3.32785　　大小：16 位

位	描述	类型	默认值
15	过滤器使能 0=禁止过滤器 1=使能过滤器	R/W/ NASR	0b
14	过滤器触发 0=不触发过滤器 1=触发过滤器	R/WC/ NASR	0b
13:11	RESERVED	RO	-
10	地址匹配使能 置 1 时，目标地址必须与编程的地址相匹配。清零时，接受任何单播包。 有关更多信息，请参见章节 3.8.4.4 “唤醒帧检测”。	R/W/ NASR	0b
9	过滤任意多播使能 置 1 时，除广播外的任何多播数据包都将引起地址匹配。 有关更多信息，请参见章节 3.8.4.4 “唤醒帧检测”。 【注】该位的优先级高于该寄存器的 bit 10。	R/W/ NASR	0b
8	过滤广播使能 置 1 时，任何广播帧都将引起地址匹配。 有关更多信息，请参见章节 3.8.4.4 “唤醒帧检测”。 【注】该位的优先级高于该寄存器的 bit 10。	R/W/ NASR	0b
7:0	过滤模式偏移量 指定帧中第一个字节的偏移量，从该帧开始进行 CRC 校验以进行唤醒帧识别。偏移量 0 是传入帧目标地址的第一个字节。	R/W/ NASR	00h

4.2.9 唤醒过滤器配置寄存器 B（WUF_CFGB）

索引（十进制）：3.32786　　大小：16 位

位	描述	类型	默认值
15:0	过滤器 CRC-16 该字段为过滤器指定预期的 16 位 CRC 值，该值应通过使用模式偏移量和为过滤器编程的字节掩码获得。该值与根据传入帧计算的 CRC 进行比较，匹配时接收唤醒帧	R/W/ NASR	0000h

4.2.10 唤醒过滤器字节掩码寄存器（WUF_MASK）

索引（十进制）：3.32801　　大小：16 位

位	描述	类型	默认值
15:0	唤醒过滤器字节掩码[127:112]	R/W/NASR	0000h

索引（十进制）：3.32802　　大小：16 位

位	描述	类型	默认值
15:0	唤醒过滤器字节掩码[111:96]	R/W/NASR	0000h

索引（十进制）：3.32803　　大小：16 位

位	描述	类型	默认值
15:0	唤醒过滤器字节掩码[95:80]	R/W/NASR	0000h

索引（十进制）：3.32804　　大小：16 位

位	描述	类型	默认值
15:0	唤醒过滤器字节掩码[79:64]	R/W/NASR	0000h

索引（十进制）：3.32805　　大小：16 位

位	描述	类型	默认值
15:0	唤醒过滤器字节掩码[63:48]	R/W/NASR	0000h

索引（十进制）：3.32806　　大小：16 位

位	描述	类型	默认值
15:0	唤醒过滤器字节掩码[47:32]	R/W/NASR	0000h

索引（十进制）：3.32807　　大小：16 位

位	描述	类型	默认值
15:0	唤醒过滤器字节掩码[31:16]	R/W/NASR	0000h

索引（十进制）：3.32808　　大小：16 位

位	描述	类型	默认值
15:0	唤醒过滤器字节掩码[15:0]		

内部资料

4.2.11 MAC 接收地址 A 寄存器（RX_ADDRA）

索引（十进制）：3.32865　　大小：16 位

位	描述	类型	默认值
15:0	物理地址[47:32]	R/W/ NASR	FFFFh

【注】必须以正确的字节顺序将 MAC 地址加载到 RX_ADDRA，RX_ADDRB 和 RX_ADDRC 寄存器中。例如，应按如下所示将 MAC 地址 12:34:56:78:9A:BC 加载到这些寄存器中：

RX_ADDRA=BC9Ah

RX_ADDRB=7856h

RX_ADDRC=3412h

4.2.12 MAC 接收地址 B 寄存器（RX_ADDRB）

索引（十进制）：3.32866　　大小：16 位

位	描述	类型	默认值
15:0	物理地址[31:16]	R/W/ NASR	FFFFh

【注】必须以正确的字节顺序将 MAC 地址加载到 RX_ADDRA，RX_ADDRB 和 RX_ADDRC 寄存器中。例如，应按如下所示将 MAC 地址 12:34:56:78:9A:BC 加载到这些寄存器中：

RX_ADDRA=BC9Ah

RX_ADDRB=7856h

RX_ADDRC=3412h

4.2.13 MAC 接收地址 C 寄存器（RX_ADDRC）

索引（十进制）：3.32867　　大小：16 位

位	描述	类型	默认值
15:0	物理地址[15:0]	R/W/ NASR	FFFFh

【注】必须以正确的字节顺序将 MAC 地址加载到 RX_ADDRA，RX_ADDRB 和 RX_ADDRC 寄存器中。例如，应按如下所示将 MAC 地址 12:34:56:78:9A:BC 加载到这些寄存器中：

RX_ADDRA=BC9Ah

RX_ADDRB=7856h

RX_ADDRC=3412h

内部资料

4.2.14 其他配置寄存器（MCFGR）

索引（十进制）：3.32868　　大小：16 位

位	描述	类型	默认值
15:0	nPME 有效延迟 当唤醒控制和状态寄存器（WUCSR）的 nPME 自清零位置 1 时，该寄存器控制 nPME 无效时间的延迟。每个计数等效于 20μs 的延迟。最大延迟为 1.31s。时间=（寄存器值+1）x20μs。	R/W/ NASR	1000h

4.2.15 自动协商 MMD 设备存在 1 寄存器

索引（十进制）：7.5　　大小：16 位

位	描述	类型	默认值
15:8	RESERVED	RO	-
7	自动协商存在 0=封装中不存在自动协商 1=封装中存在自动协商	RO	1b
6	TC 存在 0=封装中不存在 TC 1=封装中存在 TC	RO	0b
5	DTE XS 存在 0=封装中不存在 DTE XS 1=封装中存在 DTE XS	RO	0b
4	PHY XS 存在 0=封装中不存在 PHY XS 1=封装中存在 PHY XS	RO	0b
3	PCS 存在 0=封装中不存在 PCS 1=封装中存在 PCS	RO	1b
2	WIS 存在 0=封装中不存在 WIS 1=封装中存在 WIS	RO	0b
1	PMD/PMA 存在 0=封装中不存在 PMD/PMA 1=封装中存在 PMD/PMA	RO	0b
0	第 22 条寄存器存在 0=封装中不存在第 22 条寄存器 1=封装中存在第 22 条寄存器	RO	0b

内部资料

4.2.16 自动协商 MMD 设备存在 2 寄存器

索引（十进制）：7.6　　大小：16 位

位	描述	类型	默认值
15	供应商特定器件 2 存在 0=封装中不存在供应商特定器件 2 1=封装中存在供应商特定器件 2	RO	0b
14	供应商特定器件 1 存在 0=封装中不存在供应商特定器件 1 1=封装中存在供应商特定器件 1	RO	1b
13	第 22 条扩展存在 0=封装中不存在第 22 条扩展 1=封装中存在第 22 条扩展	RO	0b
12:0	RESERVED	RO	-

4.2.17 EEE 通告寄存器

索引（十进制）：7.60　　大小：16 位

位	描述	类型	默认值
15:2	RESERVED	RO	-
1	100BASE-TX EEE 0=100BASE-TX 不通告 EEE 1=100BASE-TX 通告 EEE	**【注 1】**	**【注 2】**
0	RESERVED	RO	-

【注 1】该位可写可读（R/W）。然而，当 EEE 未使能时用户必须不能置 1 该位。

【注 2】该字段的默认值由 EDPD NLP/交叉时间/EEE 配置寄存器的 PHY 高效节能以太网使能（PHYEEEEN）决定。如果 PHY 高效节能以太网使能（PHYEEEEN）为 0b，该字段为 0b 且不通告 100BASE-TX EEE 能力。如果 PHY 高效节能以太网使能（PHYEEEEN）为 1b，该字段为 1b 且通告 100BASE-TX EEE 能力。

内部资料

4.2.18 EEE 链路伙伴通告寄存器

索引（十进制）：7.61　　大小：16 位

位	描述	类型	默认值
15:7	RESERVED	RO	-
6	10GBASE-KR EEE 0=10GBASE-KR 链路伙伴不通告 EEE 1=10GBASE-KR 链路伙伴通告 EEE **【注】**器件不支持该模式。	RO	0b
5	10GBASE-KX4 EEE 0=10GBASE-KX4 链路伙伴不通告 EEE 1=10GBASE-KX4 链路伙伴通告 EEE **【注】**器件不支持该模式。	RO	0b
4	10GBASE-KX EEE 0=10GBASE-KX 链路伙伴不通告 EEE 1=10GBASE-KX 链路伙伴通告 EEE **【注】**器件不支持该模式。	RO	0b
3	10GBASE-T EEE 0=10GBASE-T 链路伙伴不通告 EEE 1=10GBASE-T 链路伙伴通告 EEE **【注】**器件不支持该模式。	RO	0b
2	1000BASE-T EEE 0=1000BASE-T 链路伙伴不通告 EEE 1=1000BASE-T 链路伙伴通告 EEE **【注】**器件不支持该模式。	RO	0b
1	100BASE-TX EEE 0=100BASE-TX 链路伙伴不通告 EEE 1=100BASE-TX 链路伙伴通告 EEE	RO	0b
0	RESERVED	RO	-

4.2.19 供应商特定 MMD1 器件 ID1 寄存器

索引（十进制）：30.2　　大小：16 位

位	描述	类型	默认值
15:0	RESERVED	RO	0000h

内部资料

4.2.20 供应商特定 MMD1 器件 ID2 寄存器

索引（十进制）：30.3　　大小：16 位

位	描述	类型	默认值
15:0	RESERVED	RO	0000h

4.2.21 供应商特定 MMD1 器件存在 1 寄存器

索引（十进制）：30.5　　大小：16 位

位	描述	类型	默认值
15:8	RESERVED	RO	-
7	自动协商存在 0=封装中不存在自动协商 1=封装中存在自动协商	RO	1b
6	TC 存在 0=封装中不存在 TC 1=封装中存在 TC	RO	0b
5	DTE XS 存在 0=封装中不存在 DTE XS 1=封装中存在 DTE XS	RO	0b
4	PHY XS 存在 0=封装中不存在 PHY XS 1=封装中存在 PHY XS	RO	0b
3	PCS 存在 0=封装中不存在 PCS 1=封装中存在 PCS	RO	1b
2	WIS 存在 0=封装中不存在 WIS 1=封装中存在 WIS	RO	0b
1	PMD/PMA 存在 0=封装中不存在 PMD/PMA 1=封装中存在 PMD/PMA	RO	0b
0	第 22 条寄存器存在 0=封装中不存在第 22 条寄存器 1=封装中存在第 22 条寄存器	RO	0b

内部资料

4.2.22 供应商特定 MMD1 器件存在 2 寄存器

索引（十进制）：30.6　　大小：16 位

位	描述	类型	默认值
15	供应商特定器件 2 存在 0=封装中不存在供应商特定器件 2 1=封装中存在供应商特定器件 2	RO	0b
14	供应商特定器件 1 存在 0=封装中不存在供应商特定器件 1 1=封装中存在供应商特定器件 1	RO	1b
13	第 22 条扩展存在 0=封装中不存在第 22 条扩展 1=封装中存在第 22 条扩展	RO	0b
12:0	RESERVED	RO	-

4.2.23 供应商特定 MMD1 状态寄存器

索引（十进制）：30.8　　大小：16 位

位	描述	类型	默认值
15:14	器件存在 00=此地址处无器件响应 01=此地址处无器件响应 10=此地址处有器件响应 11=此地址处无器件响应		10b
13:0	RESERVED	RO	-

4.2.24 TDR 匹配阈值寄存器

索引（十进制）：30.11　　大小：16 位

位	描述	类型	默认值
15:10	RESERVED	RO	-
9:5	TDR 匹配高阈值 设置较高阈值以检测匹配电缆。	R/W	5‘h12 **【注 1】**
4:0	TDR 匹配低阈值 设置较低阈值以检测匹配电缆。	R/W	5‘h09 **【注 1】**

【注 1】软件复位会将此寄存器的默认值置于不确定状态。为了使 TDR 正常运行，必须将 TDR 匹配高阈值和 TDR 匹配低阈值分别设置为 5’h12 和 5’h09。

4.2.25 TDR 短路/开路阈值寄存器

索引（十进制）：30.12　　大小：16 位

位	描述	类型	默认值
15:10	RESERVED	RO	-
9:5	TDR 短路低阈值 设置较低阈值以检测匹配电缆。	R/W	5‘h09 **【注 1】**
4:0	TDR 开路高阈值 设置较高阈值以检测匹配电缆。	R/W	5‘h12 **【注 1】**

【注 1】软件复位会将此寄存器的默认值置于不确定状态。为了使 TDR 正常运行，必须将 TDR 短路低阈值和 TDR 开路高阈值分别设置为 5’h09 和 5’h12。

4.2.26 供应商特定 MMD1 封装 ID1 寄存器

索引（十进制）：30.14　　大小：16 位

位	描述	类型	默认值
15:0	RESERVED	RO	0000h

4.2.27 供应商特定 MMD1 封装 ID2 寄存器

索引（十进制）：30.15　　大小：16 位

位	描述	类型	默认值
15:0	RESERVED	RO	0000h

内部资料

5 Operational Characteristics

5.1 Absolute Maximum Ratings*

Table 5-1 Absolute Maximum Ratings

Parameter		Min	Max	Units
Supply Voltage(Note1)	**VDDIO**	-0.5	3.6	V
	VDD1A	-0.5	3.6	V
	VDD2A	-0.5	3.6	V
Digital Core Supply Voltage(Note1)	**VDDCR**	-0.5	1.32	V
Ethernet Magnetics Supply Voltage		-0.5	3.6	V
Positive voltage on input signal pins, with respect to ground(Note2)		-	**VDDIO**+2	V
Negative voltage on input signal pins, with respect to ground(Note3)		-0.5	-	V
Positive voltage on **XTAL1/CLKIN**, with respect to ground		-	3.6	V
Storage Temperature	T_{STG}	-40	150	℃
Junction Temperature	T_J	-40	125	℃
Electrostatic discharge (Human body model)	$V_{ESD(HBM)}$	6	-	kV
Electrostatic discharge (Charged device model)	$V_{ESD(CDM)}$	800	-	V
Latch up current	I_{LAT}	±200	-	mA

Note1: When powering this device from laboratory or system power supplies, it is important that the absolute maximum ratings not be exceeded or device failure can result. Some power supplies exhibit voltage spikes on their outputs when AC power is switched on or off. In addition, voltage transients on the AC power line may appear on the DC output. If this possibility exists, it is suggested that a clamp circuit be used.

Note2: This rating does not apply to the following pins: **XTAL1/CLKIN**, **XTAL2**, **RBIAS**.

Note3: This rating does not apply to the following pins: **RBIAS**.

*: Stresses exceeding those listed in this section could cause permanent damage to the device. This is a stress rating only. Exposure to absolute maximum rating conditions for extended periods may affect device reliability. Functional operation of the device at any condition exceeding those indicated in Section 5.2"Recommended Operating Conditions**" or any other applicable section of this specification is not implied. Note, device signals are not 5.0 V tolerant unless specified otherwise.

5.2 Recommended Operating Conditions**

Table 5-2 Recommended Operating Conditions

Parameter		Min	Typ	Max	Unit
Supply Voltage	VDDIO	1.62	3.3	3.6	V
Analog Port Supply Voltage	VDD1A	3.0	3.3	3.6	V
	VDD2A	3.0	3.3	3.6	V
Digital Core Supply Voltage	VDDCR	1.14	1.2	1.26	V
Ethernet Magnetics Supply Voltage		2.25	3.3	3.6	V
Ambient Operating Temperature in Still Air	T_A	-40	-	105	℃

**: Proper operation of the device is guaranteed only within the ranges specified in this section. After the device has completed power-up, VDDIO and the magnetics power supply must maintain their voltage level with ±10%. Varying the voltage greater than ±10% after the device has completed power-up can cause errors in device operation.

Note: Do not drive input signals without power supplied to the device.

内部资料

5.3 Power Consumption

This section details the device power measurements taken over various operating conditions. Unless otherwise noted, all measurements were taken with power supplies at nominal values (**VDDIO**, **VDD1A**, **VDD2A**=3.3V, **VDDCR**=1.2V). See Section 3.8.3" Power-Down Modes " for a description of the power down modes.

5.3.1 FCP1140/FCP1145 Power Consumption

5.3.1.1 Internal Regulator Disabled

Table 5-3 FCE1140 Current Consumption And Power Dissipation (Regs.Disabled)

Power Pin Group		3.3V Device Current (mA)	1.2V Device Current (mA)	3.3V Device Current w/ Magnetics (mA)	Total Device Power (mW)
nRESET	Typical	11	11	0	49
100BASE-TX/W Traffic (No EEE)	Typical	38	21	40	281
10BASE-T/W Traffic	Typical	13	13	93	366
100BASE-TX Idle/W EEE	Typical	35	20	0	141
Energy Detect Power Down	Typical	7	2	0	26
General Power Down	Typical	3	1	0	13

Table 5-4 FCE1145 Current Consumption And Power Dissipation (Regs.Disabled)

Power Pin Group		3.3V Device Current (mA)	1.2V Device Current (mA)	3.3V Device Current w/ Magnetics (mA)	Total Device Power (mW)
nRESET	Typical	11	11	0	49
100BASE-TX/W Traffic (No EEE)	Typical	37	21	41	281
10BASE-T/W Traffic	Typical	12	13	94	364
Energy Detect Power Down	Typical	5	2	0	19
General Power Down	Typical	1	2	0	6

5.3.1.2 Internal Regulator Enabled

Table 5-5 FCE1140 Current Consumption And Power Dissipation (Regs.Enabled)

Power Pin Group		Device Current (mA)	Device Current w/ Magnetics (mA)	Total Device Power (mW)
nRESET	Typical	23	0	75
100BASE-TX/W Traffic (No EEE)	Typical	60	40	331
10BASE-T/W Traffic	Typical	28	95	405
100BASE-TX Idle/W EEE	Typical	57	0	189
Energy Detect Power Down	Typical	9	0	30
General Power Down	Typical	6	0	19

Table 5-6 FCE1145 Current Consumption And Power Dissipation (Regs. Enabled)

Power Pin Group		Device Current (mA)	Device Current w/ Magnetics (mA)	Total Device Power (mW)
nRESET	Typical	23	0	76
100BASE-TX/W Traffic (No EEE)	Typical	59	42	334
10BASE-T/W Traffic	Typical	26	98	409
Energy Detect Power Down	Typical	7	0	24
General Power Down	Typical	4	0	12

内部资料

5.3.2 FCP1142 Power Consumption

5.3.2.1 REF_CLK In Mode

Table 5-7 FCE1142 Current Consumption And Power Dissipation (REF_CLK IN,Regs.Disabled)

Power Pin Group		3.3V Device Current (mA)	1.2V Device Current (mA)	3.3V Device Current w/ Magnetics (mA)	Total Device Power (mW)
nRESET	Typical	21	11	0	84
100BASE-TX/W Traffic (No EEE)	Typical	42	21	40	296
10BASE-T/W Traffic	Typical	22	13	93	394
Energy Detect Power Down	Typical	18	2	0	60
General Power Down	Typical	14	2	0	46

Table 5-8 FCE1142 Current Consumption And Power Dissipation (REF_CLK IN,Regs. Enabled)

Power Pin Group		Device Current (mA)	Device Current w/ Magnetics (mA)	Total Device Power (mW)
nRESET	Typical	33	0	110
100BASE-TX/W Traffic (No EEE)	Typical	64	41	346
10BASE-T/W Traffic	Typical	36	96	436
Energy Detect Power Down	Typical	19	0	64
General Power Down	Typical	16	0	53

内部资料

5.3.2.2 REF_CLK Out Mode

Table 5-9 FCE1142 Current Consumption And Power Dissipation (REF_CLK OUT,Regs.Disabled)

Power Pin Group		3.3V Device Current (mA)	1.2V Device Current (mA)	3.3V Device Current w/ Magnetics (mA)	Total Device Power (mW)
nRESET	Typical	17	11	0	70
100BASE-TX/W Traffic (No EEE)	Typical	38	21	40	282
10BASE-T/W Traffic	Typical	18	13	93	381
Energy Detect Power Down	Typical	7	2	0	24
General Power Down	Typical	3	2	0	11

Table 5-10 FCE1142 Current Consumption And Power Dissipation (REF_CLK OUT,Regs. Enabled)

Power Pin Group		Device Current (mA)	Device Current w/ Magnetics (mA)	Total Device Power (mW)
nRESET	Typical	29	0	96
100BASE-TX/W Traffic (No EEE)	Typical	60	41	333
10BASE-T/W Traffic	Typical	32	96	422
Energy Detect Power Down	Typical	8	0	28
General Power Down	Typical	5	0	17

5.4 DC Specifications

Table 5-11 details the non-variable I/O buffer characteristics. These buffer types do not support variable voltage operation. Table 5-12 details the variable voltage I/O buffer characteristics. Typical values are provided for 1.8V, 2.5V, and 3.3V **VDDIO** cases.

Table 5-11 Non-Variable I/O Buffer Characteristics

Symbol	Buffer Types	Parameter	Condition	Min.	Typ.	Max.	Units	Notes
V_{ILI}	IS	Low Input Level		-0.3	-	-	V	
V_{IHI}		High Input Level		-	-	5.5	V	
V_{ILT}		Neg-Going Threshold		1.01	1.19	1.39	V	Schmitt
V_{IHT}		Pos-Going Threshold		1.43	1.65	1.86	V	Schmitt
V_{HYS}		Schmitt Trigger Hysteresis	V_{IHT}-V_{ILT}	336	399	459	mV	
I_{IH}		Input Leakage	VIN=**VSS** or **VDDIO**	-10	-	10	µA	**Note1**
C_{IN}		Input Capacitance		-	-	5	pF	
V_{ILI}	ICK (XTAL1 Input)	Low Input Level		-0.3	-	0.35	V	**Note2**
V_{IHI}		High Input Level		**VDDCR**-0.35	-	3.6	V	
V_{OL}	O12	Low Output Level	I_{OL}=12mA	-	-	0.4	V	
V_{OH}		High Output Level	I_{OH}=-12mA	**VDD2A**-0.4	-	-	V	

Note1: This specification applies to all inputs and tri-stated bi-directional pins. Internal pull-down and pull-up resistors add ±50µA per-pin (typical).

Note2: **XTAL1/CLKIN** can optionally be driven from a 25MHz single-ended clock oscillator.

Table 5-12 Variable I/O Buffer Characteristics

Symbol	Buffer Types	Parameter	Condition	Min.	1.8V Typ.	3.3V Typ.	Max.	Units	Notes
V_{ILI}	VIS	Low Input Level		-0.3	-	-	-	V	
V_{IHI}		High Input Level		-	-	-	3.6	V	
V_{ILT}		Neg-Going Threshold		0.64	0.83	1.51	1.76	V	Schmitt trigger
V_{IHT}		Pos-Going Threshold		0.81	1	1.65	1.93	V	Schmitt trigger
V_{HYS}		Schmitt Trigger Hysteresis	V_{IHT}-V_{ILT}	95	164	137	298	mV	
I_{IH}		Input Leakage	VIN=**VSS** or **VDDIO**	-10	-	-	10	μA	**Note1**
C_{IN}		Input Capacitance		-	-	-	2	pF	
V_{OL}	VO8	Low Output Level	I_{OL}=8mA	-	-	0.4	-	V	
V_{OH}		High Output Level	I_{OH}=-8mA	**VDDIO**-0.4	-	-	-	V	
V_{OL}	VOD8	Low Output Level	I_{OL}=8mA	-	-	0.4	-	V	

Note1: This specification applies to all inputs and tri-stated bi-directional pins. Internal pull-down and pull-up resistors add ±50μA per-pin (typical).

Table 5-13 100Base-TX Transceiver Characteristics

Parameter	Symbol	Min.	Typ.	Max.	Units	Notes
Peak Differential Output Voltage High	V_{PPH}	950	-	1050	mVpk	**Note1**
Peak Differential Output Voltage Low	V_{PPL}	-950	-	-1050	mVpk	**Note1**
Signal Amplitude Symmetry	V_{SS}	98	-	102	%	**Note1**
Signal Rise and Fall Time	T_{RF}	3.0	-	5.0	ns	**Note1**
Rise and Fall Symmetry	T_{RFS}	-	-	0.5	ns	**Note1**
Duty Cycle Distortion	D_{CD}	35	50	65	%	**Note2**
Overshoot and Undershoot	V_{OS}	-	-	5	%	
Jitter	-	-	-	1.4	ns	**Note3**

Note1: Measured at line side of transformer, line replaced by 100Ω (±1%) resistor.

Note2: Offset from 16ns pulse width at 50% of pulse peak.

Note3: Measured differentially.

Table 5-14 10Base-T Transceiver Characteristics

Parameter	Symbol	Min.	Typ.	Max.	Units	Notes
Transmitter Peak Differential Output Voltage	V_{OUT}	2.2	2.5	2.8	V	**Note1**
Receiver Differential Squelch Threshold	V_{DS}	300	420	585	mV	

Note1: Min/max voltages guaranteed as measured with 100Ω resistive load.

Table 5-15 Link Loss Reaction (Indication) Time

Parameter	Symbol	Min.	Typ.	Max.	Units	Notes
Link Loss Reaction (Indication) Time	t_{llr}	-	8.93	-	μs	**Note1**

Note1: Time from detection of link loss at the receive differential input (twisted pair cable disconnect) to PHY signal indication (MII_LINK). Guaranteed by design.

内部资料

5.5 AC Specifications

This section details the various AC timing specifications of the device.

5.5.1 Equivalent Test Load

Output timing specifications assume a 25pF equivalent test load, unless otherwise noted, as illustrated in Figure 5-1 below.

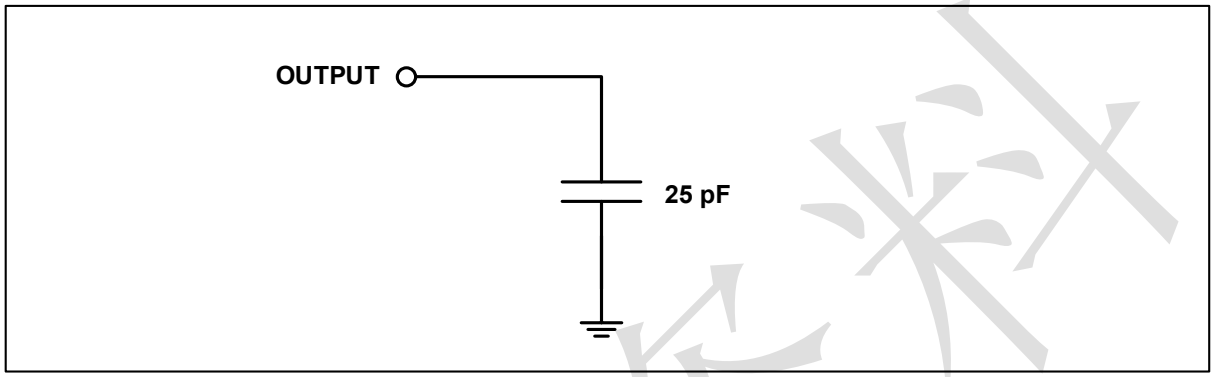


Figure 5-1 Output Equivalent Test Load

内部资料

5.5.2 Power Sequence Timing

This diagram illustrates the device power sequencing requirements. The VDDIO, VDD1A, VDD2A and magnetics power supplies can turn on in any order provided they all reach operational levels within the specified time period tpon. Device power supplies can turn off an any order provided they all reach 0V within the specified time period tpoff.

It is acceptable for the VDD1A/VDD2A supply to remain powered up while the VDDCR and VDDIO supplies are at 0V for a period not to exceed 750ms. In this case, nRESET must be asserted while VDDCR and/or VDDIO is off, and must remain asserted for a minimum of 50ms after the VDDCR and VDDIO supplies reach operational level. Additionally, VDDIO must come up with or after the VDDCR supply. Configuration straps must meet the requirements specified in Section 5.5.3"Power On nRST&Configuration Strap Timing".

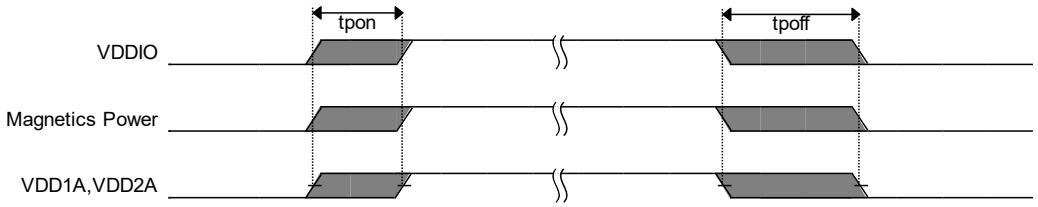


Figure 5-2 Power Sequence Timing

Table 5-16 Power Sequence Timing Values

Symbol	Description	Min.	Typ.	Max.	Unit
tpon	Power supply turn on time	-	-	50	ms
tpoff	Power supply turn off time	-	-	500	ms

Note: When the internal regulator is disabled, a power-up sequencing relationship exists between VDDCR and the 3.3V power supply. For additional information refer to Section 3.7.4 " REFOFF: Internal +1.2V Regulator Configuration ".

5.5.3 Power-On nRST & Configuration Strap Timing

This diagram illustrates the nRST reset and configuration strap timing requirements in relation to power-on. A hardware reset (nRST assertion) is required following power-up. For proper operation, nRST must be asserted for no less than trstia. The nRST pin can be asserted at any time, but must not be deasserted before tpurstd after all external power supplies have reached operational levels. In order for valid configuration strap values to be read at power-up, the tcss and tcsh timing constraints must be followed. Refer to Section 3.8.7 " Resets " for additional information.

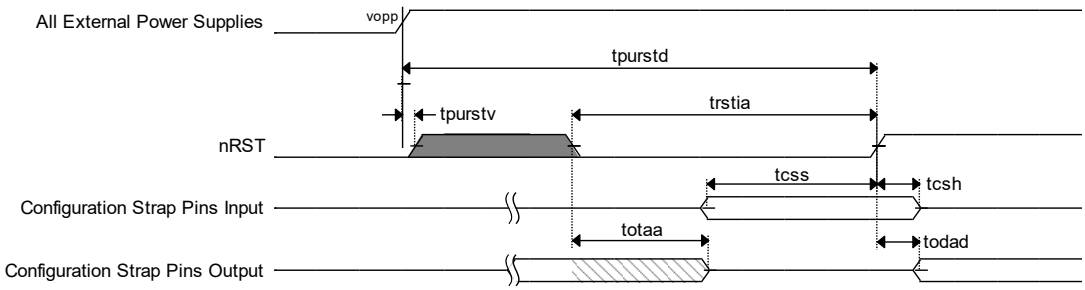


Figure 5-3 Power-On nRST & Configuration Strap Timing

Table 5-17 Power-On nRST & Configuration Strap Timing Values

Symbol	Description	Min.	Typ.	Max.	Unit
tpurstd	External power supplies at operational level to nRST deassertion	25			ms
tpurstv	External power supplies at operational level to nRST valid	0			ns
trstia	nRST input assertion time	100			μs
tcss	Configuration strap pins setup to nRST deassertion	200			ns
tcsh	Configuration strap pins hold after nRST deassertion	1			ns
totaa	Output tri-state after nRST assertion			50	ns
todad	Output drive after nRST deassertion	2		800(Note1)	ns

Note1: 20 clock cycles for 25MHz, or 40 clock cycles for 50MHz.

Note: nRST deassertion must be monotonic.

Note: Device configuration straps are latched as a result of nRST assertion. Refer to Section 3.7 " Configuration Straps " for details. Configuration straps must only be pulled high or low and must not be driven as inputs.

5.5.4 MII Interface Timing

This section specifies the MII interface transmit and receive timing. Please refer to Section 3.4.1 " MII " for additional details.

5.5.4.1 MII Receive Timing

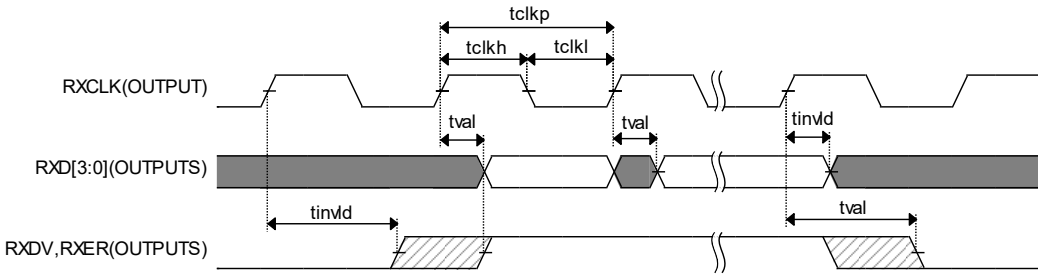


Figure 5-4 MII Receive Timing

Table 5-18 MII Receive Timing Values

Symbol	Description	Min.	Typ.	Max.	Unit	Note
tclkp	RXCLK period	**Note1**	-	-	ns	
tclkh	RXCLK high time	tclkp×0.4	-	tclkp×0.6	ns	
tclkl	RXCLK low time	tclkp×0.4	-	tclkp×0.6	ns	
tval	RXD[3:0], RXDV, RXER output valid from rising edge of RXCLK	-	-	28.0 **(Note3)**	ns	**Note2**
tinvld	RXD[3:0], RXDV, RXER output invalid from rising edge of RXCLK	10.0 **(Note4)**	-	-	ns	**Note2**

Note1: 40ns for 100BASE-TX operation, 400ns for 10BASE-T operation.

Note2: Timing was designed for system load between 10pF and 25pF.

Note3: 28ns for 100BASE-TX operation, 280ns for 10BASE-T operation.

Note4: 10ns for 100BASE-TX operation, 100ns for 10BASE-T operation.

5.5.4.2 MII Transmit Timing

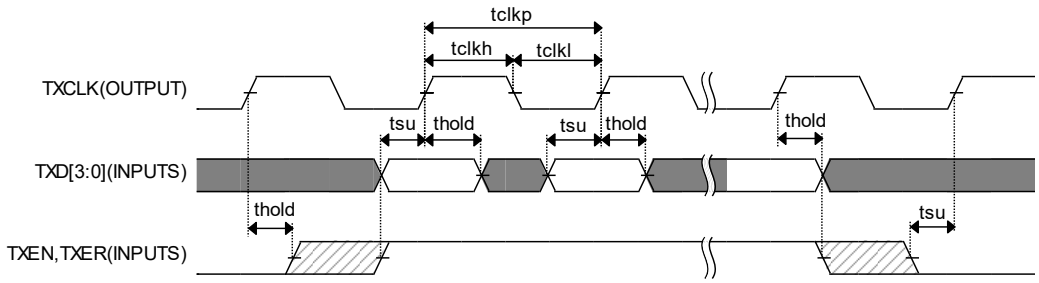


Figure 5-5 MII Transmit Timing

Table 5-19 MII Transmit Timing Values

Symbol	Description	Min.	Typ.	Max.	Unit	Note
tclkp	TXCLK period	**Note1**	-	-	ns	
tclkh	TXCLK high time	tclkp×0.4	-	tclkp×0.6	ns	
tclkl	TXCLK low time	tclkp×0.4	-	tclkp×0.6	ns	
tsu	TXD[3:0], TXEN, TXER setup time to rising edge of TXCLK	12.0	-	-	ns	**Note2**
thold	TXD[3:0], TXEN, TXER hold time after rising edge of TXCLK	0	-	-	ns	**Note2**
t1	TXCLK rising edge after TXEN assertion to RXDV assertion (100Mbps internal loopback mode)	160	-	162	ns	**Note2**

Note1: 40ns for 100BASE-TX operation, 400ns for 10BASE-T operation.

Note2: Timing was designed for system load between 10pF and 25pF.

5.5.4.3 100Mbps Internal Loopback MII Timing

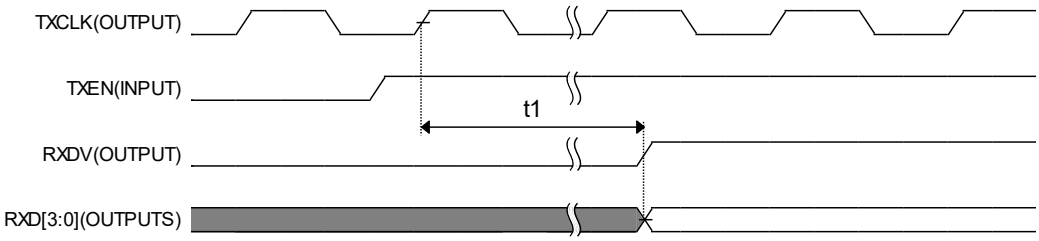


Figure 5-6 100Mbps Internal Loopback MII Timing

Table 5-20 100Mbps Internal Loopback MII Timing Values

Symbol	Description	Min.	Typ.	Max.	Unit
t1	TXCLK rising edge after TXEN assertion to RXDV assertion (100Mbps internal loopback MII mode)	160	161	162	ns

Note: The t1 measurement applies in MII mode when the Loopback bit of the Basic Control Register is set to “1” and a link has been established in 100Mb full-duplex mode. The t1 measurement is taken from the first rising edge of TXCLK following assertion of TXEN to the rising edge of RXDV.

内部资料

5.5.5 RMII Interface Timing

This section specifies the RMII interface transmit and receive timing. Please refer to Section 3.4.2"RMII" for additional details.

5.5.5.1 RMII Timing (REF_CLK Out Mode)

The 50MHz REF_CLK Out timing applies to the case when **nINSEL** is pulled-low. In this mode, a 25MHz crystal or clock oscillator must be input on the **XTAL1**/**CLKIN** and **XTAL2** pins. For more information on REF_CLK Out Mode, see Section 3.7.5.2.2 " REF_CLK Out Mode " .

NOTE: The **CRS_DV** pin performs both carrier sense and data valid functions. CRS_DV is asserted asynchronously on detection of carrier due to the criteria relevcant to the operating mode. If the PHY has additional bits to be presented on RXD[1:0] following the initial deassertion of CRS_DV, then the device will assert CRS_DV on cycles of REF_CLK which present the second di-bit of each nibble and deassert CRS_DV on cycles of REF_CLK which present the first di-bit of a nibble. For additional information, refer to the RMII specification.

NOTE: Use this RMII timing only when the FCP1142 is configured in REF_CLK OUT mode via nINTSEL.

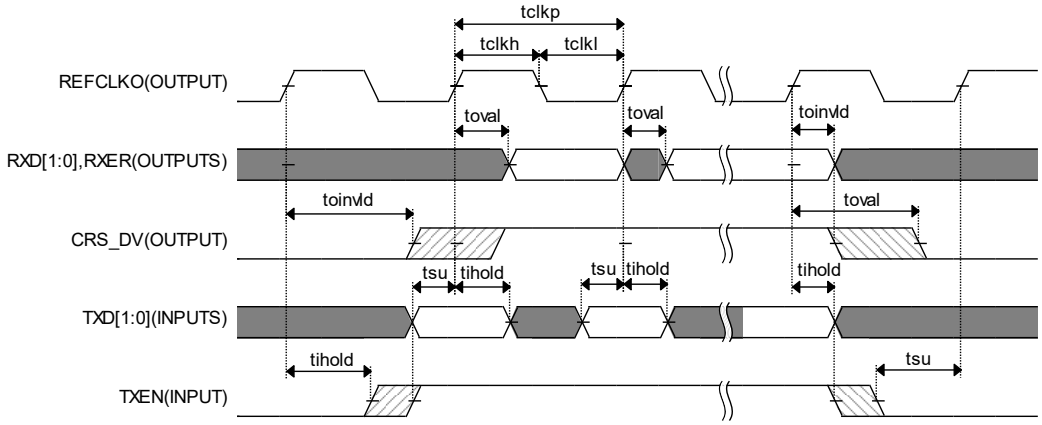


Figure 5-7 RMII Timing(REF_CLK Out Mode)

Table 5-21 RMII Timing Values(REF_CLK Out Mode)

Symbol	Description	Min.	Typ.	Max.	Unit	Note
tclkp	REFCLKO period	20			ns	
tclkh	REFCLKO high time	tclkp×0.4		tclkp×0.6	ns	
tclkl	REFCLKO low time	tclkp×0.4		tclkp ×0.6	ns	
tval	RXD[1:0], RXER, CRS_DV ouput valid from rising edge of REFCLKO			7.0	ns	**Note1**
toinvld	RXD[1:0], RXER, CRS_DV ouput invalid from rising edge of REFCLKO	3.0			ns	**Note1**
tsu	TXD[1:0], TXEN setup time to rising edge of REFCLKO	9.0			ns	**Note1**
tihold	TXD[1:0], TXEN input hold time after rising edge of REFCLKO	2.0			ns	**Note1**

Note1: Timing was designed for system load between 10pF and 25pF.

内部资料

5.5.5.2 RMII Timing(REF_CLK In Mode)

The 50MHz REF_CLK In timing applies to the case when nINSEL is floated or pulled-high. In this mode, a 50MHz must be input on the CLKIN pins. For more information on REF_CLK In Mode, see Section 3.7.5.2.1 " REF_CLK In Mode ".

NOTE: The CRS_DV pin performs both carrier sense and data valid functions. CRS_DV is asserted asynchronously on detection of carrier due to the criteria relevcant to the operating mode. If the PHY has additional bits to be presented on RXD[1:0] following the initial deassertion of CRS_DV, then the device will assert CRS_DV on cycles of REF_CLK which present the second di-bit of each nibble and deassert CRS_DV on cycles of REF_CLK which present the first di-bit of a nibble. For additional information, refer to the RMII specification.

NOTE: Use this RMII timing only when the FCP1142 is configured in REF_CLK OUT mode via nINTSEL.

NOTE: Use this timing only when the FCP1140 is configured for RMII mode;

Use this timing only when the FCP1142 is configured in REF_CLK In mode via nINTSEL;

FCP1145 does not support RMII mode.

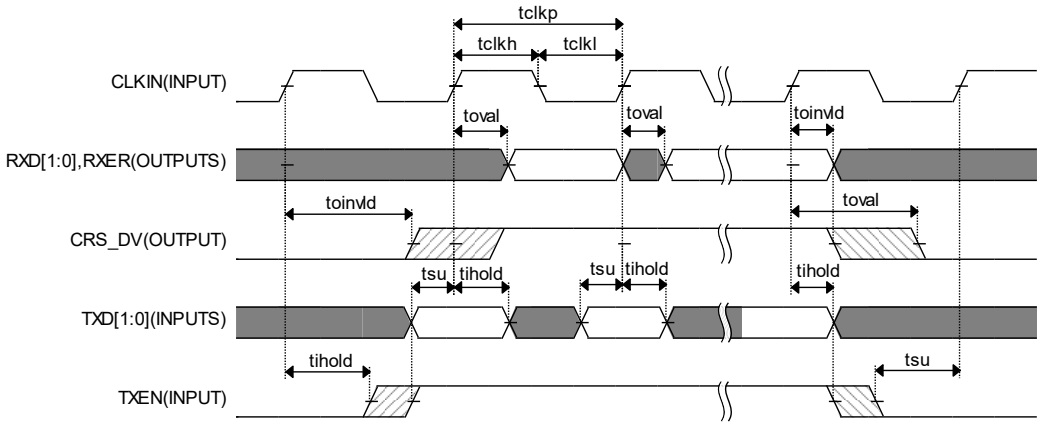


Figure 5-8 RMII Timng(REF_CLK In Mode)

Table 5-22 RMII Timing Values(REF_CLK In Mode)

Symbol	Description	Min.	Typ.	Max.	Unit	Note
tclkp	REFCLKO period	20			ns	
tclkh	REFCLKO high time	tclkp×0.35		tclkp×0.65	ns	
tclkl	REFCLKO low time	tclkp×0.35		tclkp×0.65	ns	
toval	RXD[1:0], RXER, CRS_DV ouput valid from rising edge of CLKIN			15.0	ns	**Note1**
toinvld	RXD[1:0], RXER, CRS_DV ouput invalid from rising edge of CLKIN	3.0			ns	**Note1**
tsu	TXD[1:0], TXEN setup time to rising edge of CLKIN	4.0			ns	**Note1**
tihold	TXD[1:0], TXEN input hold time after rising edge of CLKIN	1.5			ns	**Note1**

Note1: Timing was designed for system load between 10pF and 25pF.

5.5.5.3 RMII CLKIN Requirements

Table 5-23 RMII CLKIN(REF_CLK) Timing Values

Parameter	Min.	Typ.	Max.	Unit	Note
CLKIN frequency		50		MHz	
CLKIN frequency drift			±50	ppm	
CLKIN duty cycle	40		60	%	
CLKIN jitter			150	ps	p-p–not RMS

5.5.6 SMI Timing

This section specifies the SMI timing of the device. Please refer to Section 3.5"Serial Management Interface (SMI)" for additional details.

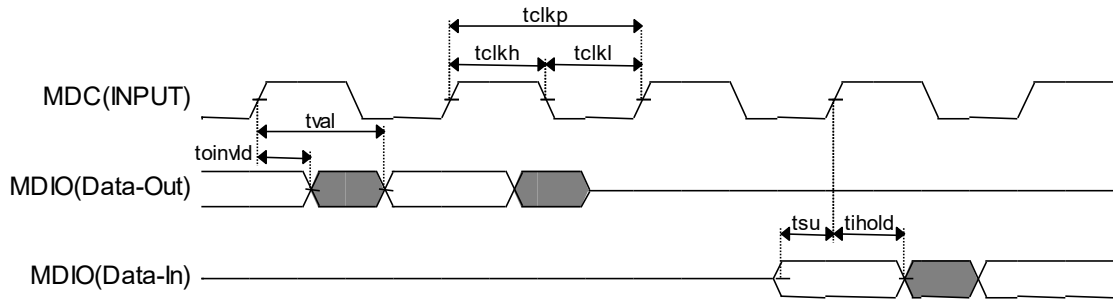


Figure 5-9 SMI Timing

Table 5-24 SMI Timing Values

Symbol	Description	Min.	Max.	Unit
tclkp	MDC period	140		ns
tclkh	MDC high time	56(80%)		ns
tclkl	MDC low time	56(80%)		ns
tval	MDIO (read from PHY) output valid from rising edge of MDC		40	ns
toinvld	MDIO (read from PHY) output invalid from rising edge of MDC	0		ns
tsu	MDIO (write to PHY) setup time to rising edge of MDC	10		ns
tihold	MDIO (write to PHY) input hold time after rising edge of MDC	10		ns

5.6 Clock Circuit

The device can accept either a 25MHz crystal or a 25MHz single-ended clock oscillator (±50 ppm) input. If the singleended clock oscillator method is implemented, **XTAL2** should be left unconnected and **XTAL1** should be driven with a clock signal that adheres to the specifications outlined throughout Section 5 "Operational Characteristics". See Table 5-25 and the accompanying notes for the recommended crystal specifications when using a 25MHz crystal.

Table 5-25 Crystal Specifications(Note1)

Symbol	Parameter	Conditions(Note2)	Min	Typ	Max	Units
Fundamental Mode	Crystal Oscillation Mode	-	-	-	-	-
f_{OSCI}	Oscillator Frequency	-	-	25	-	MHz
R_F	Feedback resistor	-	0.83	1.04	1.6	MΩ
G_m	Maximum critical crystal transconductance	Startup	-	-	1.5	mA/V
t_{SU}(Note3)	Startup time	VDD is stabilized	-	0.5	-	ms
F_{tol}(Note4)	802.3 Frequency Tolerance at 25℃	-	-	-	±40	ppm
F_{temp}(Note4)	802.3 Frequency Stability Over Temp	-	-	-	±40	ppm
F_{age}(Note5)	802.3 Frequency Deviation Over Time	-	-	±3 to 5	-	ppm
-	802.3 Total Allowable PPM Budget(Note6)	-	-	-	±50	ppm
F_{tol}(Note7)	EtherCAT Frequency Tolerance at 25℃	-	-	-	±15	ppm
F_{temp}(Note7)	EtherCAT Frequency Stability Over Temp	-	-	-	±15	ppm
F_{age}(Note5)	EtherCAT Frequency Deviation Over Time	-	-	±3 to 5	-	ppm
-	EtherCAT Total Allowable PPM Budget(Note8)	-	-	-	±25	ppm

Note1: Based on design simulation.

Note2: Resonator characteristics given by the crystal/ceramic resonator manufacturer.

Note3: t_{SU} is the startup time measured from the moment it is enabled (by software) to a stabilized 25MHz oscillation is reached. This value is measured for a standard crystal resonator and it can vary significantly with the crystal manufacturer.

Note4: The maximum allowable values for frequency tolerance and frequency stability are application dependent. Since any particular application must meet the IEEE ±50ppm Total PPM Budget, the combination of these two values must be approximately ±45ppm (allowing for aging).

Note5: Frequency Deviation Over Time is also referred to as Aging.

Note6: The total deviation for 100BASE-TX is ±50ppm.

Note7: The maximum allowable values for frequency tolerance and frequency stability are application dependent. Since any particular application must meet the EtherCAT ±25ppm Total PPM Budget, the combination of these two values must be approximately ±15ppm (allowing for aging).

Note8: The total deviation for EtherCAT is ±25ppm.

For C1 and C2, it is recommended to use high-quality external ceramic capacitors, designed for high-frequency applications, and selected to match the requirements of the crystal or resonator (see Figure 5-9). C1 and C2 are usually the same size. The crystal manufacturer typically specifies a load capacitance which is the series combination of C1 and C2. PCB pin capacitance must be included when sizing C1 and C2.

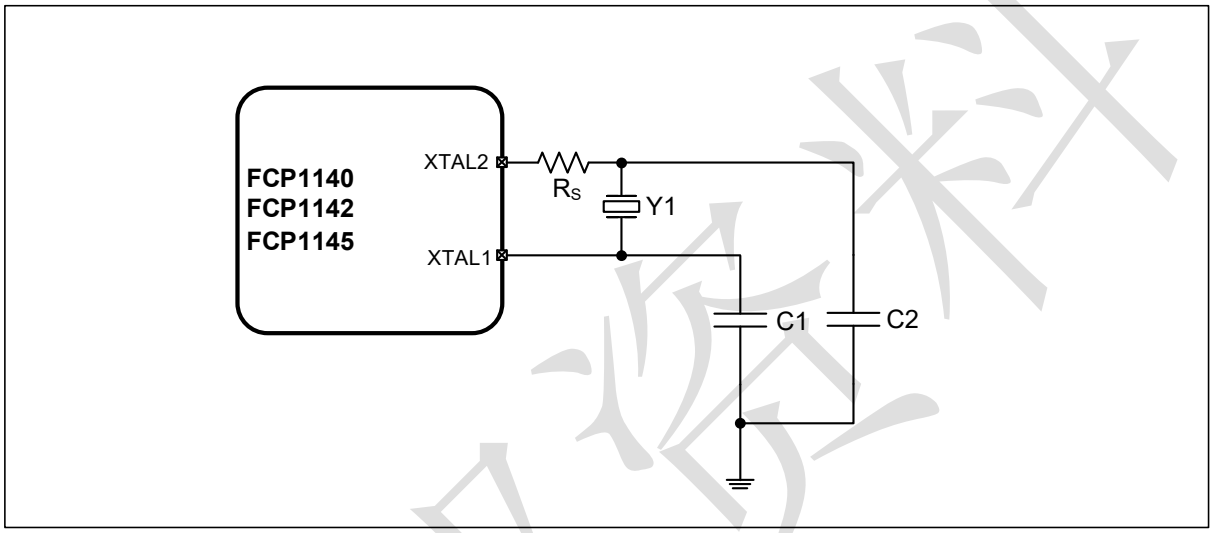


Figure 5-10 Typical application with a 25MHz crystal

Drive level refers to how much power is provided by the electrical oscillator and dissipated by the crystal. The maximum drive level specified in the crystal manufacturer's data sheet is usually the maximum the crystal can dissipate without damage or significant reduction in operating life. On the other hand, the drive level specified by the electrical oscillator is the maximum power it can provide. The actual power provided by the electrical oscillator is not necessarily the maximum power and depends on the crystal and board components.

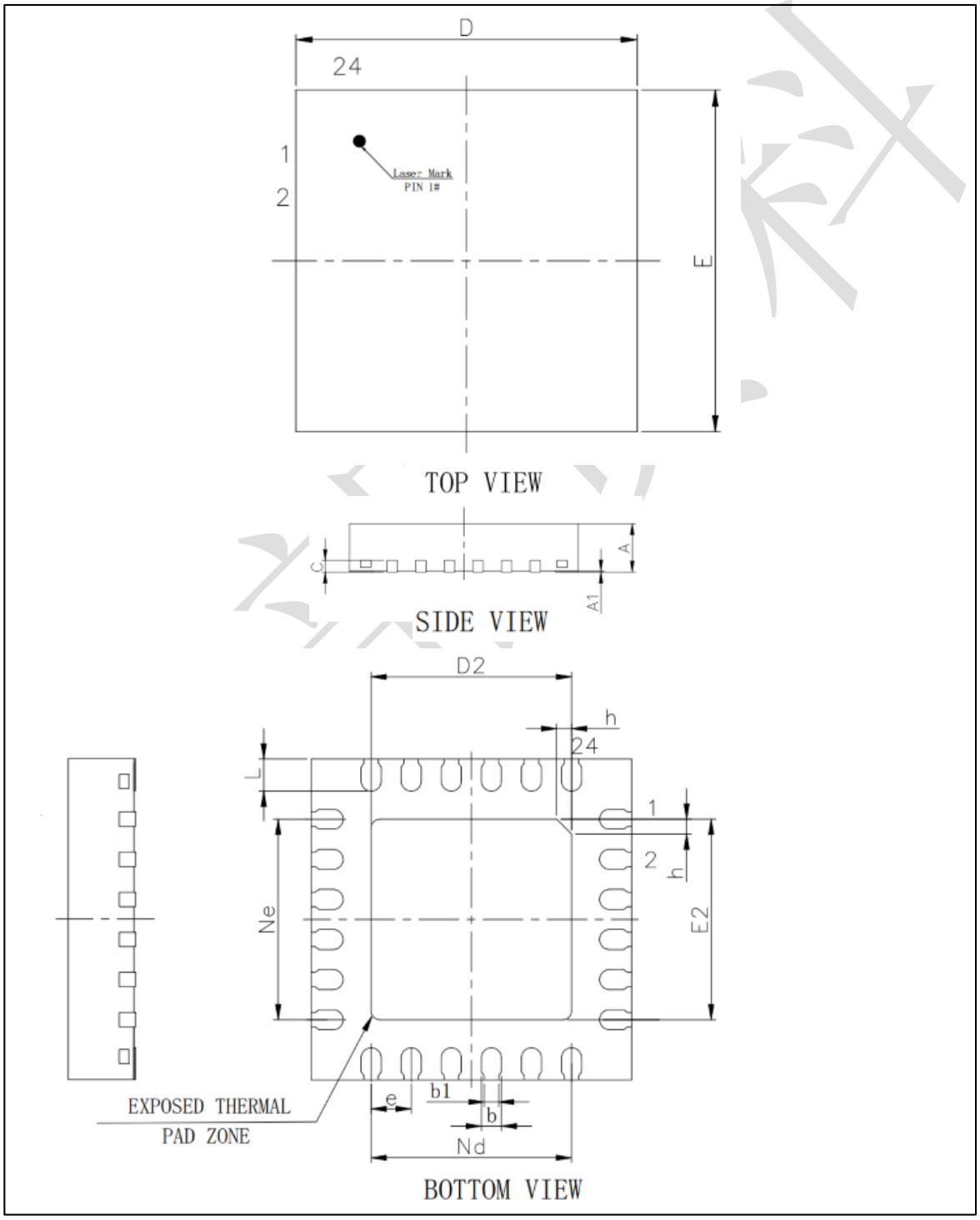
For cases where the actual drive level from the electrical oscillator exceeds the maximum drive level specification of the crystal, a dampening resistor (Rs) should be installed to limit the current and reduce the power dissipated by the crystal. If the actual drive level from the electrical oscillator not exceeds the maximum drive level specification of the crystal, the insertion of Rs is not recommended and its value is then 0Ω. Note that Rs reduces the circuit gain; and therefore, the actual value to use should be evaluated to make sure all other conditions for start-up and sustained oscillation are met.

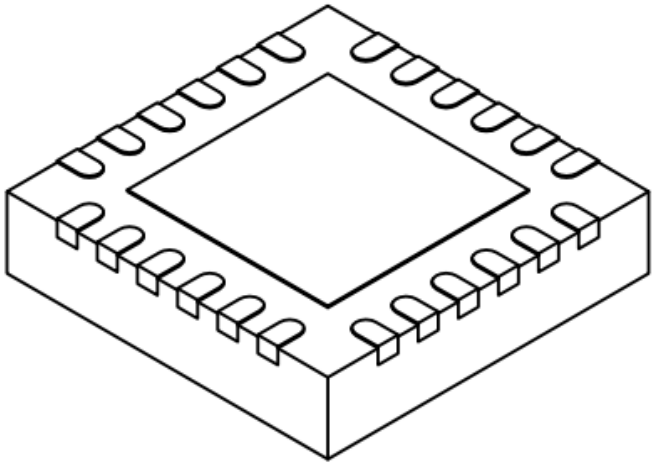
6 封装和订购信息

6.1 封装信息

6.1.1 QFN24-EP 封装

QFN24-EP 封装尺寸如下：

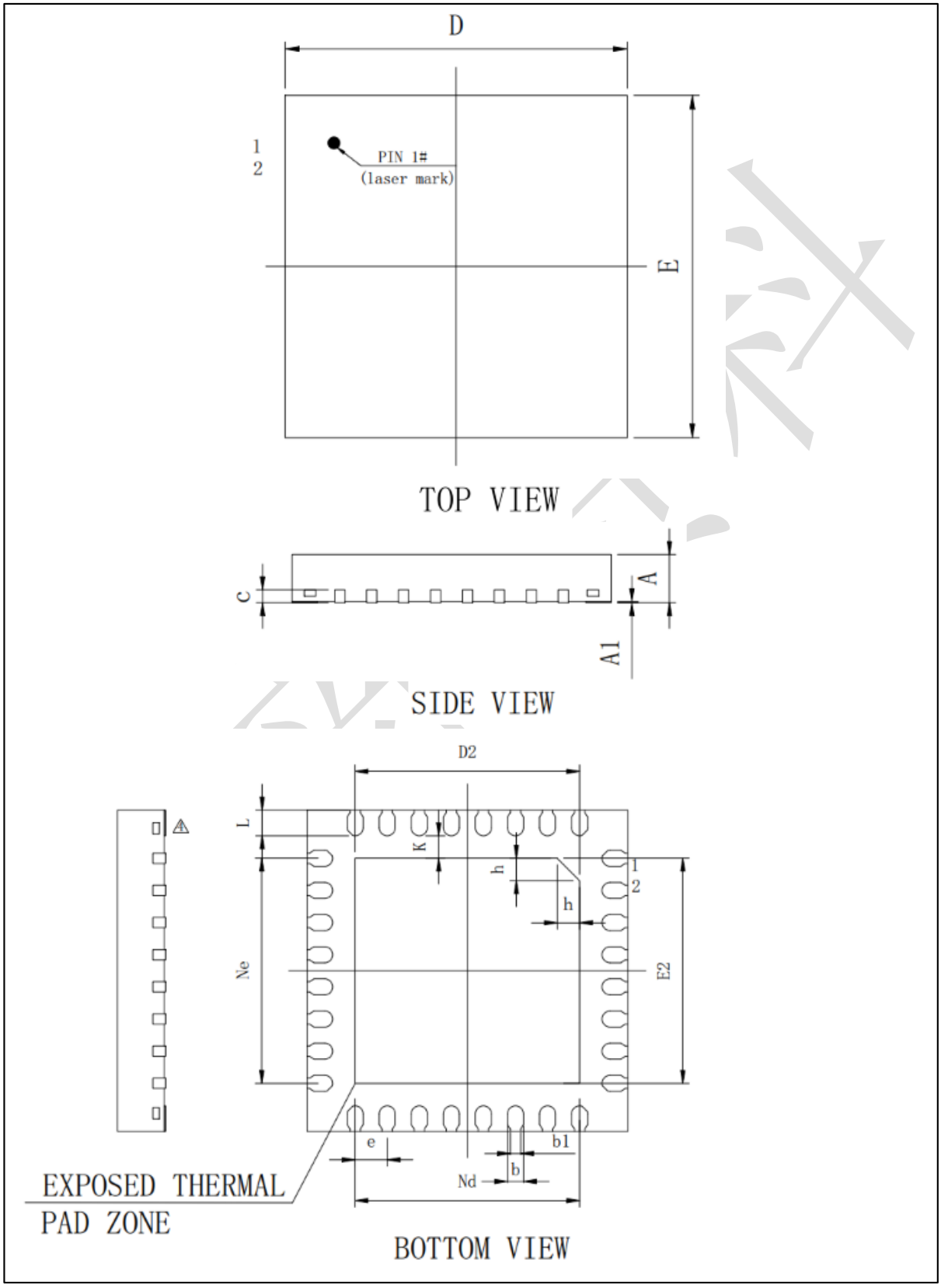


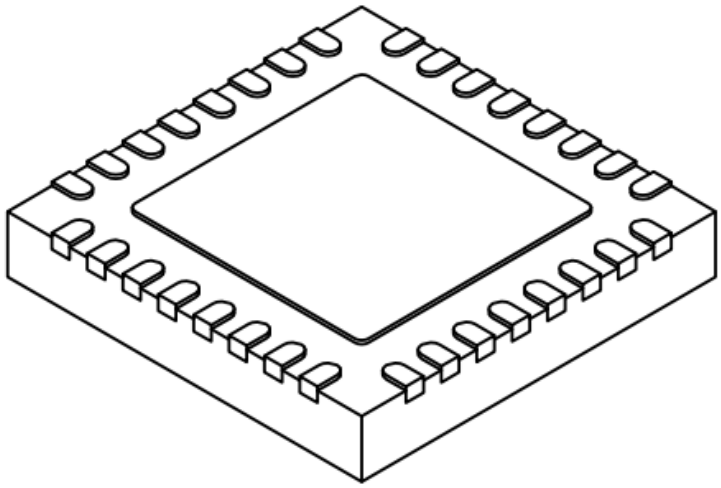


SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0. 70	0.75	0. 80
A1	—	0.02	0. 05
b	0. 18	0.25	0. 30
b1	0. 18REF		
c	0. 18	0.20	0. 25
D	3. 90	4. 00	4. 10
D2	2. 40	2. 50	2. 60
e	0. 50BSC		
Ne	2.50BSC		
Nd	2.50BSC		
E	3. 90	4. 00	4. 10
E2	2. 40	2. 50	2. 60
L	0. 35	0.40	0. 45
h	0. 30	0. 35	0. 40

6.1.2 QFN32-EP 封装

QFN32-EP 封装尺寸如下：





SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0. 70	0.75	0. 80
A1	—	0.02	0. 05
b	0. 18	0.25	0. 30
b1	0.16REF		
c	0. 18	0.20	0. 25
D	4. 90	5. 00	5. 10
D2	3. 40	3. 50	3. 60
e	0. 50BSC		
Ne	3. 50BSC		
E	4. 90	5. 00	5. 10
E2	3. 40	3. 50	3. 60
L	0. 35	0.40	0. 45
h	0. 30	0. 35	0. 40

6.2 订购信息

表 6-1 订购信息

Device	Package Type	Pins	Packing Type	Packing Qty	SPQ	Eco Plan	MSL	Op Temp (°C)	Status
FCP1140N2N	QFN	32	Tray	490	4900	RoHS, Reach & Green	Level-3	-40 to 105	PREVIEW
FCP1142N2N	QFN	24	Tray	490	4900	RoHS, Reach & Green	Level-3	-40 to 105	PREVIEW
FCP1145N2N	QFN	32	Tray	490	4900	RoHS, Reach & Green	Level-3	-40 to 105	PREVIEW

【注】包装信息请参考相应的包装资料。

内部资料

7 修订记录

修订日期	版本	修订内容
2025-10-19	V0.0.0	首版内部文档。
2026-06-09	V0.0.1	修改章节 4.4.14“模式控制/状态寄存器”中寄存器描述内容。 修改章节 4.1.3“PHY 标识符 1 寄存器”和章节 4.1.4“PHY 标识符 2 寄存器”中寄存器默认值。 修改章节“术语目录”名称为“术语”，并修订其内容。 修改章节 5.5“DC Specifications”的 Table 5-17 内容描述。 勘误章节 4.2“MDIO 可管理器件（MMD）寄存器”表 4-3 的自动协商地址。 勘误章节 5.6.4.1“MII Receive Timing”Table 5-20，新增注释说明。 修改章节 6.2“订购信息”表 6-1 内容。
2026-08-18	V0.4.0	对封面内容进行更正，改为 FCP1145 不支持 EEE，并更正描述。 新增章节 3.7.2.2“100FD：配置模式”中的【应用注意】。 更正章节 3.8.5“高效节能以太网”中内容描述。 新增章节 5.1“Absolute Maximum Rating*”的 T_{STG}，T_J，$V_{ESD(HBM)}$，$V_{ESD(CDM)}$，I_{LAT} 值，更正 VDDCR 的 Max 值。 新增章节 5.2“Recommended Operating Conditions**”的 T_A 值。 新增章节 5.3“Power Consumption”的 FCP1140/FCP1145 和 FCP1142 的 Power Consumpttion 值。 去掉章节 5.4“Package Thermal Specifications”，后续章节号依序变更，并更改相应的引用章节序号及图表序号。 变更章节 5.4“DC Specifications”中的 V_{HYS} 的值为整数，新增 t_{llr} 的 Note1 内容。 新增章节 5.6“Clock Circuit”的 t_{su} 的 Typ 值。

内部资料

通知与声明

方芯提供的技术和可靠性数据（包括数据表）、设计资料（包括参考设计）、设计建议、应用、工具或其他资料均为“原样的”，不保证没有任何瑕疵，同时也不提供任何保证，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权等。

这些资料可供熟练使用方芯产品进行设计的开发人员使用。您将自行承担以下责任：（1）选择合适的方芯产品；（2）设计、验证并测试您的应用方案；（3）确保您的应用满足相应标准及其他要求，如安全、法规等等。资料如有变更方芯将不会另行通知。这些材料仅用于开发本资料所述的方芯产品的应用方案。严禁对这些资料进行复制或展示。同时并未授权您使用任何方芯及其他第三方的知识产权。

方芯提供的产品受销售合同约束。方芯提供的这些资料也不会扩展或以其他方式改变方芯针对产品发布的适用担保或担保的免责声明。方芯拒绝接受您可能提出的任何附加或者不同的条款。

地址：北京市海淀区高里掌路 1 号院 2 号楼，邮编：100095，邮箱：support@funcience.com

Copyright © 2026，北京方芯半导体有限公司

内部资料