FCE135X

集成了以太网 PHY 的 2/3 端口 EtherCAT 从站控制器---FCE1353、FCE1354

特性

- **电源特性**
  - 支持集成 1.2V 稳压器以实现 3.3V 单电源操作。
  - 支持 1.8V 至 3.3V 可变电压 I/O。
  - 支持允许系统进入休眠模式，直到被主站寻址的低功耗模式。
- **以太网端口数：**2/3 端口 EtherCAT 从控制器。
- **FMMU 数量：**8
- **SM 数量：**8
- **功能特性**
  - 支持通过 8/16 位总线到大多数 8/16 位嵌入式控制器和 32 位嵌入式控制器的接口
  - 支持 HP Auto-MDIX 的集成以太网 PHY
  - 支持 LAN 唤醒（WoL）。
  - 支持电缆诊断

应用

- **电机运动控制**
- **过程/工厂自动化**
- **通信模块和接口卡**
- **传感器**
- **液压阀及气动阀系统**
- **操作员界面**

优势

- **集成高性能的 100Mbps 以太网收发器**
  - 符合 IEEE 802.3/802.3u（快速以太网）标准
  - 信号质量指数诊断
  - 环回模式
  - 自动极性检测和校正
  - HP Auto-MDIX
  - 兼容 EtherCAT P
- **EtherCAT 从控制器**
  - 支持 8 个 FMMU
  - 支持 8 个 SyncManager
  - 支持分布式时钟，允许与其它 EtherCAT 器件同步
  - 8KB DPRAM
- **8/16 位主机总线接口**
  - 索引寄存器，复用或者解复用总线
  - 允许本地主机进入休眠模式，直到被 EtherCAT 主站寻址
  - 支持 SPI/SQI（四 SPI）
- **用于优化系统成本的数字 I/O 模式**
  - 16/32 个可用的数字 I/O
- **可实现灵活的网络配置的第 3 个端口**
- **全面的电源管理功能**
  - 3 种掉电级别
  - 链路状态变化时唤醒（能量检测）
  - 魔术包唤醒、 LAN 唤醒（ WoL）、广播唤醒及理想 DA 唤醒
  - 唤醒指示事件信号
- **电源和 I/O**
  - 集成上电复位电路

Funcience confidential

- 3.3V 单电源（集成 1.2V 稳压器）

- **附加功能**
  - EEPROM 仿真
  - 支持无变压器链路
  - 多功能 GPIO
  - 能够使用低成本
  - 多功能 GPIO
  - 能够使用低成本 25 MHz 晶振，从而降低 BOM 成本
  - 用于菊花链参考时钟的 25MHz 时钟输出
- **封装**
  - FCE1353：QFN64-EP
    QFP64-EP
  - FCE1354：QFP80-EP
- **产品功能信息**

		FCE1353	FCE1354
封装		64-QFP/QFN-EP	80-QFP-EP
EtherCAT		2LAN+MII	2LAN+MII
光纤		-	-
PDI 接口	HBI	HBII	HBII
		HBIM1P/HBIM2P	HBIM1P/HBIM2P
		-	HBID
	SPI	Beckhoff-SPI	Beckhoff-SPI
		SPI/SQI	SPI/SQI
	数字 I/O	16DGIO	32DGIO

Funcience confidential

目录

FCE135X **1**
目录 **3**
图目录 **12**
表目录 **17**
历史版本 **20**
常用术语 **22**
缓冲类型 **25**
寄存器术语 **26**
1 描述 **27**
2 引脚介绍 **31**
2.1 引脚概述 31
2.1.1 FCE1353 引脚定义 31
2.1.1.1 引脚排布 31
2.1.1.2 引脚名称 32
2.1.2 FCE1354 引脚定义 34
2.1.2.1 引脚排布 34
2.1.2.2 引脚名称 35
2.2 引脚描述 37
2.2.1 LAN 端口 A 引脚说明 38
2.2.2 LAN 端口 B 引脚说明 38
2.2.3 LAN 端口 A 和端口 B 的电源和通用引脚说明 39
2.2.4 EtherCAT MII 端口和配置脚引脚说明 40
2.2.5 主机总线引脚说明 41
2.2.6 SPI/SQI 引脚说明 43
2.2.7 EtherCAT 数字 I/O 和 GPIO 引脚说明 44
2.2.8 EtherCAT 分布式时钟引脚说明 45
2.2.9 EEPROM 引脚说明 45
2.2.10 LED 和配置脚引脚说明 46
2.2.11 其它引脚说明 48
2.2.12 JTAG 引脚说明 49
2.2.13 内核和 I/O 电源以及地引脚说明 49
2.3 配置引脚 50
3 电源连接 **51**

Funcience confidential

3.1 内部稳压器 53
3.1.1 1.2V 内核稳压器 53
3.1.2 1.2V 晶体振荡器稳压器 53
4 寄存器映射 54
4.1 系统控制和状态寄存器 56
4.2 背靠背周期的特殊限制 57
4.2.1 背靠背写读周期 57
4.2.2 背靠背读周期 58
5 时钟，复位和功耗管理 59
5.1 时钟 59
5.1.1 晶振 59
5.1.1.1 晶振时钟输出引脚 59
5.1.2 PHY PLL 59
5.2 复位 60
5.2.1 芯片级复位 61
5.2.1.1 上电复位 (POR) 61
5.2.1.2 **RST#**引脚复位 62
5.2.1.3 EtherCAT 系统复位 62
5.2.2 模块级复位 62
5.2.2.1 多模块复位 62
5.2.2.2 单模块复位 63
5.2.3 复位寄存器 65
5.2.3.1 复位控制寄存器（RESET_CTL） 65
5.3 功耗管理 66
5.3.1 唤醒事件检测 66
5.3.1.1 PHY A 和 PHY B 能量检测 66
5.3.1.2 PHYA&B 局域网唤醒（WoL） 66
5.3.2 唤醒（PME）通知 67
5.3.3 分段功耗管理 68
5.3.3.1 禁用 EtherCAT 内核 68
5.3.3.2 PHY 掉电 68
5.3.3.3 LED 引脚掉电 68
5.3.4 芯片级功耗管理 68
5.3.4.1 进入低功耗模式 69
5.3.4.2 退出低功耗模式 69

Funcience confidential

5.3.5 功耗管理寄存器 71
5.3.5.1 功耗管理控制寄存器（PMT_CTRL） 71
5.4 器件就绪操作 73
5.5 芯片启动过程 74
6 系统中断 76
6.1 功能概述 76
6.2 中断源 76
6.2.1 以太网 PHY 中断 77
6.2.2 功耗管理中断 78
6.2.3 通用定时器中断 78
6.2.4 EtherCAT 中断 78
6.2.5 软件中断 79
6.2.6 器件就绪中断 79
6.2.7 时钟输出测试模式 79
6.3 中断寄存器 80
6.3.1 中断配置寄存器（IRQ_CFG） 81
6.3.2 中断状态寄存器（INT_STS） 82
6.3.3 中断允许寄存器（INT_EN） 83
7 主机总线接口 84
7.1 功能概述 84
7.2 控制逻辑 85
7.2.1 读/写控制信号 85
7.2.2 控制线极性和缓冲器类型 85
7.2.3 CS 限定 ALE(仅 HBIM 模式) 85
7.2.4 等待/应答操作 85
7.3 设备地址，字节顺序控制和数据 FIFO 选择 86
7.3.1 HBIM 模式 86
7.3.1.1 单阶段地址锁存 86
7.3.1.2 双阶段地址锁存 86
7.3.1.3 地址位到地址/数据引脚的映射 86
7.3.1.4 字节顺序选择到地址/数据引脚的映射 87
7.3.1.5 FIFO 直接选择到地址/数据引脚的映射 87
7.3.2 HBID 模式 88
7.3.2.1 地址位使用 88
7.3.3 HBII 模式 88

Funcience confidential

7.3.3.1 HBI Index 寄存器 89
7.3.3.2 HBI Data 寄存器使用 89
7.3.3.3 HBI 配置寄存器 90
7.3.4 EtherCAT Process RAM Data FIFO 访问 91
7.3.4.1 FIFO 直接选择访问 (仅 HBIM 模式) 91
7.3.4.2 Index 寄存器旁路 FIFO 访问 (仅 HBII 模式) 91
7.4 数据周期 92
7.4.1 内部寄存器数据访问 92
7.4.1.1 写周期 92
7.4.1.2 读周期 93
7.4.2 HBII 模式 Index 和配置寄存器数据访问 94
7.4.2.1 写周期 94
7.4.2.2 读周期 95
7.4.3 EtherCAT 直接映射模式 95
7.4.3.1 EtherCAT Core 寄存器和 Process Data RAM 写访问 95
7.4.3.2 EtherCAT Core 寄存器和 Process Data RAM 读访问 96
7.4.3.3 等待/应答操作 96
7.4.4 主机字节顺序 96
7.4.4.1 EtherCAT 直接映射模式 98
7.5 功能时序图-ETHERCAT 间接访问模式 99
7.5.1 HBIM 模式功能时序图 99
7.5.1.1 双阶段地址锁存 100
7.5.1.2 单阶段地址锁存 105
7.5.1.3 RD_WR / ENB 控制模式示例 107
7.5.2 HBID 模式功能时序图 108
7.5.2.1 RD_WR/ENB 控制模式示例 112
7.5.3 HBII 模式功能时序图 113
7.5.3.1 配置寄存器数据访问 113
7.5.3.2 Index 寄存器数据访问 114
7.5.3.3 内部寄存器数据访问 115
7.5.3.4 RD_WR/ENB 控制模式示例 119
7.6 功能时序图 - ETHERCAT 直接映射模式 120
7.6.1 HBIM 模式功能时序图 120
7.6.1.1 双阶段地址锁存 121
7.6.1.2 单阶段地址锁存 126

Funcience confidential

7.6.2 HBID 模式功能时序图 131
7.6.3 HBII 模式功能时序图 138
7.6.3.1 配置寄存器数据访问 139
7.6.3.2 Index 寄存器数据访问 141
7.6.3.3 内部寄存器数据访问 143
7.7 时序要求 145
7.7.1 HBIM 模式时序要求 145
7.7.1.1 读时序要求 - EtherCAT 间接访问模式 146
7.7.1.2 读时序要求 - EtherCAT 直接映射模式 148
7.7.1.3 写时序要求 - EtherCAT 间接访问模式 151
7.7.1.4 Posted Write 时序要求 - EtherCAT 直接映射模式 153
7.7.1.5 Non-Posted Write 时序要求 - EtherCAT 直接映射模式 155
7.7.2 HBID 模式时序要求 157
7.7.2.1 读时序要求 - EtherCAT 间接访问模式 157
7.7.2.2 读时序要求 - EtherCAT 直接映射模式 159
7.7.2.3 写时序要求 - EtherCAT 间接访问模式 161
7.7.2.4 Posted Write 时序要求 - EtherCAT 直接映射模式 163
7.7.2.5 Non-Posted Write 时序要求- EtherCAT 直接映射模式 166
7.7.3 HBII 模式时序要求 168
7.7.3.1 读时序要求- EtherCAT 间接访问模式 168
7.7.3.2 读时序要求- EtherCAT 直接映射模式 170
7.7.3.3 写时序要求- EtherCAT 间接访问模式 172
7.7.3.4 Posted Write 时序要求 - EtherCAT 直接映射模式 174
7.7.3.5 Non-Posted Write 时序要求 - EtherCAT 直接映射模式 176
8 SPI/SQI 从设备 178
8.1 功能概述 178
8.2 SPI/SQI 从设备操作 179
8.2.1 设备初始化 181
8.2.1.1 初始化完成的 SPI/SQI 从器件读轮询 181
8.2.2 功耗管理期间以及功耗管理之后的访问 181
8.2.3 等待/应答操作 182
8.2.4 SPI 配置指令 182
8.2.4.1 设置配置 182
8.2.4.2 使能 SQI 185
8.2.4.3 复位 SQI 186

Funcience confidential

8.2.5 SPI 读命令 187
8.2.5.1 读 189
8.2.5.2 快速读操作 190
8.2.5.3 双输出读操作 192
8.2.5.4 四输出读操作 193
8.2.5.5 双 I/O 读操作 195
8.2.5.6 四 I/O 读操作 196
8.2.6 SPI 写命令 198
8.2.6.1 写 200
8.2.6.2 双数据写操作 202
8.2.6.3 SPI 四数据写操作 203
8.2.6.4 SPI 双地址/数据写操作 204
8.2.6.5 四地址/数据写操作 205
8.2.7 中断请求 (AL EVENT REQUEST)和中断状态 (INST_STS) 寄存器输出 206
8.3 ETHERCAT 直接映射模式 207
8.3.1 Non-EtherCAT Core CSRs 207
8.3.1.1 读 207
8.3.1.2 写 207
8.3.2 EtherCAT Core CSRs and Process RAM 208
8.3.2.1 读 208
8.3.2.2 写 212
8.3.2.3 等待状态 215
8.4 控制器访问错误 219
8.5 SPI/SQI 时序要求 220
9 以太网 PHY 222
10 ETHERCAT 223
10.1 ETHERCAT 功能概述 223
10.2 分布式时钟 225
10.2.1 SYNC/LATCH 引脚复用 225
10.2.2 SYNC IRQ 映射 225
10.2.3 SYNC 脉冲长度 226
10.2.4 SYNC/LATCH I/O 时序要求 227
10.3 PDI 选择和配置 227
10.4 数字 I/O PDI 228
10.4.1 输出看门狗行为 228

Funcience confidential

10.4.2 **OE_EXT** 输出看门狗行为 228
10.4.3 输入数据采样 228
10.4.4 输出数据更新 228
10.4.5 **OUTVALID** 极性 229
10.4.6 数字 I/O 时序要求 229
10.5 SPI 主机接口 230
10.6 主机总线接口（HBI） 231
10.7 BECKHOFF SPI 控制器 231
10.8 GPIO 231
10.9 用户 RAM 232
10.10 EEPROM 可配置寄存器 232
10.11 端口接口 234
10.11.1 端口 0 和端口 2（内部 PHY A 或外部 MII） 234
10.11.1.1 外部 MII PHY 连接 234
10.11.1.2 背靠背连接 235
10.11.1.3 双端口操作 236
10.11.2 端口 1（内部 PHYB） 236
10.11.3 PHY 配置 236
10.11.4 PHY 链路状态 236
10.11.4.1 MI 链路检测和配置状态机 237
10.11.5 增强型链路检测 237
10.11.6 固定 100MBPS 全双工支持 237
10.11.7 外部 PHY 时序 238
10.11.7.1 MII 连接时序 238
10.11.7.2 背靠背 MII 连接时序 239
10.11.7.3 管理接口时序 239
10.12 LED 240
10.12.1 ERR LED PCB 兼容模式 240
10.12.2 EEPROM 错误和 ERR LED 240
10.12.3 双色状态 LED 241
10.13 ETHERCAT CSR 和过程数据 RAM 访问 241
10.13.1 EtherCAT 间接访问模式 242
10.13.1.1 EtherCAT CSR 读操作 242
10.13.1.2 ETHERCAT CSR 写操作 243
10.13.1.3 EthereCAT 过程 RAM 读操作 245

Funcience confidential

10.13.1.4 EtherCAT 过程 RAM 写操作 246
10.13.2 EtherCAT 直接访问模式 248
10.13.2.1 HBI 接口 248
10.13.2.2 SPI 接口 249
10.14 ETHERCAT 复位 249
10.15 ETHERCAT CSR 和过程数据 RAM 访问寄存器（可直接访问） 250
10.15.1 EtherCAT 过程 RAM 读数据 FIFO（ECAT_PRAM_RD_DATA） 251
10.15.2 EtherCAT 过程 RAM 写数据 FIFO（ECAT_PRAM_WR_DATA） 252
10.15.3 EtherCAT CSR 接口数据寄存器（ECAT_CSR_DATA） 253
10.15.4 EtherCAT CSR 接口命令寄存器（ECAT_CSR_CMD） 254
10.15.5 EtherCAT 过程 RAM 读地址和长度寄存器（ECAT_PRAM_RD_ADDR_LEN） 255
10.15.6 EtherCAT 过程 RAM 读命令寄存器（ECAT_PRAM_RD_CMD） 256
10.15.7 EtherCAT 过程 RAM 写地址和长度寄存器（ECAT_PRAM_WR_ADDR_LEN） 257
10.15.8 EtherCAT 过程 RAM 写命令寄存器（ECAT_PRAM_WR_CMD） 258
10.16 ETHERCAT 内核 CSR 寄存器 (可间接/直接寻址) 259
11 EEPROM 接口 263
11.1 I²C 接口时序要求 263
11.2 等效 EEPROM 264
12 芯片模式配置 265
12.1 HBI 子配置 266
12.2 SPI 子配置 266
12.3 倍福 SPI 子配置 266
12.4 等效 EEPROM 模式配置 266
13 通用定时器和自由运行时钟 268
13.1 通用定时器 268
13.2 自由运行时钟 268
13.3 通用定时器和自由运行时钟寄存器 269
13.3.1 通用定时器配置寄存器（GPT_CFG） 270
13.3.2 通用定时器计数寄存器（GPT_CNT） 270
13.3.3 自由运行 25MHZ 计数器寄存器（FREE_RUN） 271
14 其它 272
14.1 其它系统配置&状态寄存器 272
14.1.1 芯片 ID 和修订（ID_REV） 273
14.1.2 字节顺序测试寄存器（BYTE_TEST） 273
14.1.3 硬件配置寄存器（HW_CFG） 274

Funcience confidential

15 OPERATIONAL CHARACTERISTICS 275
15.1 ABSOLUTE MAXIMUM RATINGS* 275
15.2 ESD RATINGS 276
15.3 RECOMMENDED OPERATING CONDITIONS** 276
15.4 CURRENT CONSUMPTION AND POWER CONSUMPTION 277
15.4.1 Internal Regulator Disabled 277
15.4.2 Internal Regulator Enabled 279
15.5 DC SPECIFICATIONS 281
15.6 AC SPECIFICATIONS 283
15.6.1 Equivalent Test Load 283
15.6.2 Power Sequencing Timing 284
15.6.3 Reset And Configuration Strap Timing 285
15.6.4 Power-On And Configuration Strap Timing 286
15.6.5 Host BUS Interface I/O Timing 287
15.6.6 SPI/SQI Slave Interface I/O Timing 287
15.6.7 I²C EEPROM I/O Timing 287
15.6.8 EtherCAT MII Port Management Access I/O Timing 287
15.6.9 MII I/O Timing 287
15.6.10 Forwarding Delays 287
15.7 CLOCK CIRCUIT 288
1.1.1 25 MHz Clock Output 289
16 封装信息 290
16.1 QFN64-EP 封装 290
16.2 QFP64-EP 封装 292
16.3 QFP80-EP 封装 293
附录 A 订购信息 294

Funcience confidential

图目录

图 1-1 系统方框图 28
图 1-2 内部框图 28
图 1-3 工作模式 30
图 2-1 FCE1353 引脚排布（顶视） 31
图 2-2 FCE1354 引脚排布（顶视） 34
图 3-1 电源连接-稳压器使能 51
图 3-2 电源连接-稳压器失能 52
图 4-1 寄存器地址图 55
图 5-1 芯片启动过程 75
图 6-1 功能中断层级 77
图 7-1 小尾数法顺序 97
图 7-2 大尾数法顺序 97
图 7-3 字节顺序 - EtherCAT 直接映射模式，EtherCAT Core 98
图 7-4 HBIM2P-16 位读操作 100
图 7-5 HBIM2P-16 位读操作，无 ALEHI 100
图 7-6 HBIM2P-16 位写操作 101
图 7-7 HBIM2P-16 位写操作，无 ALEHI 101
图 7-8 HBIM2P-对常量地址进行 16 位读操作和写操作 102
图 7-9 HBIM2P-8 位读操作 102
图 7-10 HBIM2P-8 位读操作，无 ALEHI 103
图 7-11 HBIM2P-8 位写操作 103
图 7-12 HBIM2P-8 位写操作，无 ALEHI 104
图 7-13 HBIM2P-对常量地址进行 8 位读操作和写操作 104
图 7-14 HBIM1P-16 位读操作 105
图 7-15 HBIM1P-16 位写操作 105
图 7-16 HBIM1P-对常量地址进行 16 位读操作和写操作 106
图 7-17 HBIM1P-8 位读操作 106
图 7-18 HBIM1P-8 位写操作 107
图 7-19 HBIM1P-对常量地址进行 8 位读操作和写操作 107
图 7-20 HBIM RD_WR/ENB 控制模式示例-16 位读操作 108
图 7-21 HBIM RD_WR/ENB 控制模式示例-16 位写操作 108
图 7-22 HBID-16 位读 109
图 7-23 HBID-16 位写 110

Funcience confidential

图 7-24 HBID-8 位读 110
图 7-25 HBID-8 位写 111
图 7-26 HBID RD_WR/ENB 控制模式示例-16 位写/读 112
图 7-27 HBII 配置寄存器访问-16 位写操作/读操作 113
图 7-28 HBII 配置寄存器访问-8 位写操作/读操作 114
图 7-29 HBII Index 寄存器访问-16 位写操作/读操作 114
图 7-30 HBII Index 寄存器访问-8 位写操作/读操作 115
图 7-31 HBII 内部寄存器数据访问-16 位读操作 115
图 7-32 HBII 内部寄存器数据访问-16 位写操作 116
图 7-33 HBII 内部寄存器数据访问-对常量地址读操作和写操作 116
图 7-34 HBII 内部寄存器数据访问-8 位读操作 117
图 7-35 HBII 内部寄存器数据访问-8 位写操作 117
图 7-36 HBII 内部寄存器数据访问-对常量地址进行 8 位读操作/写操作 118
图 7-37 HBIIRD_WR/ENB 控制模式示例-16 位写操作/读操作 119
图 7-38 HBIM2P-16 位读操作 121
图 7-39 HBIM2P-16 位 Posted Write 122
图 7-40 HBIM2P-16 位 Non-Posted Write 123
图 7-41 HBIM2P-8 位读操作 124
图 7-42 HBIM2P-8 位 Posted Write 124
图 7-43 HBIM2P-8 位 Non-Posted Write 125
图 7-44 HBIM1P-16 位读操作 126
图 7-45 HBIM1P-16 位 Posted Write 127
图 7-46 HBIM1P-16 位 Non-Posted Write 128
图 7-47 HBIM1P-8 位读操作 129
图 7-48 HBIM1P-8 位 Posted Write 129
图 7-49 HBIM1P-8 位 Non-Posted Write 130
图 7-50 HBID-16 位读 132
图 7-51 HBID-16 位 Posted Write 133
图 7-52 HBID-16 位 Non-Posted Write 134
图 7-53 HBID-8 位读 135
图 7-54 HBID-8 位 Posted Write 136
图 7-55 HBID-8 位 Non-Posted Write 137
图 7-56 HBII 配置寄存器访问-16 位 POSTED WRITE NON-POSTED WRITE/READ 139
图 7-57 HBII 配置寄存器访问-8 位 POSTED WRITE/NON-POSTED WRITE/READ 140
图 7-58 HBII Index 寄存器访问-16 位 POSTED WRITE/NON-POSTED WRITE/READ 141

Funcience confidential

图 7-59 HBII Index 寄存器访问-8 位 POSTED WRITE/NON-POSTED WRITE/READ 142
图 7-60 HBII 内部寄存器数据访问-16 位 POSTED WRITE/NON-POSTED WRITE/READ 143
图 7-61 HBII 内部寄存器数据访问-8 位 POSTED WRITE NON-POSTED WRITE/READ 144
图 7-62 复用寻址读周期时序 146
图 7-63 复用寻址读周期时序 148
图 7-64 复用寻址写周期时序 151
图 7-65 复用寻址 Posted Write 周期时序 153
图 7-66 复用寻址 Non-Posted Write 周期时序 155
图 7-67 HBID 读周期时序 157
图 7-68 HBID 读周期时序 159
图 7-69 HBID 写周期时序 161
图 7-70 HBID Posted Write 周期时序 163
图 7-71 HBID Non- Posted Write 周期时序 166
图 7-72 HBII 读周期时序 168
图 7-73 HBII 读周期时序 170
图 7-74 HBII 写周期时序 172
图 7-75 HBII Posted Write 周期时序 174
图 7-76 HBII Non-Posted Write 周期时序 176
图 8-1 SPI 模式设置配置 184
图 8-2 SQI 模式设置配置 184
图 8-3 使能 SQI 185
图 8-4 SPI 模式复位 SQI 186
图 8-5 SQI 模式复位 SQI 186
图 8-6 SPI READ Single Register 190
图 8-7 SPI READ Multiple Registers 190
图 8-8 SPI FAST READ Single Register 191
图 8-9 SPI FAST READ Multiple Registers 191
图 8-10 SQI FAST READ Single Register 192
图 8-11 SQI FAST READ Multiple Registers 192
图 8-12 SPI DUAL OUTPUT READ Single Register 193
图 8-13 SPI DUAL OUTPUT READ Multiple Registers 193
图 8-14 SPI QUAD OUTPUT READ Single Register 194
图 8-15 SPI QUAD OUTPUT READ Multiple Registers 194
图 8-16 SPI DUAL I_O READ Single Register 195
图 8-17 SPI DUAL I_O READ Multiple Registers 196

Funcience confidential

图 8-18 SPI QUAD I_O READ Single Register 197
图 8-19 SPI QUAD I_O READ Multiple Registers 197
图 8-20 SPI WRITE Single Register 200
图 8-21 SPI WRITE Multiple Registers 201
图 8-22 SQI WRITE Single Register 201
图 8-23 SQI WRITE Multiple Registers 201
图 8-24 SPI DUAL DATA WRITE Single Register 202
图 8-25 SPI DUAL DATA WRITE Multiple Registers 202
图 8-26 SPI QUAD DATA WRITE Single Register 203
图 8-27 SPI QUAD DATA WRITE Multiple Registers 203
图 8-28 SPI DUAL ADDRESS DATA WRITE Single Register 204
图 8-29 SPI DUAL ADDRESS DATA WRITE Multiple Registers 204
图 8-30 SPI QUAD ADDRESS DATA WRITE Single Register 205
图 8-31 SPI QUAD ADDRESS_DATA WRITE Multiple Registers 205
图 8-32 高有效 SCK 第一数据位 209
图 8-33 SPI WAIT ACK EtherCAT Core 读操作 217
图 8-34 SPI WAIT ACK EtherCAT Core 写操作 218
图 8-35 SPI/SQI 输入时序 220
图 8-36 SPI/SQI 输出时序 220
图 8-37 SPI/SQI WAIT_ACK 时序 220
图 10-1 ETHERCAT SYNC/LATCH 时序图 227
图 10-2 EtherCAT 数字 I/O 输入时序图 229
图 10-3 EtherCAT 数字 I/O 输出时序图 229
图 10-4 EtherCAT 数字 I/O 双向时序图 230
图 10-5 EtherCAT 外部 PHY 连接 235
图 10-6 EtherCAT 背靠背 MII 连接 236
图 10-7 MII TX 时序 238
图 10-8 MII RX 时序 238
图 10-9 管理访问时序 239
图 10-10 配置 LED 极性 240
图 10-11 双色状态 LED 241
图 10-12 EtherCAT CSR 读访问流程图 243
图 10-13 EtherCAT CSR 写访问流程图 244
图 11-1 I^2C 主站时序图 263

Funcience confidential

Figure 15- 1 Output Equivalent Test Load 283
Figure 15- 2 Power Sequence Timing –Internal Regulators 284
Figure 15- 3 Power Sequence Timing –External Regulators 284
Figure 15- 4 RST# Pin Configuration Strap Latching Timing 285
Figure 15- 5 Power-On Configuration Strap Latching Timing 286

Funcience confidential

表目录

表 2-1 FCE1353 引脚定义 33
表 2-2 FCE1354 引脚定义 36
表 2-3 LAN 端口 A 引脚 38
表 2-4 LAN 端口 B 引脚 38
表 2-5 LAN 端口 A&B 的电源和通用引脚 39
表 2-6 EtherCAT MII 端口和配置引脚 40
表 2-7 主机总线引脚 42
表 2-8 SPI/SQI 引脚 43
表 2-9 EtherCAT 数字 I/O 和 GPIO 引脚 44
表 2-10 EtherCAT 分布式时钟引脚 45
表 2-11 EEPROM 引脚 45
表 2-12 LED 引脚和配置引脚 47
表 2-13 其它引脚 48
表 2-14 JTAG 引脚 49
表 2-15 内核和 I/O 电源以及地引脚 49
表 4-1 系统控制和状态寄存器 56
表 4-2 写后读时序规则 57
表 4-3 读后读时序规则 58
表 5-1 复位源和受影响的设备功能 60
表 5-2 功耗管理状态 69
表 6-1 中断寄存器 80
表 7-1 字节顺序选择到地址/数据引脚的映射 87
表 7-2 FIFO 直接选择到地址/数据引脚的映射 87
表 7-3 HBIM 模式地址锁存以及数据复用 87
表 7-4 HBII 模式寄存器映射 88
表 7-5 复用寻址读周期时序值 147
表 7-6 复用寻址写周期时序值 150
表 7-7 复用寻址写周期时序值 152
表 7-8 复用寻址 Posted Write 周期时序值 154
表 7-9 复用寻址 Non-Posted Write 周期时序值 156
表 7-10 HBID 读周期时序值 158
表 7-11 HBID 读周期时序值 160
表 7-12 HBID 写周期时序值 162

Funcience confidential

表 7-13 HBID Posted Write 周期时序值 164
表 7-14 HBID Non- Posted Write 周期时序值 167
表 7-15 HBII 读周期时序值 169
表 7-16 HBII 读周期时序值 171
表 7-17 HBII 写周期时序值 173
表 7-18 HBII Posted Write 周期时序值 175
表 7-19 HBII Non-Posted Write 周期时序值 177
表 8-1 SPI 指令 180
表 8-2 SQI 指令 181
表 8-3 空字节顺序和默认值 183
表 8-4 SPI/SQI 时序值 221
表 10-1 LATCH0/1 映射 225
表 10-3 EtherCAT SYNC/LATCH 时序值 227
表 10-4 EtherCAT 数字 I/O 时序值 230
表 10-5 EtherCAT 内核 EEPROM 可配置寄存器 233
表 10-6 MII TX 时序值 238
表 10-7 MII RX 时序值 239
表 10-8 管理访问时序 239
表 10-9 EtherCAT 过程 RAM 第一次读操作的有效字节 245
表 10-10 EtherCAT 过程 RAM 最后一次读操作的有效字节 246
表 10-11 EtherCAT 过程 RAM 单次读操作的有效字节 246
表 10-12 EtherCAT 过程 RAM 第一次写操作的有效字节 247
表 10-13 EtherCAT 过程 RAM 最后一次写操作的有效字节 247
表 10-14 EtherCAT 过程 RAM 单次写操作的有效字节 247
表 10-15 8 位异步微控制器接口 PDI 访问 248
表 10-16 16 位异步微控制器接口 PDI 访问 248
表 10-17 EtherCAT 过程数据 RAM 和 CSR 访问寄存器 250
表 10-18 EtherCAT CSR 地址 VS.大小 254
表 10-19 EtherCAT 内核 CSR 寄存器 262
表 11-1 I^2C 主器件时序值 263
表 12-1 芯片模式选择 265
表 12-2 PDI 模式选择 265
表 12-3 等效 EEPROM PDI_SELECT 266
表 12-4 等效 EEPROM PDI 默认值 267
表 13-1 通用定时器和自由运行时钟寄存器 269

Funcience confidential

表 14-1 其它寄存器 272
表 A-1 订购信息 294

Table 15-1 Absolute Maximum Ratings 275
Table 15-2 Absolute Power-up Rate 275
Table 15-3 ESD Ratings 276
Table 15-4 Recommended Operating Conditions 276
Table 15-5 FCE1353 Current Consumption And Power Dissipation(Regs.Disabled) 277
Table 15-6 FCE1354 Current Consumption And Power Dissipation(Regs.Disabled) 278
Table 15-7 FCE1353 Current Consumption And Power Dissipation(Regs.Enabled) 279
Table 15-8 FCE1354 Current Consumption And Power Dissipation(Regs.Enabled) 280
Table 15-9 Non-Variable I/O DC Electrical Characteristics 282
Table 15-10 Variable I/O DC Electrical Characteristics 282
Table 15-11 100Base-TX Transceiver Characteristics 282
Table 15-12 10Base-T Transceiver Characteristics 283
Table 15-13 Power Sequencing Timing Values 284
Table 15-14 RST# Pin Configuration Strap Latching Timing Values 285
Table 15-15 Power-On Configuration Strap Latching Timing Values 286
Table 15-16 forwarding dalays 287
Table 15-17 Crystal Specifications 288
Table 15-18 25MHz Clock Output Specifications 289

Funcience confidential

历史版本

版本	内容	修订日期
V1.0	首版文档。	2024-07-08
V1.1	更正章节 15.5“DC Specifications”的 Table15-8 的参数 V_{ILI} 和 V_{IHI}。 更正章节 15.5“DC Specifications”的 Table15-9 的参数 V_{ILI} 和 V_{IHI}。	2024-08-26
V1.2	更新章节 10.2.1“SYNC/LATCH 引脚复用”的表 10-1 内容。	2024-09-14
V1.2.1	更正章节 14.1.1“芯片 ID 和修订（ID_REV）”的寄存器的默认值。	2024-09-20
V1.2.2	更新章节 16.0“封装信息”的封装信息。	2024-09-30
V1.2.3	更新章节 15.3“Recommended Operating Conditions**”中表格的值。	2024-11-16
V1.2.4	更新章节 15.4 “Current Consumption and Power Consumption”中的功耗参数。 更正章节 2.2.13“内核和 I/O 电源以及地引脚说明”中的内容。	2024-12-12
V1.2.5	更新章节 2.2.10“LED 和配置引脚说明”中的 ERRLED 注释。	2024-12-21
V1.2.6	新增章节 15.1“Absolute Maximum Ratings*”中的上电速率要求。	2025-03-21
V1.2.7	新增章节 15.3“Recommended Operating Conditions**”中环温和结温参数值。	2025-05-14
V1.2.8	更正章节 15.5“DC Specifications”的 Table15-9 的参数 IS 的 V_{HYS} 的 typ 由 339mV 更正为 399mV，勘误 AI 的 C_{IN} 去掉 typ 值 5pF，AI 的 V_{THC} 的 min 由 2.3V 更正为 2.2V， ICK 的 V_{IHI} 的 min 由 (OSCVDD12-0.8)V 更正为(VDD33-0.8)V，ICK 的 I_{ILCK} 的 max 由-10μA 更正为 10μA。 更正章节 15.5“DC Specifications”的 Table15-10 的参数 VIS 的 V_{IHT} 的 max 由 3.6V 更正为 1.93V，I_{IH} 的 max 由-10μA 更正为 10μA。 变更章节 8.0“SPI/SQI 从器件”标题为 8.0“SPI/SQI 从设备”。 变更章节 8.2“SPI/SQI 从器件操作”为 8.2“SPI/SQI 从设备操作”	2025-07-31
V1.2.9	对章节 8.2“SPI/SQI 从设备操作”和章节 8.3 “EtherCAT 直接映射模式”内容描述做出修改。 更正章节 8.5“SPI/SQI 时序要求”的图 8-36 SPI/SQI 输出时序。	2025-08-21

Funcience confidential

	新增章节 15.6.10“Forwarding Delays”。	
V1.3.0	对章节附录 A“订购信息”的订购信息进行更新。	2025-09-18
V1.3.1	为本表格“历史版本”增加日期和修订人列。	2025-09-18
V1.3.2	更正本表格“历史版本”只含修订日期。	2025-09-25
	新增章节 8.2“SPI/SQI 从设备操作”中说明参考文档。	
	更正章节 10.12“LED”描述。	

Funcience confidential

常用术语

10BASE-T	10 Mbps 以太网，符合 IEEE 802.3 标准
100BASE-TX	100 Mbps 快速以太网，符合 IEEE802.3u 标准
ADC	模数转换器
ALR	地址逻辑解析
AN	自动协商
BLW	基线漂移
BM	缓冲区管理器——开关结构的一部分
BPDU	网桥协议数据单元——承载生成树协议信息的消息
Byte	字节（8 位）
CSMA/CD	载波监听多路访问/冲突检测
CSR	控制和状态寄存器
CTR	计数器
DA	目标地址
DWORD	双字（32 比特位）
EPC	EEPROM 控制器
FCS	帧校验序列——添加到以太网帧末尾的额外校验和字符，用于进行错误检测和校正。
FIFO	先进先出缓冲区
FSM	有限状态机
GPIO	通用 I/O
Host	主机，外部系统（包含处理器，应用软件等）
IGMP	互联网组管理协议
Inbound	入站（指主机向器件输入的数据）
Level-Triggered Sticky Bit	电平触发粘住位。 这类状态位在其代表的条件置为有效时置 1。 该位保持置 1 状态，直至其代表的条件不再为真为止，该状态位通过写 0 来清零。
lsb	最低有效位
LSB	最低有效字节
LVDS	低压差分信号
MDI	介质相关接口
MDIX	具有交叉功能的介质独立接口
MII	介质独立接口

Funcience confidential

MIIM	介质独立接口管理
MIL	MAC 层接口
MLD	多播侦听发现
MLT-3	多级传送编码（3 级）。 一种 3 级编码方法，逻辑电平变化表示编码位“1”，逻辑输出保持同一电平表示编码位“0”。
msb	最高有效位
MSB	最高有效字节
NRZI	不归零反转编码。 该编码方法针对“1”信号反相，针对“0”信号保持不变
N/A	不适用
NC	无连接
OUI	组织惟一标识符
Outbound	出站（指器件向主机的输出的数据）
PISO	并行输入串行输出
PLL	锁相环
PTP	精确时间协议
PDI	过程数据接口
RESERVED	指保留的位域或地址。 除非另外说明，否则保留位必须始终为零以进行写操作。 除非另外说明，否则无法在读取保留位时保证这些值。 除非另外说明，否则请勿读取或写入保留的地址。
RTC	实时时钟
SA	源地址
SFD	帧起始分隔符——指示以太网帧前导码结束的 8 位值
SIPO	串行输入并行输出
SMI	串行管理接口
SQE	信号质量错误（也称为“心跳”）
SSD	开始流分隔符
UDP	用户数据报协议——在 IP 网络顶层运行的无连接协议
UUID	通用惟一标识符
WORD	字（16 比特位）
HBIM	Host Bus Interface Multiplexed Address/Data Mode
HBIM1P	Host Bus Interface Multiplexed Address/Data Mode Single Phase Address Latching
HBIM2P	Host Bus Interface Multiplexed Address/Data Mode Dual Phase Address Latching
HBID	Host Bus Interface Demultiplexed Address Mode

Funcience confidential

HBII	Host Bus Interface Indexed Address Mode

Funcience confidential

缓冲类型

IS	施密特触发器输入
O8	具有 8mA 灌电流和 8mA 拉电流的 3.3V 输出
OD8	具有 8mA 灌电流的 3.3V 开漏输出
OD12	具有 12mA 灌电流的 3.3V 开漏输出
OS12	具有 12mA 拉电流的 3.3V 开源输出
VIS	可变电压施密特触发器输入
VO8	具有 8mA 灌电流和 8mA 拉电流的可变电压输出
VOD8	具有 8mA 灌电流的可变电压开漏输出
VOS8	具有 8mA 拉电流的可变电压开源输出
VO12	具有 12mA 灌电流和 12mA 拉电流的可变电压输出
VOD12	具有 12mA 灌电流的可变电压开漏输出
VOS12	具有 12mA 拉电流的可变电压开源输出
PU	50μA（典型值）内部上拉。除非引脚说明中另外说明，否则始终使能内部上拉。 **注意：**内部上拉电阻用于防止未连接输入悬空。请勿依靠内部电阻驱动器件外部的信号。连接到必须拉高的负载时，必须添加外部电阻。
PD	50μA（典型值）内部下拉。除非引脚说明中另外说明，否则始终使能内部下拉。 **注意：**内部下拉电阻用于防止未连接输入悬空。请勿依靠内部电阻驱动器件外部的信号。连接到必须拉低的负载时，必须添加外部电阻。
AI	模拟输入
AIO	模拟双向
ICLK	晶振输入引脚
OCLK	晶振输出引脚
P	电源引脚

Funcience confidential

寄存器术语

R	读，可以读取具有该属性的寄存器或位。
W	写，可以写入具有该属性的寄存器或位。
RO	只读，写操作不起作用。
WO	只写，如果寄存器或位是只写的，读操作将返回未指定的数据。
W1S	写 1 设置，通过写 1 设置值，写 0 不起任何作用。
W1C	写 1 清零，通过写 1 将值清零，写 0 不起任何作用。
WAC	写任意值清零，写任意值均可将值清零。
RC	读取清零，读取后将内容清零，写操作不起作用。
LL	锁存低电平，读取寄存器时清零。
LH	锁存高电平，读取寄存器时清零。
SC	自清零，置 1 后自清零内容。写 0 不起任何作用。可读取内容。
RO/LH	只读，锁存高电平，具有该属性的位将保持高电平,直至该位被读取。读取该位后，如果仍存在高电平条件,则该位保持高电平。如果已清除高电平条件，则该位变为低电平。如果未读取该位，则无论高电平条件是否发生变化，该位均保持高电平。部分以太网 PHY 寄存器中使用该模式。
NASR	不受软件复位的影响，使能软件复位时，NASR 位的状态不发生改变。
RESERVED	保留字段，保留字段必须写入 0，以确保未来的兼容性。读取时无法保证保留位的值。

Funcience confidential

1 描述

FCE135X 是一系列集成两个以太网 PHY 的 2/3 端口 EtherCAT 从控制器，每个以太网 PHY 包含一个全双工 100BASE-TX 收发器且支持 100 Mbps（100BASE-TX）工作速率。FCE135X 支持 HP Auto-MDIX，允许采用直接连接或交叉 LAN 电缆。支持 EtherCAT P 和信号品质指数（Signal Quality Index）PHY 诊断。

FCE135X 包括一个 EtherCAT 从控制器，此 EtherCAT 从控制器具有 8KB 双端口存储器（DPRAM）和 8 个现场总线存储器管理单元（FMMU）。每个 FMMU 均执行将逻辑地址映射到物理地址的任务。

EtherCAT 从控制器还包括 8 个 SyncManager，允许在 EtherCAT 主站和本地应用之间进行数据交换。每个 SyncManager 的方向和工作模式由 EtherCAT 主站配置。提供两种工作模式：缓冲模式和邮箱模式。在缓冲模式下，本地单片机和 EtherCAT 主站可同时写入器件。FCE135X 中的缓冲区始终包含最新数据。如果新数据在旧数据被读出之前到达，则旧数据将丢失。在邮箱模式下，本地单片机和 EtherCAT 主站使用握手来访问缓冲区，从而确保不会丢失任何数据。

FCE135X 提供了 EtherCAT 直接映射模式，将 EtherCAT 寄存器插入到基址空间中。EtherCAT 直接映射模式消除了对命令/数据访问结构的需求，这可以提高较小数据块的速度。

FCE135X 支持多种电源管理和唤醒功能。FCE135X 可置于低功率模式，并可通过包括魔术包唤醒, LAN 唤醒，广播唤醒，理想 DA 唤醒以及“链路状态变化”的几种方法，可编程发出外部唤醒信号（IRQ 或者 PME）。该信号是使用远程以太网唤醒事件触发系统上电的理想信号。可以通过主机处理器命令或者唤醒事件之一，将器件从低功耗状态中移除。

FCE135X 包含一个用于连接到 EEPROM 的 I^2C 主站 EEPROM 控制器，允许存储和检索静态数据。内部 EEPROM 加载器自动从复位时进入芯片的 EEPROM 加载存储配置设置。EEPROM 仿真功能可用于无 EEPROM 操作，其需要额外的外部软件支持。

对于没有单片机的简单数字模块，FCE135X 也可以在数字 I/O 模式下工作，其中 16 个或者 32 个数字信号可由 EtherCAT 主站控制或监控。

为了启用星形或树形网络拓扑，芯片可以配置为 3 端口从站，该模式提供了一个额外的 MII 端口。该端口可以连接到外部 PHY，沿着当前的菊花链形成抽头，或者通过连接到另外的 FCE135X 创建 4 端口方案。MII 端口可以指作为端口 0 上行或者作为端口 2 下行。

LED 支持由每个端口的标准运行（RUN）指示灯和链路/活动（Link/Activity）指示灯组成。配置选项使能错误(ERR)和状态运行(STATE_RUN)指示灯。

芯片包括一个 64 位分布式时钟，以使能高精度同步，并提供有关数据采集的本地时序的准确信息。

FCE135X 可以配置为使用集成的 3.3V 到 1.2V 线性稳压器的单个 3.3V 电源工作。线性稳压器可以选择性失能，允许使用高效率外部稳压器件来降低系统功耗。

系统典型应用如图 1-1 所示，FCE135X 内部结构图如图 1-2 所示。

Funcience confidential

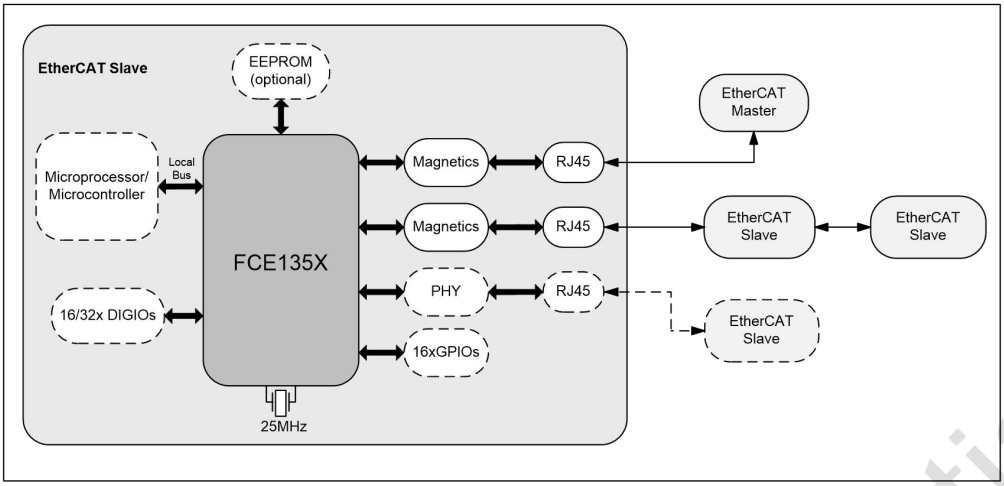


图 1- 1 系统方框图

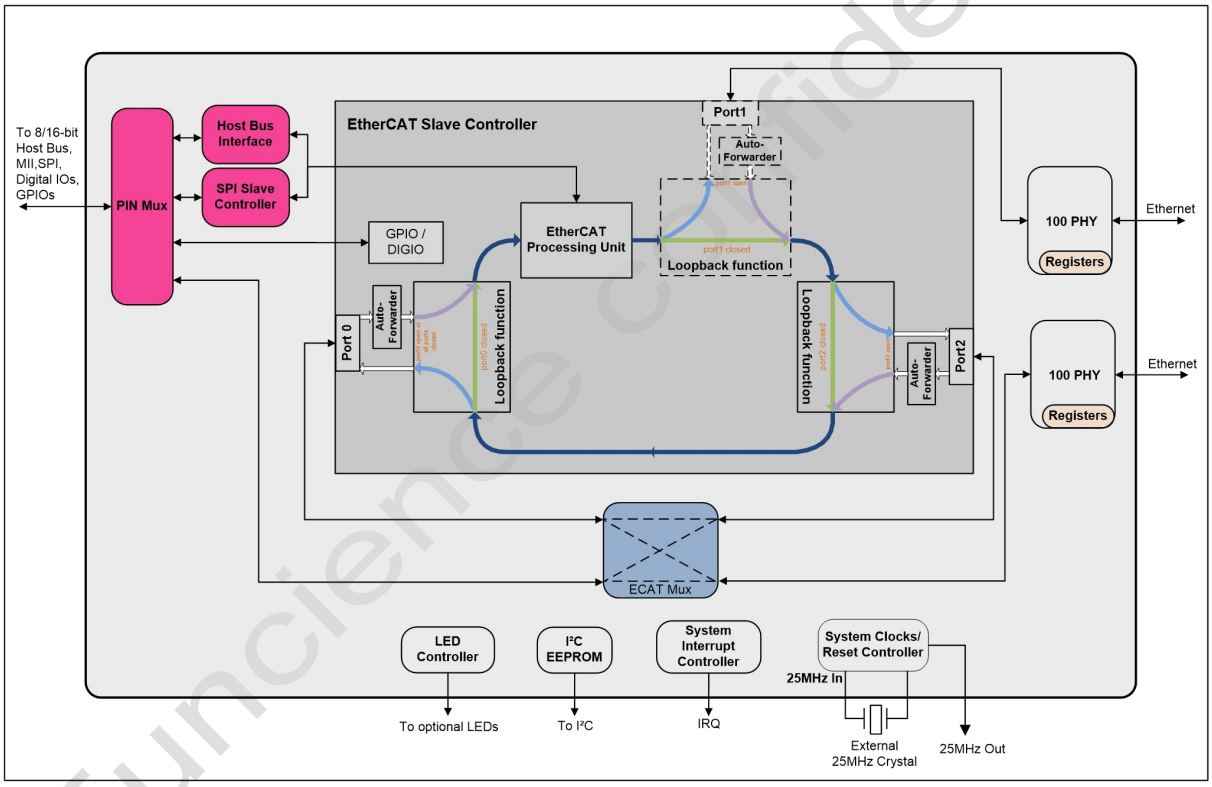


图 1- 2 内部框图

Funcience confidential

FCE135X 可以在单片机，扩展或数字 I/O 模式下工作：

单片机模式：FCE135X 通过类似 SRAM 的从接口与单片机通信。简单但功能强大的主机总线接口提供了一个无胶连接到最常见的 8 或 16 位微处理器和单片机以及带有 8 位或 16 位外部总线的 32 位微处理器。

集成的主机总线接口（HBI）支持 8/16 位具有大小和混合端序操作的操作。两个过程数据 RAM FIFO 将 HBI 连接到 EtherCAT 从控制器，并促进主机 CPU 和 EtherCAT 从控制器之间的过程数据信息传输。一个可配置的主机中断引脚允许器件通知主机 CPU 任何内部中断。

有三种用户可选择的单片机模式主机总线接口（HBI）选项是可用的：

- **索引寄存器访问（HBII）**

这个执行提供了三个索引/数据寄存器组，每个寄存器组都有独立的 Byte/WORD 到 DWORD 的转换。要访问内部寄存器，首先要写入三个索引寄存器中的一个，然后再读取或写入相应数据寄存器。三个索引/数据寄存器组支持多达 3 个没有访问冲突的驱动线程。每个线程都可以写入其分配的索引寄存器而不会出现线程覆盖它的问题。在同一个 32 位索引/数据寄存器中需要两个 16 位周期或者四个 8 位的周期，但是这些访问可以交错进行。过程数据 FIFO 支持非索引读写访问。非索引 FIFO 访问提供独立的 Byte/WORD 到 DWORD 的转换，支持索引/数据寄存器的交错访问

- **多路复用地址/数据总线（HBIM）**

这个执行提供了一个具有单阶段和双阶段地址支持的多路地址和数据总线。地址是用一个地址选通器加载的，然后是用一个读或写选通器进行数据访问。在同一个 32 位 DWORD 中需要 2 个背靠背 16 位数据周期或者 4 个背靠背 8 位数据周期。这些访问必须是顺序的，不能交叉访问其它寄存器。

- **解多路复用地址/数据总线（HBID）**

这个执行提供了一个具有由主机提供地址和端序选择输入的解复用的地址和数据总线。在同一个 32 位 DWORD 中需要 2 个背靠背 16 位数据周期或者 4 个背靠背 8 位数据周期。这些访问必须是顺序的，不能交叉访问其它寄存器。

另外，该芯片可以通过 SPI/SQI 访问，同时还提供了用于通用用途多达 16 个的输入或者输出。SPI/SQI(四 SPI)从控制器提供低引脚数的同步从接口，方便器件与主机系统之间的通信。SPI/SQI 从器件可以访问系统 CSR、内部 FIFO 和存储器。该器件支持一条和多条采用递增、递减和静态寻址的寄存器读写命令。它支持单、双和四位通道，时钟速率最高达 80 MHz。

扩展模式：当芯片处于 SPI/SQI 模式时，可以使能第三个网络端口来提供一个额外的 MII 端口。该端口可以连接到一个外部 PHY，以使能星形或树形网络拓扑结构，也可以连接到另外一个 FCE135X 来创建一个四端口方案。该端口可配置为上行或者下行方向。

数字 I/O 模式：对于没有单片机的简单数字模块，FCE135X 还可在数字 I/O 模式下工作。在此模式下，可通过 EtherCAT 主站控制或监视 16 或者 32 个数字信号。该模式下还提供了多达 7 个控制信号。

Funcience confidential

图 1-3 提供了每种操作模式的系统概述。

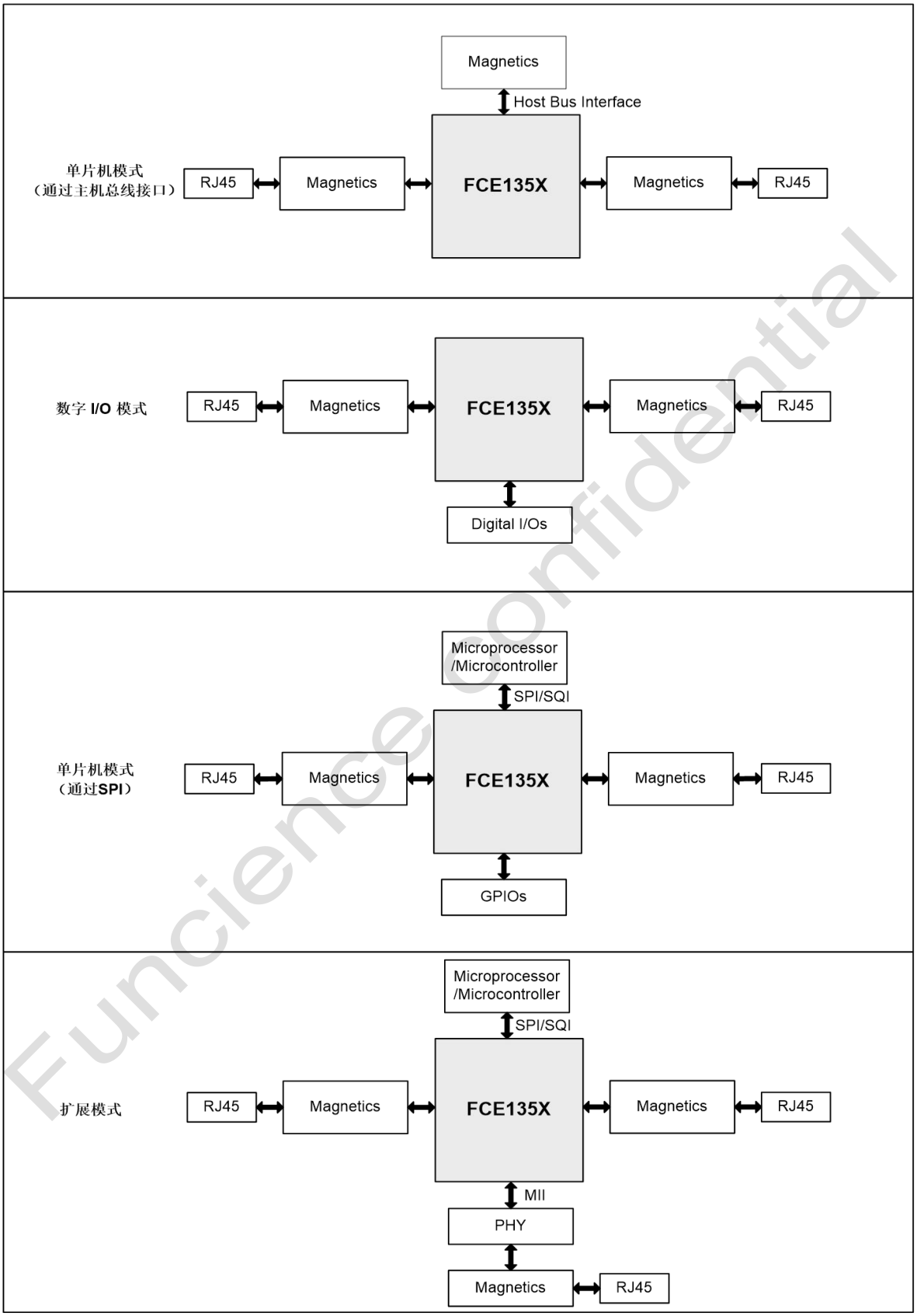


图 1- 3 工作模式

Funcience confidential

2 引脚介绍

2.1 引脚概述

2.1.1 FCE1353 引脚定义

2.1.1.1 引脚排布

FCE1353 采用 QFN64-EP 和 QFP64-EP 封装，其中 QFN64-EP 引脚排布（QFP64-EP 排布相同）如下：

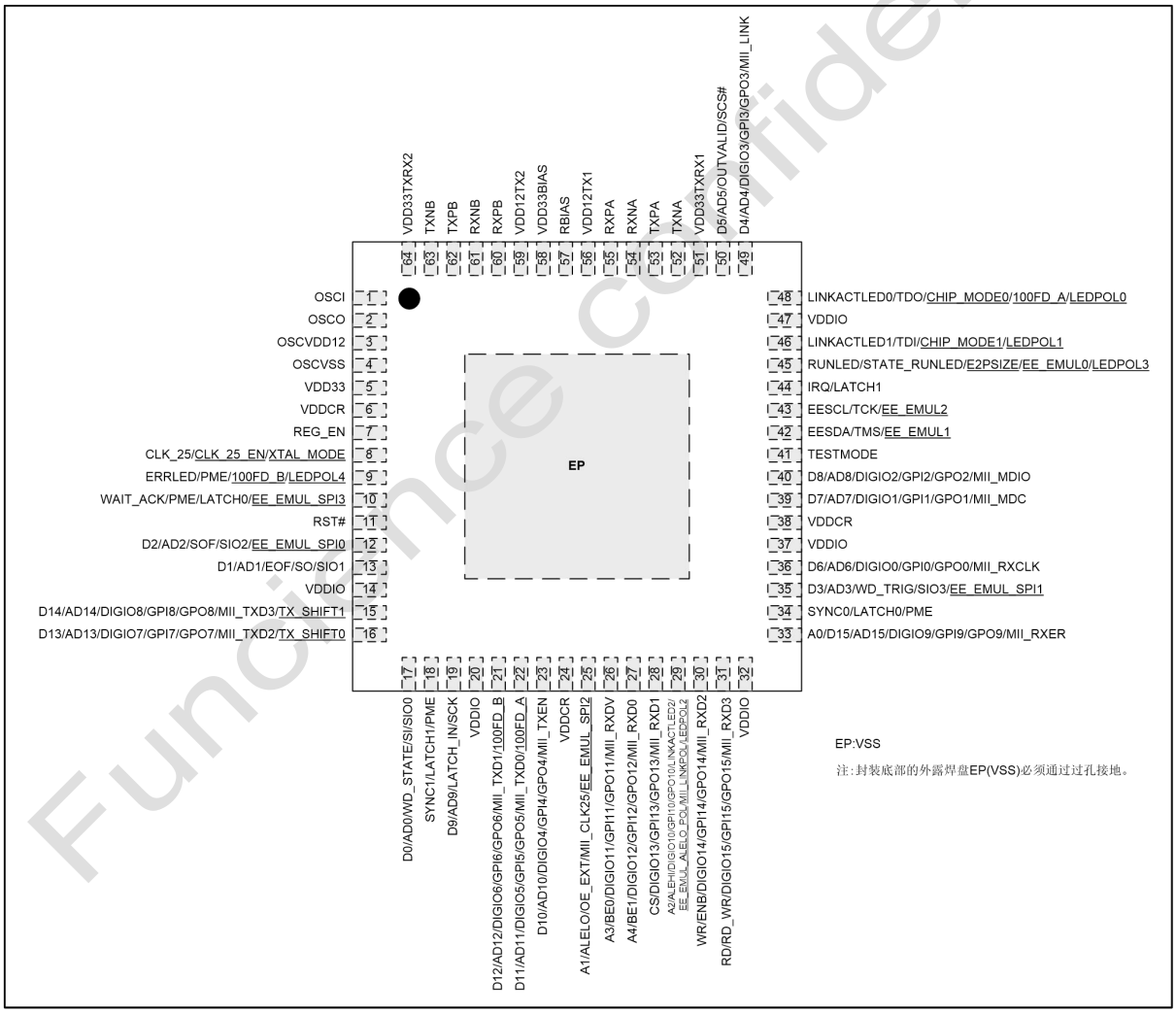


图 2- 1 FCE1353 引脚排布（顶视）

说明：(1)当在信号名称的末尾使用"#"时，表示该信号低电平有效。例如，**RST#**表示复位信号为低电平。

(2)配置引脚由带下划线的符号名称标识。参考 2.3 配置引脚章节了解更多信息。

(3)每个信号的缓冲类型在 2.2 引脚描述章节的引脚描述表格列"缓冲类型"中指示。在"缓冲类型"章节区域提供了缓冲类型的描述。

Funcience confidential

2.1.1.2 引脚名称

表 2-1 以表格样式详细说明了 FCE1353 的引脚定义。如下所示，根据芯片的工作模式，选择的引脚功能可能会发生改变。对于相应模式没有功能的待定引脚，表格将其标记为“-”。

引脚	HBII 模式 引脚名称	HBIM 模式 引脚名称	SPI/SQI 与 GPIO 模式 引脚名称	SPI/SQI 与 MII 模式 引脚名称	数字 I/O 模式 引脚名称
1	OSCI				
2	OSCO				
3	OSCVDD12				
4	OSCVSS				
5	VDD33				
6	VDDCR				
7	REG_EN				
8	CLK_25/CLK_25_EN/XTAL_MODE				
9	ERRLED/PME/100FD_B/LEDPOL4			ERRLED/PME/ LEDPOL4	ERRLED/100FD_B/ LEDPOL4
10	WAIT_ACK/PME		WAIT_ACK/PME/EE_EMUL_SPI3		LATCH0
11	RST#				
12	D2	AD2	SIO2/EE_EMUL_SPI0		SOF
13	D1	AD1	SO/SIO1		EOF
14	VDDIO				
15	D14	AD14	GPI8/GPO8	MII_TXD3/TX_SHIFT1	DIGIO8
16	D13	AD13	GPI7/GPO7	MII_TXD2/TX_SHIFT0	DIGIO7
17	D0	AD0	SI/SIO0		WD_STATE
18	SYNC1/LATCH1/PME				SYNC1/LATCH1
19	D9	AD9	SCK		LATCH_IN
20	VDDIO				
21	D12	AD12	GPI6/GPO6	MII_TXD1/100FD_B	DIGIO6
22	D11	AD11	GPI5/GPO5	MII_TXD0/100FD_A	DIGIO5
23	D10	AD10	GPI4/GPO4	MII_TXEN	DIGIO4
24	VDDCR				
25	A1	ALELO	-	MII_CLK25/ EE_EMUL_SPI2	OE_EXT
26	A3	BE0	GPI11/GPO11	MII_RXDV	DIGIO11
27	A4	BE1	GPI12/GPO12	MII_RXD0	DIGIO12
28	CS		GPI13/GPO13	MII_RXD1	DIGIO13
29	A2	ALEHI/ EE_EMUL_ALELO_POL	GPI10/GPO10	LINKACTLED2/ MII_LINKPOL/ LEDPOL2	DIGIO10
30	WR/ENB		GPI14/GPO14	MII_RXD2	DIGIO14
31	RD/RD_WR		GPI15/GPO15	MII_RXD3	DIGIO15
32	VDDIO				
33	A0/D15	AD15	GPI9/GPO9	MII_RXER	DIGIO9
34	SYNC0/LATCH0/PME				SYNC0/LATCH0
35	D3	AD3	SIO3/EE_EMUL_SPI1		WD_TRIG
36	D6	AD6	GPI0/GPO0	MII_RXCLK	DIGIO0
37	VDDIO				

Funcience confidential

38	VDDCR				
39	D7	AD7	GPI1/GPO1	MII_MDC	DIGIO1
40	D8	AD8	GPI2/GPO2	MII_MDIO	DIGIO2
41	TESTMODE				
42	EESDA/TMS/EE_EMUL1				EESDA/TMS
43	EESCL/TCK/EE_EMUL2				EESCL/TCK
44	IRQ				LATCH1
45	RUNLED/STATE_RUNLED/E2PSIZE/EE_EMUL0/LEDPOL3				RUNLED/ STATE_RUNLED/ E2PSIZE/LEDPOL3
46	LINKACTLED1/TDI/CHIP_MODE1/LEDPOL1				
47	VDDIO				
48	LINKACTLED0/TDO/CHIP_MODE0/100FD_A/LEDPOL0			LINKACTLED0/ TDO/CHIP_MODE0/ LEDPOL0	LINKACTLED0/ TDO/CHIP_MODE0/ 100FD_A/LEDPOL0
49	D4	AD4	GPI3/GPO3	MII_LINK	DIGIO3
50	D5	AD5	SCS#		OUTVALID
51	VDD33TXRX1				
52	TXNA				
53	TXPA				
54	RXNA				
55	RXPA				
56	VDD12TX1				
57	RBIAS				
58	VDD33BIAS				
59	VDD12TX2				
60	RXPB				
61	RXNB				
62	TXPB				
63	TXNB				
64	VDD33TXRX2				
EP	VSS				

表 2- 1 FCE1353 引脚定义

Funcience confidential

2.1.2 FCE1354 引脚定义

2.1.2.1 引脚排布

FCE1354 采用 QFP80-EP 封装，其引脚排布如下：

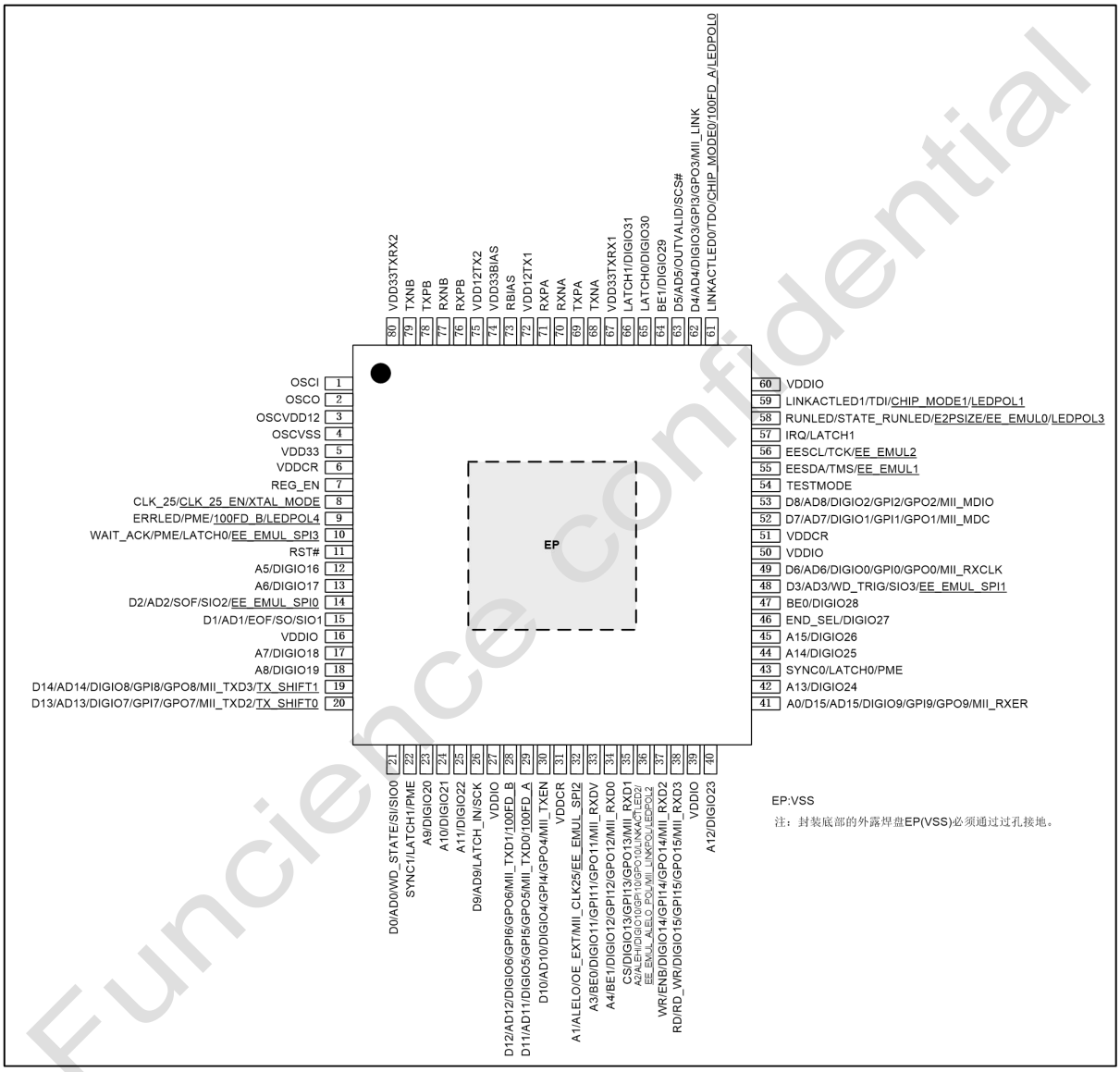


图 2- 2 FCE1354 引脚排布（顶视）

说明：（1）当在信号名称的末尾使用"**#**"时，表示该信号低电平有效。例如，**RST#**表示复位信号为低电平。

（2）配置引脚由带下划线的符号名称标识。参考 2.3 配置引脚章节了解更多信息。

（3）每个信号的缓冲类型在 2.2 引脚描述章节的引脚描述表格列"缓冲类型"中指示。在"缓冲类型"章节区域提供了缓冲类型的描述。

Funcience confidential

2.1.2.2 引脚名称

表 2-2 以表格样式详细说明了 FCE1354 的引脚定义。如下所示，根据芯片的工作模式，选择的引脚功能可能会发生改变。对于相应模式没有功能的待定引脚，表格将其标记为“-”。

引脚	HBII 模式 引脚名称	HBIM 模式 引脚名称	HBID 模式 引脚名称	SPI/SQI 与 GPIO 模式 引脚名称	SPI/SQI 与 MII 模式 引脚名称	数字 I/O 模式 引脚名称
1	OSCI					
2	OSCO					
3	OSCVDD12					
4	OSCVSS					
5	VDD33					
6	VDDCR					
7	REG_EN					
8	CLK_25/CLK_25_EN/XTAL_MODE					
9	ERRLED/PME/100FD_B/LEDPOL4				ERRLED/ PME/ LEDPOL4	ERRLED/ 100FD_B/ LEDPOL4
10	WAIT_ACK/PME			WAIT_ACK/PME/EE_EMUL_SPI3		LATCH0
11	RST#					
12	-	-	A5	-	-	DIGIO16
13	-	-	A6	-	-	DIGIO17
14	D2	AD2	D2	SIO2/EE_EMUL_SPI0		SOF
15	D1	AD1	D1	SO/SIO1		EOF
16	VDDIO					
17	-	-	A7	-	-	DIGIO18
18	-	-	A8	-	-	DIGIO19
19	D14	AD14	D14	GPI8/GPO8	MII_TXD3/TX_SHIFT1	DIGIO8
20	D13	AD13	D13	GPI7/GPO7	MII_TXD2/TX_SHIFT0	DIGIO7
21	D0	AD0	D0	SI/SIO0		WD_STATE
22	SYNC1/LATCH1/PME					SYNC1/LATCH1
23	-	-	A9	-	-	DIGIO20
24	-	-	A10	-	-	DIGIO21
25	-	-	A11	-	-	DIGIO22
26	D9	AD9	D9	SCK		LATCH_IN
27	VDDIO					
28	D12	AD12	D12	GPI6/GPO6	MII_TXD1/100FD_B	DIGIO6
29	D11	AD11	D11	GPI5/GPO5	MII_TXD0/100FD_A	DIGIO5
30	D10	AD10	D10	GPI4/GPO4	MII_TXEN	DIGIO4
31	VDDCR					
32	A1	ALELO	A1	-	MII_CLK25/ EE_EMUL_SPI2	OE_EXT
33	A3	BE0	A3	GPI11/GPO11	MII_RXDV	DIGIO11
34	A4	BE1	A4	GPI12/GPO12	MII_RXD0	DIGIO12
35	CS			GPI13/GPO13	MII_RXD1	DIGIO13
36	A2	ALEHI/ EE_EMUL_ALELO_POL	A2	GPI10/GPO10	LINKACTLED2/ MII_LINKPOL/ LEDPOL2	DIGIO10
37	WR/ENB			GPI14/GPO14	MII_RXD2	DIGIO14
38	RD/RD_WR			GPI15/GPO15	MII_RXD3	DIGIO15

Funcience confidential

39	VDDIO					
40	-	-	A12	-	-	DIGIO23
41	A0/D15	AD15	A0/D15	GPI9/GPO9	MII_RXER	DIGIO9
42	-	-	A13	-	-	DIGIO24
43	SYNC0/LATCH0/PME					SYNC0/LATCH0
44	-	-	A14	-	-	DIGIO25
45	-	-	A15	-	-	DIGIO26
46	-	-	END_SEL	-	-	DIGIO27
47	-	-	BE0	-	-	DIGIO28
48	D3	AD3	D3	SIO3/EE_EMUL_SPI1		WD_TRIG
49	D6	AD6	D6	GPI0/GPO0	MII_RXCLK	DIGIO0
50	VDDIO					
51	VDDCR					
52	D7	AD7	D7	GPI1/GPO1	MII_MDC	DIGIO1
53	D8	AD8	D8	GPI2/GPO2	MII_MDIO	DIGIO2
54	TESTMODE					
55	EESDA/TMS/EE_EMUL1					EESDA/TMS
56	EESCL/TCK/EE_EMUL2					EESCL/TCK
57	IRQ					LATCH1
58	RUNLED/STATE_RUNLED/E2PSIZE/EE_EMUL0/LEDPOL3					RUNLED/ STATE_RUNLED/ E2PSIZE/LEDPOL3
59	LINKACTLED1/TDI/CHIP_MODE1/LEDPOL1					
60	VDDIO					
61	LINKACTLED0/TDO/CHIP_MODE0/100FD_A/LEDPOL0				LINKACTLED0/ TDO/CHIP_MODE0/ LEDPOL0	LINKACTLED0/TDO/ 100FD_A/LEDPOL0
62	D4	AD4	D4	GPI3/GPO3	MII_LINK	DIGIO3
63	D5	AD5	D5	SCS#		OUTVALID
64	-	-	BE1	-	-	DIGIO29
65	LATCH0					DIGIO30
66	LATCH1					DIGIO31
67	VDD33TXRX1					
68	TXNA					
69	TXPA					
70	RXNA					
71	RXPA					
72	VDD12TX1					
73	RBIAS					
74	VDD33BIAS					
75	VDD12TX2					
76	RXPB					
77	RXNB					
78	TXPB					
79	TXNB					
80	VDD33TXRX2					
EP	VSS					

表 2- 2 FCE1354 引脚定义

Funcience confidential

2.2 引脚描述

本章节包含了各种 FCE135X 引脚的描述。引脚描述分为如下功能组:

- LAN 端口 A 引脚，具体详见章节 2.2.1LAN 端口 A 引脚说明。
- LAN 端口 B 引脚，具体详见章节 2.2.2LAN 端口 B 引脚说明。
- LAN 端口 A 和端口 B 的电源和通用引脚，具体详见章节 2.2.3LAN 端口 A 和端口 B 的电源和通用引脚说明。
- EtherCAT MII 端口和配置引脚说明，具体详见章节 2.2.4EthereCAT MII 端口和配置脚引脚说明。
- 主机总线引脚，具体详见章节 2.2.5 主机总线引脚说明。
- SPI/SQI 引脚，具体详见章节 2.2.6SPI/SQI 引脚说明。
- EtherCAT 分布式时钟引脚，具体详见章节 2.2.7EtherCAT 分布式时钟引脚说明。
- EtherCAT 数字 I/O 和 GPIO 引脚，具体详见章节 2.2.8EtherCAT 数字 I/O 和 GPIO 引脚说明。
- EEPROM 引脚，具体详见章节 2.2.9EEPROM 引脚说明。
- LED 和配置引脚，具体详见章节 2.2.10LED 和配置脚引脚说明。
- 其它引脚，具体详见章节 2.2.11 其它引脚说明。
- JTAG 引脚，具体详见章节 2.2.12JTAG 引脚说明。
- 内核和 I/O 电源以及地引脚，具体详见章节 2.2.13 内核和 I/O 电源以及地引脚说明。

提示：表 2-1 和表 2-2 说明了本章节介绍的功能在芯片物理引脚上的对应关系。并非所有的功能都适用于所有的工作模式。

Funcience confidential

2.2.1 LAN 端口 A 引脚说明

引脚数	名称	符号	缓冲类型	描述
1	端口 A TP TX/RX 正通道 1	**TXPA**	AIO	端口 A 双绞线发送/接收正通道 1。 参见**注 2-1**。
1	端口 A TP TX/RX 负通道 1	**TXNA**	AIO	端口 A 双绞线发送/接收负通道 1。 参见**注 2-1**。
1	端口 A TP TX/RX 正通道 2	**RXPA**	AIO	端口 A 双绞线发送/接收正通道 2。 参见**注 2-1**。
1	端口 A TP TX/RX 负通道 2	**RXNA**	AIO	端口 A 双绞线发送/接收负通道 2。 参见**注 2-1**。

表 2- 3 LAN 端口 A 引脚

注 2-1：通道 1 或通道 2 可以作为发送对，而另一信道则作为接收对。双绞线引脚的引脚名称符号适用于正常连接。如果 Auto-MDIX 使能并且检测到反向连接或者手动选择，那么 RX 和 TX 引脚将在内部交换。

提示:端口 A 连接到 EtherCAT 端口 0 或者端口 2。

2.2.2 LAN 端口 B 引脚说明

引脚数	名称	符号	缓冲类型	描述
1	端口 B TP TX/RX 正通道 1	**TXPB**	AIO	端口 B 双绞线发送/接收正通道 1。 参见**注 2-2**。
1	端口 B TP TX/RX 负通道 1	**TXNB**	AIO	端口 B 双绞线发送/接收负通道 1。 参见**注 2-2**。
1	端口 BTP TX/RX 正通道 2	**RXPB**	AIO	端口 B 双绞线发送/接收正通道 2。 参见**注 2-2**。
1	端口 BTP TX/RX 负通道 2	**RXNB**	AIO	端口 B 双绞线发送/接收负通道 2。 参见**注 2-2**。

表 2- 4 LAN 端口 B 引脚

注 2-2：通道 1 或通道 2 可以作为发送对，而另一信道则作为接收对。双绞线引脚的引脚名称符号适用于正常连接。如果 Auto-MDIX 使能并且检测到反向连接或者手动选择，那么 RX 和 TX 引脚将在内部交换。

提示: 端口 B 连接到 EtherCAT 端口 1。

Funcience confidential

2.2.3 LAN 端口 A 和端口 B 的电源和通用引脚说明

引脚数	名称	符号	缓冲类型	描述
1	偏置参考	**RBIAS**	AI	用于内部偏置电路。外部连接 12.1kΩ，1%精度的电阻到地。 关于连接信息请参考器件参考原理图。 **注**：额定电压为 1.2V，电阻将耗费约 1mW 的功率。
1	+3.3V 端口 A 模拟电源	**VDD33TXRX1**	P	参见**注 2-3**。
1	+3.3V 端口 B 模拟电源	**VDD33TXRX2**	P	参见**注 2-3**
1	+3.3V 主站偏置电源	**VDD33BIAS**	P	参见**注 2-3**
1	端口 A 发送器+1.2V 电源	**VDD12TX1**	P	该引脚是由外部或者来自内部稳压器的 VDDCR 电源供电。该引脚必须连接至 VDD12TX2 引脚，才能正常工作。 参见**注 2-3**
1	端口 B 发送器+1.2V 电源	**VDD12TX2**	P	该引脚是由外部或者来自内部稳压器的 VDDCR 电源供电。该引脚必须连接至 VDD12TX1 引脚，才能正常工作。 参见**注 2-3**

表 2- 5 LAN 端口 A&B 的电源和通用引脚

注 2-3：有关其它连接信息，请参阅 datasheet 的电源连接部分，器件参考原理图和器件 LANCheck 原理图清单。

Funcience confidential

2.2.4 EtherCAT MII 端口和配置脚引脚说明

引脚数	名称	符号	缓冲类型	描述
1	25MHz 时钟	**MII_CLK25**	VO12 注 2-4	该引脚是自由运行的 25 MHz 时钟，可用作 PHY 的时钟输入。
1	EEPROM 仿真 SPI 配置脚 2	**EE_EMUL_SPI2** 注 2-5	VIS (PD)	该配置脚与 **EE_EMUL_SPI0** 和 **EE_EMUL_SPI1** 以及 **EE_EMUL_SPI3** 联合在 EEPROM 仿真模式期间配置 Beckhoff SPI 接口的操作。 **EE_EMUL_SPI2** 配置 SCS#极性。 0：**SCS#**低电平有效 1：**SCS#**高电平有效
4	接收数据 MII 端口	**MII_RXD[3:0]**	VIS (PD)	这些引脚从外部 PHY 接收数据。
1	接收数据有效 MII 端口	**MII_RXDV**	VIS (PD)	该引脚从外部 PHY 接收数据有效信号。
1	接收错误 MII 端口	**MII_RXER**	VIS (PD)	该引脚从外部 PHY 接收错误信号。
1	接收时钟 MII 端口	**MII_RXCLK**	VIS (PD)	该引脚从外部 PHY 接收时钟。
4	发送数据 MII 端口	**MII_TXD[3:0]**	VO8	这些引脚向外部 PHY 发送数据。
	MII 发送时序移位配置脚	**TX_SHIFT**[1:0] 注 2-5	VIS (PU) 注 2-6	这些配置脚配置外部 MII 总线 TX 时序移位的值。 **TX_SHIFT1** 在 **MII_TXD3** 引脚，**TX_SHIFT0** 在 **MII_TXD2** 引脚。 **TX_SHIFT[1:0]** 00：20ns 01：30ns 10：0ns 11：10ns
	100Mbps 全双工配置脚 B	**100FD_B** 注 2-5	VIS (PD) 注 2-6	对于 3 端口模式（由 **CHIP_MODE1** 选择），这个脚配置硬件配置寄存器（HW_CFG）中 ANEG 失能 PHYB 和 AMDIX 失能 PHYB 段，并且设置 PHY 为默认下固定的 100Mbit/s 全双工操作。 0：默认自动协商和 AMDIX 使能 1：默认自动协商和 AMDIX 失能（固定 100Mbit/s 全双工） **100FD_B** 位于 **MII_TXD1** 引脚上。 **注**：在 2 端口模式下，这个配置是在 **ERRLED** 引脚上。
	100Mbps 全双工配置脚 A	**100FD_A** 注 2-5	VIS (PD) 注 2-6	对于 3 端口模式（由 **CHIP_MODE1** 选择），这个脚配置硬件配置寄存器（HW_CFG）中 ANEG 失能 PHYA 和 AMDIX 失能 PHYA 段，并且设置 PHY 为默认下固定的 100Mbit/s 全双工操作。 0：默认自动协商和 AMDIX 使能 1：默认自动协商和 AMDIX 失能（固定 100Mbit/s 全双工） **100FD_B** 位于 **MII_TXD1** 引脚上。 **注**：在 2 端口模式下，这个配置是在 **LINKACTLED0** 引脚上。
1	发送数据使能 MII 端口	**MII_TXEN**	VO8	该引脚向外部 PHY 发送数据使能信号。
1	链路状态 MII 端口	**MII_LINK**	VIS	该引脚由 PHY 提供，指示已建立 100 Mbit/s 全双工链路。极性可由 **MII_LINKPOL** 配置脚配置。
1	SMI 时钟	**MII_MDC**	VO8	该引脚是外部 PHY 的串行管理时钟。
1	SMI 数据	**MII_MDIO**	VIS/VO8	该引脚是到外部 PHY 的串行管理接口数据输入/输出。 **注**：需要外部上拉来确保 MDIO 信号的非驱动状态为逻辑 1。

表 2- 6 EtherCAT MII 端口和配置引脚

注 2-4：为了获得 PCB 信号完整性，建议使用串联终端电阻来实现。

注 2-5：配置引脚由带下划线的符号名称标识。配置引脚值在上电复位，EtherCAT 复位，或者 **RST#**置为无效时锁存。更多信息，请参见 2.3 配置引脚。

注 2-6：可能需要外部补充上拉或者下拉电阻，具体取决于外部 MAC/PHY 器件的输入电流负载。

Funcience confidential

2.2.5 主机总线引脚说明

引脚数	名称	符号	缓冲类型	描述
1	读	**RD**	VIS	该引脚是主机总线读选通引脚。 通常为低电平有效，极性可通过配置寄存器设置改变。
	读和写	**RD_WR**	VIS	该引脚是主机总线方向控制引脚。与 **ENB** 引脚配合使用时，它指示读或写操作。 正常极性是为 1 时读取，为 0 时写入（R/nW），但可通过配置寄存器设置更改。
1	写	**WR**	VIS	该引脚是主机总线写选通引脚。 通常为低电平有效，极性可通过配置寄存器设置改变。
1	使能	**ENB**	VIS	该引脚是主机总线数据使能选通引脚。与 **RD_WR** 引脚配合使用时，它指示数据操作阶段。 通常为低电平有效，极性可通过配置寄存器设置改变。
1	片选	**CS**	VIS	该引脚是主机总线片选引脚，指示器件被选择用于当前传输。 通常为低电平有效，极性可通过配置寄存器设置改变。
2	字节使能	**BE1** **BE0**	VIS (PD)	在 16 位数据模式下，这些引脚指示要写入或读取哪个字节。 在 8 位数据模式下，不使用这些引脚。 FCE1353 这些引脚仅在 HBIM 模式下可用。 FCE1354 这些引脚仅在 HBIM 和 HBID 模式下可用。 通常为低电平有效，极性可通过配置寄存器设置改变。 **注**：这些信号的位置变化取决于器件模式。 **注**：下拉将这些引脚的未驱动状态保持为活动状态，这样前面不驱动这些信号的 PCB 设计可能只使用 16 位总线周期。
16	地址	**A[15:0]**	VIS	这些引脚为非复用地址模式（HBII 和 HBID）提供地址。 在 16 位数据模式下，不使用 bit0。 地址 bit 0 与数据 bit15 共享。 在 HBII 地址模式下，不使用 A[15:5]。 **注**：FCE1353 无此引脚。
16	数据	**D[15:0]**	VIS/VO8	这些引脚是非复用地址模式的主机总线数据总线。 在 8 位数据模式下，不使用 bit15-8。其对应的输入输出驱动器被失能。 地址 bit 0 与数据 bit15 共享。
	地址和数据	**AD[15:0]**	VIS/VO8	这些引脚是复用地址模式（HBIM）的主机总线地址/数据总线。 Bit15-8 为单阶段复用地址模式（HBIM）提供地址的高字节。 Bit7-0 为单阶段复用地址模式（HBIM）提供地址的低字节，为双阶段复用地址模式（HBIM）提供地址的高地址字节和低地址字节。 在 8 位数据双阶段复用地址模式（HBIM）下，不使用 bit15-8。其对应的输入和输出驱动器被失能。

Funcience confidential

1	地址锁存使能高字节	**ALEHI**	VIS	该引脚指示复用地址模式（HBIM）的地址阶段。它用于在双阶段复用地址模式下（HBIM）加载高地址字节。 通常为低电平有效（在上升沿保存地址），极性可通过配置寄存器的设置改变。
	EEPROM 仿真 ALELO 极性配置脚 0	**EE_EMUL_ALELO_POL** **注 2-7**	VIS (PU)	在 EEPROM 仿真模式期间，如果默认 PDI 选择设置为 HBIM 单阶段，该配置脚用于设置 HBI ALE 极性，直到 EEPROM 配置数据已加载。
1	地址锁存使能低字节	**ALELO**	VIS	该引脚指示复用地址模式（HBIM）的地址阶段。它用于在单阶段复用地址模式（HBIM）下加载高地址字节和低地址字节，在双阶段复用地址模式（HBIM）下加载低地址字节。 通常为低电平有效（在上升沿保存地址），极性可通过配置寄存器的设置改变。
1	等待/应答	**WAIT_ACK**	VO8/VOD8	该引脚指示何时主机总线周期可以完成。 当不选择器件时，该引脚为三态。 通常是推挽式，缓存类型可以通过配置寄存器设置更改为开漏。 通常低电平有效指示等待，用于推挽操作，极性可通过配置寄存器的设置改变。 当两个位都低时，该引脚失能。
1	字节顺序选择	**END_SEL**	VIS	该引脚用于 HBID 地址模式时提供字节顺序控制。 高选择大端序模式，低选择小端序模式。这可以动态改变或保持静态。 **注**：FCE1353 无此引脚。

表 2- 7 主机总线引脚

注 2-7：配置引脚由带下划线的符号名称标识。配置引脚值在上电复位，EtherCAT 复位，或者 RST#置为无效时锁存。更多信息，请参见 2.3 配置引脚。

Funcience confidential

2.2.6 SPI/SQI 引脚说明

引脚数	名称	符号	缓冲类型	描述
1	SPI/SQI 从片选	**SCS#**	VIS (PU)	该引脚是 SPI/SQI 从片选输入。低电平时，选择 SPI/SQI 从器件进行 SPI/SQI 传输。高电平时，SPI/SQI 串行数据输出为三态。 当使用 Beckhoff SPI 接口时，这个信号的极性通过内部寄存器控制。
1	SPI/SQI 从串行时钟	**SCK**	VIS (PU)	该引脚是 SPI/SQI 从串行时钟输入。
4	SPI/SQI 从串行数据输入/输出	**SIO[3:0]**	VIS/VO8 (PU)	这些引脚是多位 I/O 的 SPI/SQI 从数据输入和输出。
	SPI 从串行数据输入	**SI**	VIS (PU)	该引脚是 SPI 从串行数据输入。SI 与 SIO0 引脚共用。
	SPI 从串行数据输出	**SO**	VO8 (PU) 注 2-8	该引脚是 SPI 从串行数据输出。 SO 与 SIO1 引脚共用。
	EEPROM 仿真 SPI 配置脚 1	**EE_EMUL_SPI1** 注 2-9	VIS (PU)	这个配置脚与 **EE_EMUL_SPI0** 和 **EE_EMUL_SPI2** 以及 **EE_EMUL_SPI3** 联合在 EEPROM 仿真模式期间配置 Beckhoff SPI 接口的操作。 **EE_EMUL_SPI[1:0]** 配置 SPI 模式。 **EE_EMUL_SPI1** 位于 SIO3 引脚上。 **EE_EMUL_SPI[1:0]** 00：SPI 模式 0 01：SPI 模式 1 10：SPI 模式 2 11：SPI 模式 3
	EEPROM 仿真 SPI 配置脚 0	**EE_EMUL_SPI0** 注 2-9	VIS (PU)	这个配置脚与 **EE_EMUL_SPI1** 和 **EE_EMUL_SPI2** 以及 **EE_EMUL_SPI3** 联合在 EEPROM 仿真模式期间配置 Beckhoff SPI 接口的操作。参考 **EE_EMUL_SPI1** 引脚详细的描述。 **EE_EMUL_SPI0** 位于 SIO2 引脚上。
1	等待/应答	**WAIT_ACK**	VO8/VOD8	该引脚指示何时主机总线周期可以完成。 当不选择器件时，该引脚为三态。 通常是推挽式，缓存类型可以通过配置寄存器设置更改为开漏。 通常低电平有效指示等待，用于推挽操作，极性可通过配置寄存器的设置改变。 当两个位都低时，该引脚失能。 当使用 Beckhoff SPI 接口时，此引脚不使用并失能。
	EEPROM 仿真 SPI 配置脚 3	**EE_EMUL_SPI3** 注 2-9	VIS (PD)	这个配置脚与 **EE_EMUL_SPI0** 和 **EE_EMUL_SPI1** 以及 **EE_EMUL_SPI2** 联合在 EEPROM 仿真模式期间配置 Beckhoff SPI 接口的操作。 **EE_EMUL_SPI3** 配置数据输出采样模式。 0:正常数据输出采样(SPI_DO 和 SPI_DI 在相同的 SPI_CLK 边沿采样) 1:后期数据输出采样(SPI_DO 和 SPI_DI 在不同的 SPI_CLK 边沿采样)

表 2- 8 SPI/SQI 引脚

注 2-8：虽然该引脚是 SPI 指令的输出，但它包含上拉，因为它实际上是 SIO bit1。

注 2-9：配置引脚由带下划线的符号名称标识。配置引脚值在上电复位，EtherCAT 复位，或者 RST#置为无效时锁存。更多信息，请参见 2.3 配置引脚。

Funcience confidential

2.2.7 EtherCAT 数字 I/O 和 GPIO 引脚说明

引脚数	名称	符号	缓冲类型	描述
16	通用输入	**GPI[15:0]**	VIS	这些引脚是通用输入，直接映射到通用输入寄存器。不提供通用输入的一致性。
	通用输出	**GPO[15:0]**	VO8/VOD8	这些引脚是通用输出，反映不带看门狗保护时通用输出寄存器的值。 **注**：加载 EEPROM 之前，不驱动这些信号（高阻态）。
32	数字 I/O	**DIGIO[15:0]**	VIS/VO8	仅适用于 FCE1353。 这些引脚为输入/输出或双向数据。 **注**：加载 EEPROM 之前，不驱动这些信号（高阻态）。
		DIGIO[31:0]		仅适用于 FCE1354。 这些引脚为输入/输出或双向数据。 **注**：加载 EEPROM 之前，不驱动这些信号（高阻态）。
1	输出有效	**OUTVALID**	VO8	该引脚指示输出有效并且可被捕捉到外部寄存器中。 **注**：加载 EEPROM 之前，不驱动该信号（高阻态）。
1	锁存输入	**LATCH_IN**	VIS	该引脚是外部数据锁存器信号。输入数据在每次识别到 **LATCH_IN** 上升沿时进行采样。
1	看门狗触发	**WD_TRIG**	VO8	该引脚是 SyncManager 看门狗触发信号输出。 **注**：加载 EEPROM 之前，不驱动该信号（高阻态）。
1	看门狗状态	**WD_STATE**	VO8	该引脚是 SyncManager 看门狗状态输出。 0 表示看门狗已超时。 **注**：加载 EEPROM 之前，不驱动该信号（高阻态）。
1	帧起始	**SOF**	VO8	该引脚是帧起始输出，指示以太网/EtherCAT 帧的起始。 **注**：加载 EEPROM 之前，不驱动该信号（高阻态）。
1	帧结束	**EOF**	VO8	该引脚是帧结束输出，指示以太网/EtherCAT 帧的结束。 **注**：加载 EEPROM 之前，不驱动该信号（高阻态）。
1	输出使能	**OE_EXT**	VIS	该引脚是输出使能输入。低电平时，它会清零输出数据。

表 2- 9 EtherCAT 数字 I/O 和 GPIO 引脚

Funcience confidential

2.2.8 EtherCAT 分布式时钟引脚说明

引脚数	名称	符号	缓冲类型	描述
2	同步	**SYNC1** **SYNC0**	VO8/VOD8/VOS8	这些引脚是分布式时钟同步（输出）信号。 **注**：加载 EEPROM 之前，不驱动这些信号（高阻态）。
2 (参考**注**)	锁存	**LATCH1** **LATCH0**	VIS	这些引脚是分布式时钟锁存（输入） 信号。 **注**：通常该引脚与 **SYNC0/SYNC1** 功能共享，当 SYNC 功能使能时，这些信号映射到一些器件配置中的备用引脚上。关于更加详细的 **SYNC/LATCH** 引脚复用，请参考章节 10.2.1“SYNC/LATCH 引脚复用”

表 2- 10 EtherCAT 分布式时钟引脚

2.2.9 EEPROM 引脚说明

引脚数	名称	符号	缓冲类型	描述
1	EEPROM I²C 串行数据输入/输出	**EESDA**	VIS/VOD8	当器件正访问外部 EEPROM 时，该引脚是 I²C 串行数据输入/开漏输出。 **注**：该引脚必须始终通过外部电阻上拉。
	EEPROM 仿真配置脚 1	**EE_EMUL1** **注 2-10**	VIS	该脚与 **EE_EMUL2** 一起配置 EEPROM 仿真硬件配置脚的值。低电平使能仿真。 该脚与 **EE_EMUL0** 和 **EE_EMUL2** 一起配置在 EEPROM 仿真模式下的默认 PDI 选择。参考 **EE_EMUL2** 引脚详细描述。
1	EEPROM I²C 串行时钟	**EESCL**	VIS/VOD8	当器件正访问外部 EEPROM 时，该引脚是 I²C 时钟输入/开漏输出。 **注**：如果使用了 EEPROM，该引脚必须始终通过外部电阻上拉。
	EEPROM 仿真配置脚 2	**EE_EMUL2** **注 2-10**	VIS	该脚与 **EE_EMUL1** 一起配置 EEPROM 仿真硬件配置脚的值。低电平使能仿真。 该脚与 **EE_EMUL0** 和 **EE_EMUL1** 一起配置在 EEPROM 仿真模式下的默认 PDI 选择。 **EE_EMUL[2:0]** 000: SPI 001: 芯片 FCE1353：HBII16 位 EtherCAT 直接映射 芯片 FCE1354：HBID16 位 EtherCAT 直接映射 010:HBIM1P（HBIM 单阶段）16 位 EtherCAT 直接映射 011:HBIM2P（HBIM 双阶段）16 位 EtherCAT 直接映射 100:SPI EtherCAT 直接映射 101:Beckhoff SPI 模式 110:N/A (EEPROM 使能) 111:N/A (EEPROM 使能)

表 2- 11 EEPROM 引脚

注 2-10：配置引脚由带下划线的符号名称标识。配置引脚值在上电复位，EtherCAT 复位，或者 RST#置为无效时锁存。更多信息，请参见 2.3 配置引脚。

Funcience confidential

2.2.10 LED 和配置脚引脚说明

引脚数	名称	符号	缓冲类型	描述
1	错误 LED	**ERRLED**	OD12/ OS12	该引脚是 ERR LED 输出，由 ESC 或本地 MCU 控制。 该引脚被配置为开漏/开源输出。该引脚的开漏与开源以及默认极性的默认选择取决于复位时采样的配置脚值。 该引脚通过 ASIC 配置寄存器(0x0142:0x0143)的 ERR LED 使能位（位 14）被使能作为输出。如果低电平有效，这个引脚在 EEPROM 加载错误情况下被强制使能。 **注：ERRLED** 功能，按照优先级由高到低： （1）EEPROM 的加载错误，err_code=0xE （2）PDI 看门狗超时，err_code=0xF （3）AL 状态为 OperationalState(OP)状态时，SM 看门狗超时，err_code=0x2 （4）应用层控制时，写 0x139[4]=1,0x139[3:0]即为 err_code
	100Mbps 全双工配置脚 B	**100FD_B/LEDPOL4** **注 2-11**	IS(PD)	对于 2 端口模式（由 **CHIP_MODE1** 选择），这个脚配置硬件配置寄存器（HW_CFG）中 ANEG 失能 PHYB 和 AMDIX 失能 PHYB 段，并且设置 PHY 为默认下固定的 100Mbit/s 全双工操作。 0：默认自动协商和 AMDIX 使能 1：默认自动协商和 AMDIX 失能（固定 100Mbit/s 全双工） 在 3 端口模式（由 **CHIP_MODE1** 选择），该配置脚移动到 MII_TXD1 引脚。 **注：**如果使用外部上拉，则应连接到 **VDD33**。 **注：**如果使用 **ERRLED** 作为 PME 输出（具有有线或共享信号的潜力），必须仔细考虑脚配置的值。主机软件可能通过在硬件配置寄存器（HW_CFG）中的 AMDIX 失能 PHYB 位和 ANEG 失能 PHYB 位来纠正脚配置结果以及重新配置 PHYB。
	LED4 极性配置脚			因为这个引脚是和一个配置脚共用的，所以 **ERRLED** 引脚的默认极性在配置加载期间被决定。 如果配置脚值是 0，则 LED 默认设置为高电平有效，因为假设如果一个 LED 存在，则将其用作下拉。参考 Note 3-11. 如果配置脚值是 1，则 LED 默认设置为低电平有效，因为假设接到 VDD33 的 LED 用作上拉。
1	运行 LED	**RUNLED**	VOD12/ VOS12	该引脚是 RUN LED 输出，由 AL 状态寄存器控制。 该引脚被配置为开漏/开源输出。该引脚的开漏与开源以及默认极性的默认选择取决于复位时采样的配置脚值。
	状态运行 LED	**STATE_RUNLED**	VOD12/ VOS12	该引脚是 STATE_RUN LED 输出，等于运行 LED 联合 ERR LED 的否定。它可以用来控制双色 RUN/ERR LED 的 RUN 面。 该引脚被配置为开漏/开源输出。该引脚的开漏与开源以及默认极性的默认选择取决于复位时采样的配置脚值。 通过 ASIC 配寄存器（0x0142:0x0143）的 STATE_RUN LED 使能位（位 6）来在 RUN 和 STATE_RUN 之间进行选择。
	EEPROM 容量配置脚	**E2PSIZE/** **EE_EMUL0/** **LEDPOL3** **注 2-12**	VIS (PU)	该引脚配置 EEPROM 容量。 0：选择 1Kb (128 x 8)到 16Kb (2K x 8)。 1：选择 32Kb(4K x 8)到 4M (512K x 8)。
	EEPROM 仿真配置脚 0			此脚与 **EE_EMUL1** 和 **EE_EMUL2** 一起配置在 EEPROM 仿真模式下的默认 PDI 选择。参考 **EE_EMUL2** 引脚详细描述。
	LED3 极性配置脚			因为这个引脚是和一个配置脚共用的，所以 **RUNLED /STATE_RUNLED** 引脚的默认极性在配置加载期间被决定。 如果配置脚值是 0，则 LED 默认设置为高电平有效，因为假设使用接地 LED 作为下拉。参见**注 2-11**。 如果配置脚值是 1，则 LED 默认设置为低电平有效，因为假设使用接到 **VDDIO**

Funcience Confidential

				的 LED 用作上拉。
1	链路/活动 LED 端口 2	**LINKACTLED2**	VOD12/ VOS12	该引脚是端口 2 的 Link/Activity LED 输出（熄灭=无链路，点亮=有链路但无活动，闪烁=有链路且有活动） 该引脚被配置为开漏/开源输出。该引脚的开漏与开源以及默认极性的默认选择取决于复位时采样的配置脚值。
	MII 端口链路极性配置脚	**MII_LINKPOL/ LEDPOL2** 注 2-12	VIS (PU)	该脚配置 MII_LINK 引脚的极性。 0：MII_LINK 低电平表示建立一个 100Mbit/s 全双工链路 1：MII_LINK 高电平表示建立一个 100Mbit/s 全双工链路
	LED2 极性配置脚			因为这个引脚是和一个配置脚共用的，所以 **LINKACTLED2** 引脚的默认极性在配置加载期间被决定。 如果配置脚值是 0，则 LED 默认设置为高电平有效，因为假设使用接地 LED 作为下拉。参见注 2-11。 如果配置脚值是 1，则 LED 默认设置为低电平有效，因为假设使用接到 **VDDIO** 的 LED 用作上拉。
1	链路/活动 LED 端口 1	**LINKACTLED1**	VOD12/ VOS12	该引脚是端口 1 的 Link/Activity LED 输出（熄灭=无链路，点亮=有链路但无活动，闪烁=有链路且有活动）。 该引脚被配置为开漏/开源输出。该引脚的开漏与开源以及默认极性的默认选择取决于复位时采样的配置脚值。
	芯片模式配置脚 1	**CHIP_MODE1/ LEDPOL1** 注 2-12	VIS (PU)	该引脚与 **CHIP_MODE0** 一起配置 EtherCAT 芯片模式值。 **CHIP_MODE[1:0]** 0X：2 端口模式。端口 0 和端口 1 是分别连接到内部的 PHYA 和 PHYB。 10：3 端口下行模式。端口 0 和端口 1 分别连接到内部的 PHYA 和 PHYB。端口 2 连接到外部 MII 引脚。 11：3 端口上行模式。端口 2 和端口 1 分别连接到内部的 PHYA 和 PHYB。端口 0 连接到外部 MII 引脚。
	LED1 极性配置脚			因为这个引脚是和一个配置脚共用的，所以 **LINKACTLED1** 引脚的默认极性在配置加载期间被决定。 如果配置脚值是 0，则 LED 默认设置为高电平有效，因为假设使用接地 LED 作为下拉。参见注 2-11。 如果配置脚值是 1，则 LED 默认设置为低电平有效，因为假设使用接到 **VDDIO** 的 LED 用作上拉。
1	链路/活动 LED 端口 0	**LINKACTLED0**	VOD12/ VOS12	该引脚是端口 0 的 Link/Activity LED 输出（熄灭=无链路，点亮=有链路但无活动，闪烁=有链路且有活动）。 该引脚被配置为开漏/开源输出。该引脚的开漏与开源以及默认极性的默认选择取决于复位时采样的配置脚值。
	芯片模式配置脚 0	**CHIP_MODE0/ 100FD_A/ LEDPOL0** 注 2-12	VIS (PU)	该引脚与 **CHIP_MODE1** 一起配置芯片模式硬件配置脚值。有关芯片模式配置脚设置的更详细描述请参考 **CHIP_MODE1**。 注:在 2 端口模式 **CHIP_MODE0** 未使用。
	100Mbps 全双工配置脚 A			对于 2 端口模式（由 **CHIP_MODE1** 选择），这个脚配置硬件配置寄存器（HW_CFG）中 ANEG 失能 PHYA 和 AMDIX 失能 PHYA 段，并且设置 PHY 为默认下固定的 100Mbit/s 全双工操作。 0：默认自动协商和 AMDIX 使能 1：默认自动协商和 AMDIX 失能（固定 100Mbit/s 全双工） 在 3 端口模式（由 **CHIP_MODE1** 选择），该配置脚移动到 MII_TXD0 引脚。
	LED0 极性配置脚			因为这个引脚是和一个配置脚共用的，所以 **LINKACTLED0** 引脚的默认极性在配置加载期间被决定。 如果配置脚值是 0，则 LED 默认设置为高电平有效，因为假设使用接地 LED 作为下拉。参见注 2-11。 如果配置脚值是 1，则 LED 默认设置为低电平有效，因为假设使用接到 **VDDIO** 的 LED 用作上拉。

表 2- 12 LED 引脚和配置引脚

注 2-11：当使用 LED 作为下拉配置时，需要一个外部补充下拉以确保一个有效的低电平。

注 2-12：配置引脚由带下划线的符号名称标识。配置引脚值在上电复位，EtherCAT 复位，或者 RST#置为无效时锁存。更多信息，请参见 2.3 配置引脚。

Funcience confidential

2.2.11 其它引脚说明

引脚数	名称	符号	缓冲类型	描述
1	中断输出	**IRQ**	VO8/VOD8	中断请求输出。该信号的极性、来源和缓冲器类型可通过配置寄存器（**IRQ_CFG**）设置来编程。
0 (参见**注**)	电源管理事件输出	**PME**	VO8/VOD8 O8/OD8 (参见**注**)	当进行相应地编程时，该信号在检测到唤醒事件时被判断。该信号的极性和缓冲型式通过内部寄存器可编程的。 关于电源管理特征更多其它信息，请参考 5.3 功耗管理章节。 **注**：选择使能，该引脚可以通过内部寄存器映射到其它几个引脚。 **注**：当映射到 **ERRLED** 引脚，该信号位于 **VDD33** 电压域并具有 O8/OD8 缓冲类型。 **注**：当映射到 **ERRLED** 引脚，在 EEPROM 加载错误的情况下，ERRLED 功能被强制使能，并且可能发生错误的 PME 事件。
1	系统复位输入	**RST#**	VIS/VOD8 (PU)	作为输入时，该低电平有效信号允许外部硬件复位器件。该器件还包含一个内部上电复位电路。因此，如果无需外部硬件复位，则可将该信号悬空态。当使用时，该信号必须符合操作特性部分中详细说明的复位时序要求。 作为输出时，在 POR 或来自主站控制器或主机接口的 EtherCAT 复位命令序列的响应期间，该信号被驱动为低电平。
1	稳压器使能	**REF_EN**	AI	当连接 3.3V 电压时，将使能内部 1.2V 稳压器。
1	测试模式选择	**TESTMODE**	VIS (PD)	该引脚必须连接到 **VSS** 引脚上才能正常工作。
1	晶体输入	**OSCI**	ICLK	外部 25 MHz 晶体输入。该引脚也可由单端时钟振荡器过度驱动。如果采用这种方法，OSCO 应保持悬空。 注：在时钟菊花链配置中，使用前面器件的 CLK_25 作为输入时钟源时，该引脚应该通过 **XTAL_MODE** 配置输入为施密特触发输入模式。
1	晶体输出	**OSCO**	OCLK	外部 25 MHz 晶体输出
1	晶体时钟输出	**CLK_25**	O8	25 MHz 晶体输出
	晶体时钟输出使能配置脚	**CLK_25_EN** 注 2-14	AI (参见**注**)	多个 DC 电平配置使能 **CLK_25** 输出，以及在 **OSCI** 引脚上选择晶体振荡器操作或者施密特触发输入操作。 低于 0.8V 的电平失能 **CLK_25** 输出并选择晶体振荡放大器。 1.5V 的电平使能 **CLK_25** 输出并选择晶体振荡放大器。 高于 2.2V 的电平使能 **CLK_25** 输出并选择施密特触发输入。 **注**：如果在配置加载器件悬空，该引脚将偏向于 VDD33/2。不需要外部分压器。 如果使用外部上拉将该引脚设置到 2.2V 以上，则应连接到 **VDD33**。 此引脚外部下拉或者连接到 VSS，可用于将其设置到 0.8V 以下。
	晶体时钟输入模式配置脚	**XTAL_MODE** 注 2-14		
1	晶体+1.2V 电源	**OSCVDD12**	P	除非通过 **REG_EN** 引脚配置为稳压器关闭模式，否则通过片上稳压器供电。 参见注 2-13。
1	晶体地	**OSCVSS**	P	晶体地

表 2- 13 其它引脚

注 2-13：有关更多连接信息，请参见 3 电源连接部分，器件参考原理图和器件 LANCheck 原理图清单。

注 2-14：配置引脚由带下划线的符号名称标识。配置引脚值在上电复位，EtherCAT 复位，或者 RST#置为无效时锁存。更多信息，请参见 2.3 配置引脚。

Funcience confidential

2.2.12 JTAG 引脚说明

引脚数	名称	符号	缓冲类型	描述
1	JTAG 测试多路开关选择	**TMS**	VIS	JTAG 测试模式选择。
1	JTAG 测试时钟	**TCK**	VIS	JTAG 测试时钟。
1	JTAG 测试数据输入	**TDI**	VIS	JTAG 数据输入。
1	JTAG 测试数据输出	**TDO**	VO12	JTAG 数据输出。

表 2- 14 JTAG 引脚

2.2.13 内核和 I/O 电源以及地引脚说明

引脚数	名称	符号	缓冲类型	描述
1	稳压器+3.3 V 电源	**VDD33**	P	用于内部稳压器+3.3 V 电源。 注：即使失能内部稳压器，也必须为该引脚提供 3.3V 电压。 参见**注 2-15**
5	+1.8 V 到 +3.3 V 可变电源	**VDDIO**	P	+1.8 V 到+3.3 V 可变 I/O 电源。 参见**注 2-15**
3	+1.2 V 数字内核电源	**VDDCR**	P	除非通过 **REG_EN** 引脚配置为稳压器关闭模式，否则通过片上稳压器供电。 应该在引脚 6（稳压器输出引脚）上使用并联到地的 1μF 和 470pF 去耦电容。 参见**注 2-15**
1	地	**VSS**	P	公共地。 此外露焊盘必须通过过孔阵列连接到地平面。 **注**：晶体振荡器有自己的接地引脚。

表 2- 15 内核和 I/O 电源以及地引脚

注 2-15：有关更多连接信息，请参见 3.电源连接部分，器件参考原理图和器件 LANCheck 原理图清单。

Funcience Confidential

2.3 配置引脚

配置脚允许将芯片的各种功能自动配置为用户定义的值。配置脚在上电复位（POR）、 EtherCAT 复位或引脚复位（**RST#**）时锁存。配置引脚由带下划线的符号名称标识，定义在引脚描述章节的配置引脚。

配置脚包括内部电阻，以防止信号在未连接时浮动。如果一个特定配置脚连接到了一个负载，那么应使用外部上拉或下拉电阻增加内部电阻，以确保在锁存之前达到了所需的电压水平。内部电阻也可以通过添加外部电阻来改变。

提示： 系统设计人员必须保证配置脚符合章节 16.6.3 复位和配置脚时序章节的时序要求特征。如果配置脚在锁存之前没有处于正确的电压水平，芯片可能会捕获不正确的配置值。

Funcience confidential

3 电源连接

图 3-1 和图 3-2 显示了稳压器使能和失能情况下的芯片分别地电源连接。更多信息，请参见芯片参考原理图和芯片 LANCheck 原理图清单。

章节 3.1 提供了有关芯片内部稳压器的更多信息。

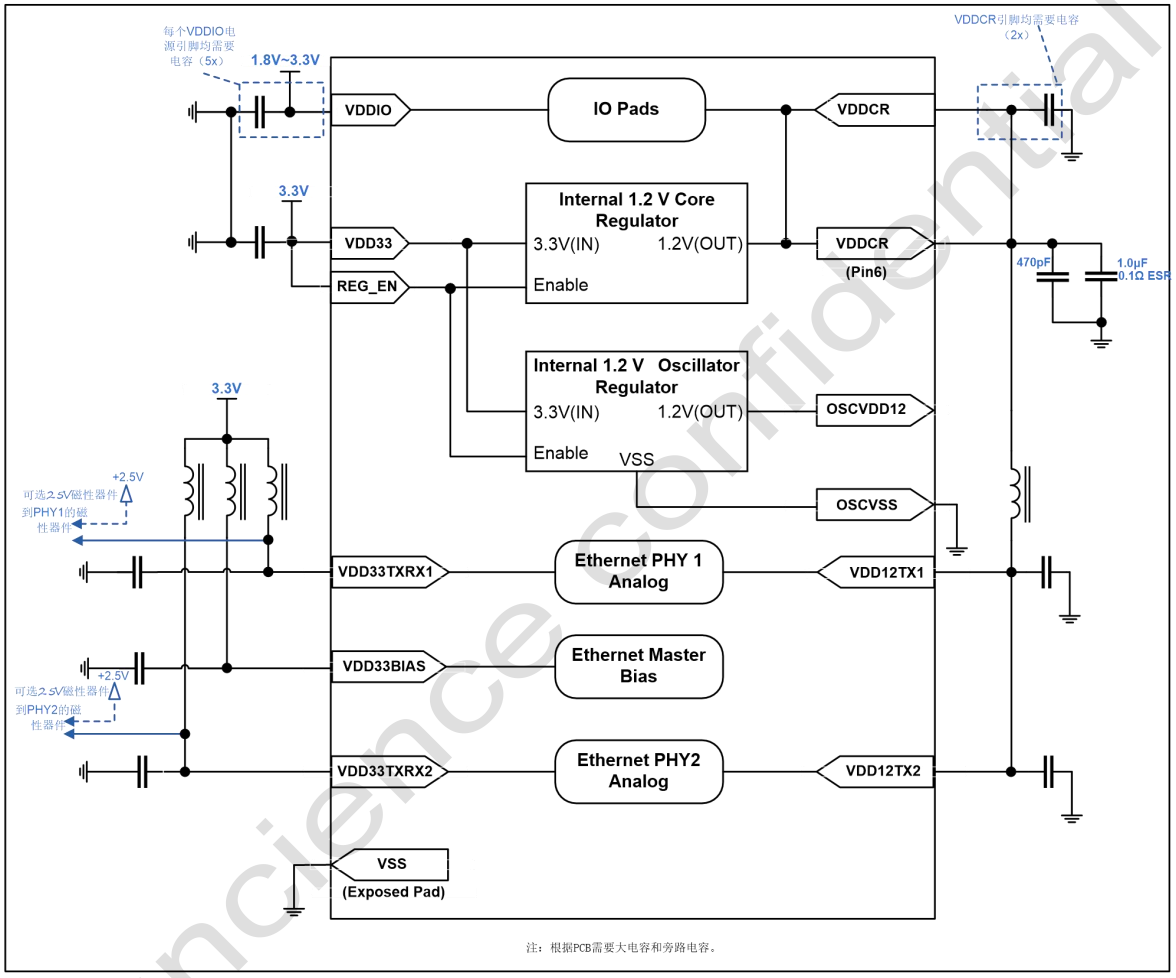


图 3- 1 电源连接-稳压器使能

Funcience confidential

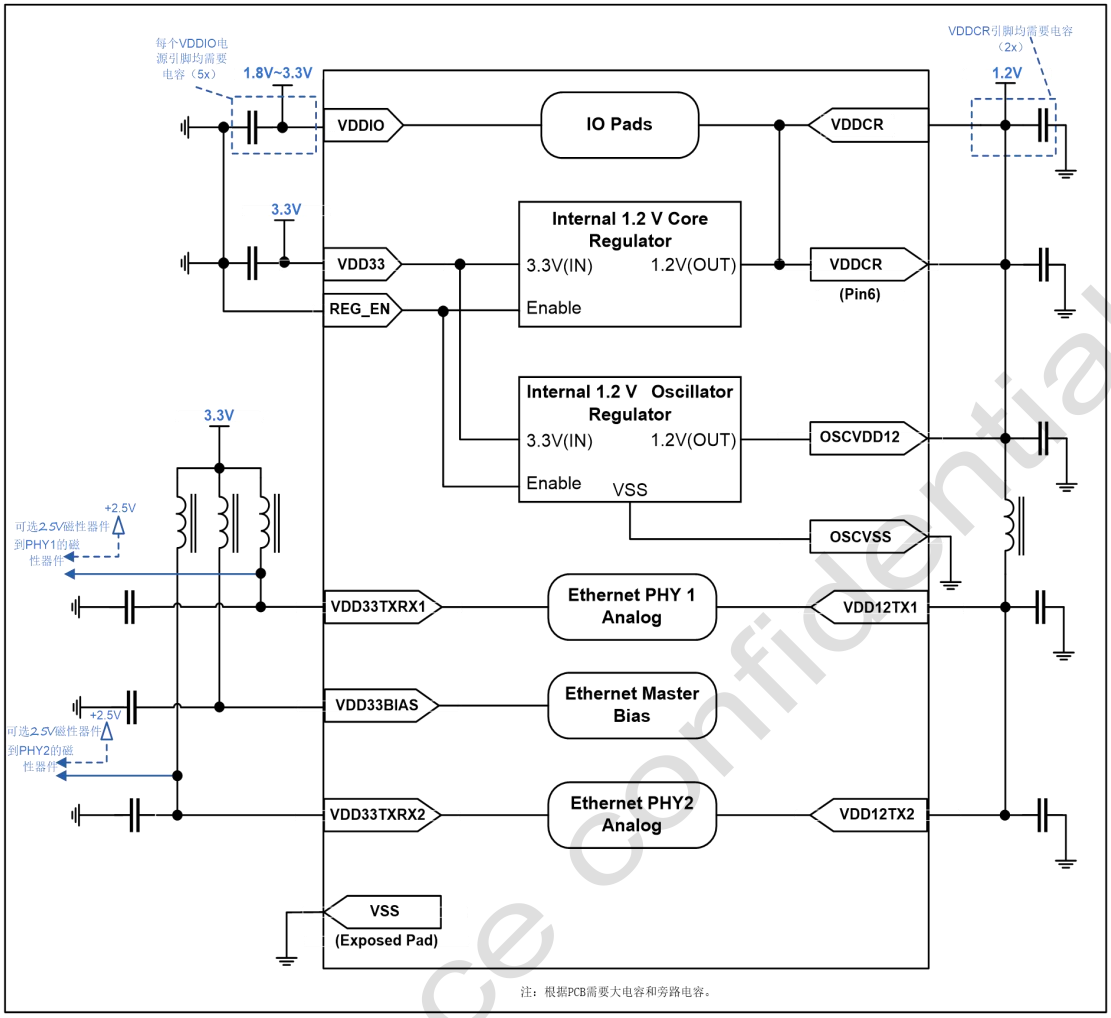


图 3- 2 电源连接-稳压器失能

Funcience confidential

3.1 内部稳压器

芯片包含两个内部 1.2V 的稳压器。

- 1.2V 内核稳压器
- 1.2V 晶体振荡器稳压器

3.1.1 1.2V 内核稳压器

内核稳压器为主核心数字逻辑，I/O 焊盘和 PHY 的数字逻辑提供 1.2V 电压，并可通过外部连接用于向 PHY 模拟部分提供 1.2V 电源。

当 **REG_EN** 输入引脚连接至 3.3V 时，内核稳压器将使能并在 **VDD33** 引脚上获得 3.3V 电压。必须将一个 1.0 μF 0.1Ω ESR 电容连接至与稳压器相关的 **VDDCR** 引脚。

当 **REG_EN** 输入引脚连接至 **VSS** 时，将失能内核稳压器。但是，必须仍为 **VDD33** 引脚提供 3.3V 电压。1.2V 内核电压必须从外部输入到 **VDDCR** 引脚。

3.1.2 1.2V 晶体振荡器稳压器

晶体振荡稳压器为晶体振荡器和 **CLK_25** 引脚提供了 1.2V 电压。当 **REG_EN** 输入引脚连接至 3.3V 时，晶体振荡稳压器将使能并在 **VDD33** 引脚上获得 3.3V 电压。无需外部电容。

当 **REG_EN** 输入引脚连接至 VSS 时，将失能晶体振荡稳压器。但是，必须仍为 **VDD33** 引脚提供 3.3V 电压。1.2V 晶体振荡电压必须从外部输入到 **OSCVDD12** 引脚。

Funcience confidential

4 寄存器映射

本章将详细介绍器件寄存器映射并汇总各种可直接寻址的系统控制和状态寄存器（Control and Status Register，CSR）。有关系统 CSR 的详细说明，请参见与其功能对应的各个章节。器件的各个子模块中提供了更多可间接寻址的寄存器。这些寄存器的相应章节也提供了详细说明。

可直接寻址的寄存器

- 章节 10.15“EtherCAT CSR 和过程数据 RAM 访问寄存器（可直接寻址）”
- 直接映射模式的 EtherCAT 内核控制和状态寄存器和过程 RAM
- 章节 4.1“系统控制和状态寄存器”

可间接寻址的寄存器

- 章节 9.0“PHY 寄存器”
- 章节 11.16“EtherCAT 内核 CSR 寄存器（可间接寻址）”

图 4-1 从总体上给出了器件的基础寄存器存储器映射。该存储器映射未按比例绘制，仅用于一般参考。表 4-1 提供了所有可直接寻址的 CSR 及其相应地址的汇总。

有两个地址模式。在默认情况下,间接访问模式寄存器映射通过命令和数据寄存器结构访问控制和状态寄存器和进程 RAM。EtherCAT 直接访问模式直接映射 EtherCAT 内核控制和状态寄存器和 EtherCAT 过程 RAM 在重新映射系统时,将本地地址(分别字节地址 0h 到 FFFh,1000h 到 2FFFh)控制和状态寄存器以 3000h 的基础开始偏移。

提示:章节 10.15 节“EtherCAT CSR 和处理数据 RAM 访问寄存器(直接寻址)”(包括 EtherCAT 流程 RAM 读取和写入数据 FIFO)在 EtherCAT 直接映射模式期间无法访问。

提示:章节“寄存器术语”中提供了寄存器位类型定义。并不是所有的设备寄存器都是直接访问和间接访问可寻址的内存。有关各种设备寄存器的可访问性的详细信息,请参阅上面列出的寄存器部分。

Funcience confidential

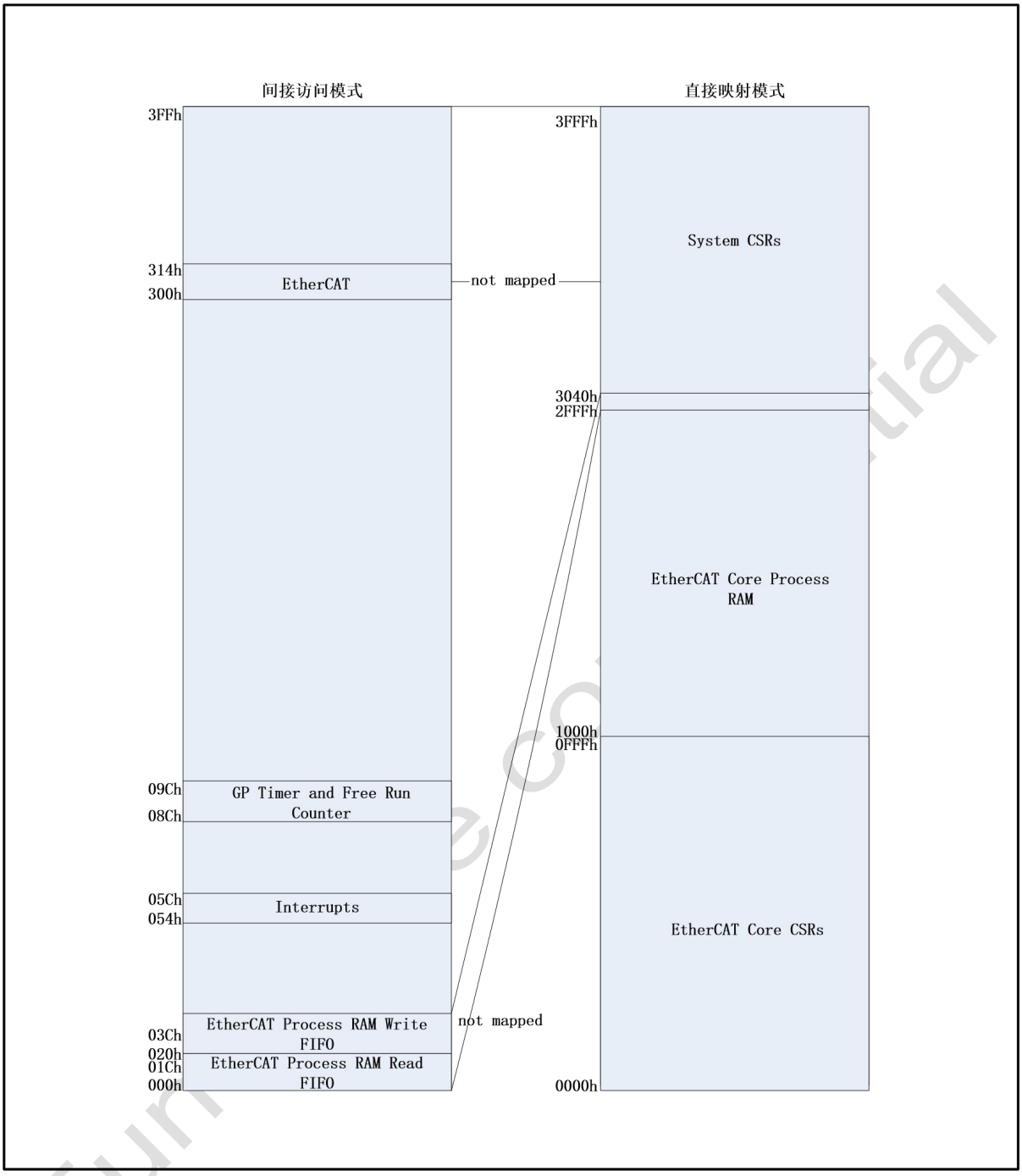


图 4- 1 寄存器地址图

说明：展示的非所有寄存器

4.1 系统控制和状态寄存器

系统 CSRs 是可直接寻址的存储器映射寄存器,其基本地址偏移范围为 050h 到 314h,或从 3050h 到 31FCh,在 EtherCAT 直接映射模式。这些寄存器可由主机通过主机总线接口(HBI)或 SPI / SQI 寻址。有关各种器件模式及其相应地址配置的更多信息,请参阅 2.0 概述。

表 4-1 按顺序列出了系统 CSR 及其相应地址。当触发芯片级复位时，所有系统 CSR 均复位为默认值。

系统 CSR 可分为以下几个子类别：其中每个子类别均位于相应的章节，并包含相关寄存器的系统 CSR 说明。寄存器说明的分类如下：

- 章节 5.2.3，“复位寄存器”
- 章节 5.3.5，“功耗管理寄存器”
- 章节 6.3, “中断寄存器”
- 章节 10.15，“EtherCAT CSR 和过程数据 RAM 访问寄存器(直接可寻址)
- 章节 14.1, “其它系统配置和状态寄存器”
- 章节 13.3 节, “通用计时器和自运行的时钟寄存器”

提示：未列出的寄存器保留供将来使用。

地址	EtherCAT 直接映射模式	寄存器名称(符号)
000h-01Ch	N/A	EtherCAT 过程 RAM 读数据 FIFO (ECAT_PRAM_RD_DATA)
020h-03Ch	N/A	EtherCAT 过程 RAM 写数据 FIFO (ECAT_PRAM_WR_DATA)
050h	3050h	芯片 ID 和版本 (ID_REV)
054h	3054h	中断配置寄存器 (IRQ_CFG)
058h	3058h	中断状态寄存器 (INT_STS)
05Ch	305Ch	中断使能寄存器 (INT_EN)
064h	3064h	字节顺序测试寄存器 (BYTE_TEST)
074h	3074h	硬件配置寄存器 (HW_CFG)
084h	3084h	功耗管理控制寄存器 (PMT_CTRL)
08Ch	308Ch	通用定时器配置寄存器 (GPT_CFG)
090h	3090h	通用定时器计数寄存器 (GPT_CNT)
09Ch	309Ch	自由运行 25 MHz 计数器寄存器 (FREE_RUN)
1F8h	31F8h	复位控制寄存器 (RESET_CTL)
EtherCAT 寄存器		
300h	N/A	EtherCAT CSR 接口数据寄存器 (ECAT_CSR_DATA)
304h	N/A	EtherCAT CSR 接口命令寄存器 (ECAT_CSR_CMD)
308h	N/A	EtherCAT 过程 RAM 读地址和长度寄存器 (ECAT_PRAM_RD_ADDR_LEN)
30Ch	N/A	EtherCAT 过程 RAM 读命令寄存器 (ECAT_PRAM_RD_CMD)
310h	N/A	EtherCAT 过程 RAM 写地址和长度寄存器(ECAT_PRAM_WR_ADDR_LEN)
314h	N/A	EtherCAT 过程 RAM 写命令寄存器 (ECAT_PRAM_WR_CMD)

表 4- 1 系统控制和状态寄存器

Funcience confidential

4.2 背靠背周期的特殊限制

4.2.1 背靠背写读周期

务必注意，背靠背主机写读操作的时序存在特殊限制。这些限制关系到在任何可能影响寄存器的写周期后对寄存器进行的读操作。在所有情况下，写入寄存器与新值可被读取之间都存在一段延时。在其他情况下，写入寄存器与在其他寄存器上产生后续副作用之间也存在一段延时。

为了防止主机在写操作后读取过期数据，确定了最小等待周期。表 4-2 详细说明了这些周期。主机处理器需要在写入指示的寄存器之后等待指定的时间周期，才能读取表中指定的资源。请注意，所需的等待周期取决于写操作后读取的寄存器。

对字节顺序测试寄存器（BYTE_TEST） 寄存器执行“空”读取是一种保证满足最低写读时序限制的简便方法。表 4-2 给出了在读取指示的寄存器前所需的空读次数。该表中的 BYTE_TEST 读取次数基于 45 ns 的最小周期时序。对于总线速度较慢的微处理器，只要总时间等于或大于表中指定的时间，就可以减少读取次数。请注意，只要满足最小时间周期，就无需空读 BYTE_TEST 寄存器。

请注意，根据所用的主机接口模式，基本主机接口周期可能本来就已提供足够的写读间隔时间。这是系统设计和寄存器访问机制确保正确时序所必需的。例如，对同一寄存器的写读操作可能快于对不同寄存器的写读操作。

对于 8 位和 16 位写周期，背靠背写读操作的等待时间仅适用于对寄存器最后一个字节或字的写操作，此操作将完成一次双字传送。

对于变址地址模式 HBI 操作，背靠背写读操作的等待时间仅适用于访问内部寄存器和 FIFO。它不适用于主机总线接口变址寄存器或主机总线接口配置寄存器。

写入后...	等待时间	或读取 BYTE_TEST 的次数（假定 T_{cyc} 为 45 ns）	读取前...
任意寄存器	45ns	1	同一寄存器或受写入影响的任何其他寄存器
中断配置寄存器 (IRQ_CFG)	60ns	2	中断配置寄存器 (IRQ_CFG)
中断使能寄存器(INT_EN)	90ns	2	中断配置寄存器 (IRQ_CFG)
	60ns	2	中断状态寄存器(INT_STS)
中断状态寄存器(INT_STS)	180ns	4	中断配置寄存器 (IRQ_CFG)
	170ns	4	中断状态寄存器(INT_STS)
功耗管理控制寄存器 (PMT_CTRL)	165ns	4	功耗管理控制寄存器(PMT_CTRL)
	170ns	4	中断配置寄存器 (IRQ_CFG)
	160ns	4	中断状态寄存器(INT_STS)
通用定时器配置寄存器(GPT_CFG)	55ns	2	通用定时器配置寄存器(GPT_CFG)
	170ns	4	通用定时器计数寄存器(GPT_CNT)
EtherCAT 过程 RAM 写数据 FIFO (ECAT_PRAM_WR_DATA)	50ns	2	EtherCAT 过程 RAM 写命令寄存器(ECAT_PRAM_WR_CMD)

表 4- 2 写后读时序规则

Funcience confidential

4.2.2 背靠背读周期

对于特定的背靠背主机读操作也存在限制。这些限制关系到在读取有副作用的资源后对特定寄存器进行的读操作。在许多情况下，读取器件后要经过一段延时，控制和状态寄存器值才会出现预期的变化。

为了防止主机在背靠背读取时读取过期数据，确定了最小等待周期。表 4-3 详细说明了这些周期。主机处理器在对特定的资源组合执行连续读操作之间需要等待指定的时间周期。等待周期取决于所读取的寄存器组合。

对字节顺序测试寄存器（BYTE_TEST） 寄存器执行“空”读取是一种保证满足最小等待时间限制的简便方法。下面的表 4-3 还给出了背靠背读操作所需的空读次数。该表中的 BYTE_TEST 读取次数基于 Tcyc 的最小时序（45ns）。对于总线速度较慢的微处理器，只要总时间等于或大于表中指定的时间，就可以减少读取次数。只要满足最小时间周期，就无需空读 BYTE_TEST 寄存器。

请注意，根据所用的主机接口模式，基本主机接口周期可能本来就已提供足够的读操作间隔时间。这是系统设计和寄存器访问机制确保正确时序所必需的。例如，对同一寄存器的多重读操作可能快于对不同寄存器的多重读操作。

对于 8 位和 16 位读周期，仅当读取寄存器最后一个字节或字之后（此操作将完成一次双字传送），背靠背读操作才需要等待时间。双字传送内的字节或字访问之间没有等待要求。

读取后...	等待时间	或读取 BYTE_TEST 的次数（假定 Tcyc 为 45 ns）	读取前...
EtherCAT 过程 RAM 读数据 FIFO（ECAT_PRAM_RD_DATA）	50ns	2	EtherCAT 过程 RAM 读命令寄存器（ECAT_PRAM_RD_CMD）

表 4- 3 读后读时序规则

Funcience confidential

5 时钟，复位和功耗管理

5.1 时钟

器件可按照各个子模块的要求生成所有系统时钟。时钟子系统由以下部分组成：

- 晶振
- PHY PLL

5.1.1 晶振

器件需要固定频率 25 MHz 时钟源供内部时钟振荡器和 PLL 使用。这通常通过将 25 MHz 晶振连接到章节 15.7"Clock Circuit"中指定的 **OSCI** 和 **OSCO** 引脚来提供。此时钟也可以通过使用单端 25 MHz 时钟源驱动 **OSCI** 输入引脚来提供。如果选择单端源，则时钟输入必须连续运行，器件才能正常工作。

应用提示:在时钟菊花链配置中 clock daisy chaining configuration，使用前面设备的 CLK_25 作为设备的输入时钟源时，此端口应通过 **XTAL_MODE** 配置输入脚设置为施密特触发器输入模式。

节能模式允许振荡器或外部时钟输入暂停。可以按照章节 5.3.4“芯片级功耗管理”中所述禁止晶振。

对于系统级验证，可以使能将晶振输出到 **IRQ** 引脚上。请参见章节 6.2.7 节 “时钟输出测试模式”。

晶振由专用稳压器或单独的输入引脚供电。请参见章节 4.1.2“1.2V 晶体振荡器稳压器”。

提示：表 15-18，“Crystal Specifications” 中提供了晶振规范。

5.1.1.1 晶振时钟输出引脚

晶振时钟可输出到专用端口 **CLK_25** 引脚，用于其他设备的基准时钟。此端口在 **CLK_25_EN** 为高时使能。

5.1.2 PHY PLL

PHY 模块接收 25 MHz 参考时钟，除了供内部时钟使用外，还会输出用于产生器件子系统时钟的主系统时钟。PHY PLL 可以禁止，如章节 5.3.4 “芯片级功耗管理”中所述。仅当收到请求并且 PHY 端口处于掉电模式时，才会禁止 PHY PLL。PHY PLL 由外部输入引脚供电，通常由器件的 1.2V 内核稳压器供电。请参见章节 4.0 “电源连接”。

Funcience confidential

5.2 复位

器件提供多个硬件和软件复位源，这允许对器件的不同级别进行复位。所有复位可分为如下几节所述的三种复位类型：

- 芯片级复位
  - 上电复位 (POR)
  - **RST#**引脚复位
  - EtherCAT 系统复位
- 多模块复位
  - 数字复位 (DIGITAL_RST)
- 单模块复位
  - Port A PHY 复位
  - Port B PHY 复位
  - EtherCAT Controller 复位

器件支持使用配置脚来对各种器件参数进行自动自定义配置。这些配置脚值在所有芯片级复位置为无效时进行设置，可用于在上电或引脚（**RST#**）复位时轻松设置芯片的默认参数。有关这些配置脚的使用的详细信息，请参见章节 5.3 “功耗管理”。

表 5-1 汇总了各种复位源对器件的影响。有关每种复位类型的详细信息，请参见后面各小节。

模块/功能	POR	RST# Pin	EtherCAT System Reset	Digital Reset
25MHz 振荡器	**注 1**			
稳压器	**注 2**			
EtherCAT 内核	×	×	×	×
Phy A	×	×	×	
Phy B	×	×	×	
通用 PHY	**注 3**			
电压监控	**注 3**			
PLL	**注 3**			
SPI/SQI 从站	×	×	×	×
HBI 接口	×	×	×	×
功耗管理	×	×	×	×
通用定时器	×	×	×	×
自由运行计数器	×	×	×	×
系统控制和状态寄存器	×	×	×	×
配置引脚锁存	是	是	是	否（**注 4**）
EEPROM 加载程序运行	是	是	是	是
三态输出引脚（**注 5**）	是	是	是	
RST#引脚低驱动	是		是	否

表 5- 1 复位源和受影响的设备功能

注 1：POR 由 XTAL 稳压器执行，而不在系统级执行。 **注 2**：POR 在稳压器内部执行。 **注 3**：POR 在 PHY 内部执行。
注 4：配置脚输入不会重新锁存。 **注 5**：仅限用于配置脚的输出引脚。

Funcience confidential

5.2.1 芯片级复位

芯片级复位事件激活所有内部复位，可有效复位整个器件。芯片级复位通过触发以下任何输入事件启动：

- 上电复位 (POR)
- **RST#**引脚复位
- EtherCAT 系统复位

首先可通过轮询字节顺序测试寄存器 (BYTE_TEST) 确定芯片级复位/配置是否完成。在主机接口复位完成之前，返回的数据是无效的。一旦返回的数据是正确的字节顺序值，主机接口复位即完成。

整个芯片级复位的完成必须通过硬件配置寄存器(HW_CFG) 或功耗管理控制寄存器(PMT_CTRL) 的 READY 位直至该位置 1 来确定。READY 位置 1 时表示复位已完成且器件已准备好接受访问。

硬件配置寄存器(HW_CFG)、功耗管理控制寄存器(PMT_CTRL)、字节顺序测试寄存器(BYTE_TEST) 和复位控制寄存器(RESET_CTL) 外，当 READY 位清零时，对任何内部资源进行读访问都不应通过 S/W 完成。在 READY 位置 1 之前，对任何地址的写操作均是无效的。芯片级复位涉及可变输出电平焊盘的调节、配置脚的锁存以及主复位的生成。

配置引脚锁存

在 POR、EtherCAT 复位或 **RST#**引脚复位期间，配置脚锁存将开启。

在 POR、EtherCAT 复位或 **RST#**引脚复位释放后，配置脚锁存将关闭。

CLK_25_EN 和 **XTAL_MODE** 配置脚和输出启用，拉起和拉下 **CLK_25** 引脚不受 EtherCAT 复位或 **RST#**引脚重置控制，配置脚锁存将关闭。

可变电平 I/O 焊盘调节

在 EtherCAT、POR 或 **RST#**引脚复位释放后，将向 VO 调节电路发送 1us 脉冲（低有效）。2us 后，输出引脚即使能。

在启用输出之前，2us 延迟允许时间为变量输出级引脚调优，并为使用输出引脚共享的配置脚提供输入保留时间。

主复位和时钟生成复位

在使能输出引脚后，复位与主系统时钟同步而成为主复位。主复位用于生成本地复位以及复位时钟生成。

5.2.1.1 上电复位 (POR)

当器件刚上电或者断开电源并将其重新施加到器件时，将发生上电复位。此事件会复位器件内的所有电路。此复位的结果是锁存配置脚并执行 EEPROM 加载。POR 用于触发可变电平 I/O 焊盘的调节以及芯片级复位。

POR 也可用作系统级复位。**RST#**变为漏极开路输出，并在 POR 期间置为有效。其目的是在 EtherCAT 内核复位时完全复位 EtherCAT 从器件并/或使外部 PHY 保持复位。

作为开漏输出, RST 旨在被连接或进入系统复位。

Funcience confidential

提示 1：以太网 PHY 应连接至 RST#引脚，以使 PHY 在 EtherCAT 从器件就绪前保持复位。否则，远端链路伙伴会检测来自 PHY 的有效链路信号，并会“打开”其端口而假定本地 EtherCAT 从器件已就绪。

提示 2：在所有电压均工作前，不会驱动 **RST#**引脚。另外，如果系统需要在电源斜升期间保持复位，则需要外部系统级解决方案。

施加有效电压后，POR 复位通常需要约 21 ms。

5.2.1.2 RST#引脚复位

将 **RST#**输入引脚驱动为低电平会启动芯片级复位。此事件会复位器件内的所有电路。使用此复位输入是可选的，但使用时，必须将其驱动为章节 15.6.3"Reset and Configuration Strap Timing" 中指定的时间段。此复位的结果是锁存配置脚并执行 EEPROM 加载。

RST#引脚复位通常需要约 1.3ms。

提示：RST# 引脚在内部拉高。如果未使用，此信号可保持未连接状态。请勿依靠内部上拉电阻驱动器件外部的信号。

5.2.1.3 EtherCAT 系统复位

EtherCAT 系统复位由三个独立的连续帧/命令组成的特殊序列启动，其功能与 **RST#**引脚复位相同，除了在 EtherCAT 系统复位期间，**RST#**引脚变为开漏输出，并且置为有效的时间至少需要 80ms。

提示：将 **RST#**引脚连接到系统复位的目的是对 EtherCAT 从器件执行完全复位。EtherCAT 主站只在极其罕见的情况下发起复位，即本地单片机因严重事件停止且无法被通知重新初始化时。

5.2.2 模块级复位

模块级复位包含各种复位寄存器位输入，并为各种模块生成复位。模块级复位可影响一个或多个模块。

5.2.2.1 多模块复位

多模块复位激活多个内部复位，但不会复位整个芯片。配置脚不会在多模块复位时锁存。多模块重置由以下复位发起：

- **数字复位**

首先可通过轮询字节顺序测试寄存器(BYTE_TEST) 确定多模块复位/配置是否完成。在主机接口复位完成之前，返回的数据是无效的。一旦返回的数据是正确的字节顺序值，主机接口复位即完成。

整个芯片级复位的完成必须通过轮询硬件配置寄存器 (HW_CFG) 或功耗管理控制寄存器 (PMT_CTRL) 的 READY 位直至该位置 1 来确定。READY 位置 1 时表示复位已完成且器件已准备好接受访问。

除了硬件配置寄存器 (HW_CFG)、功耗管理控制寄存器(PMT_CTRL)、字节顺序测试寄存器

Funcience confidential

(BYTE_TEST) 和 复位控制寄存器 (RESET_CTL)外，当 READY 位清零时，对任何内部资源进行读访问都不应通过 S/W 完成。在 READY 位置 1 之前，对任何地址的写操作均是无效的。

提示：数字复位不会复位指定为 NASR 的寄存器位。

数字复位（DIGITAL_RST）

通过将复位控制寄存器(RESET_CTL) 的 DIGITAL_RST 位置 1 来执行数字复位。数字复位将复位器件的所有子模块，但以太网 PHY 除外。EEPROM 加载在此复位后执行。数字复位后不会锁存配置脚。

数字复位通常需要约 1.3ms。

5.2.2.2 单模块复位

单模块复位将仅复位指定的模块。单模块复位不会锁存配置脚。

单模块复位通过触发以下复位来启动：

- Port A PHY Reset
- Port B PHY Reset
- EtherCAT Controller Reset

Port A PHY Reset

Port A PHY 复位通过将复位控制寄存器 (RESET_CTL) 的 PHY_A_RST 位或 PHY x 基本控制寄存器 (PHY_BASIC_CONTROL_x) 中的 Soft Reset 位置 1 来执行。

完成 Port A PHY 复位后，PHY_A_RST 位和 Soft Reset 位自动清零。器件的其他模块不会受到此复位的影响。

Port A PHY 复位的完成可通过将复位控制寄存器 (RESET_CTL) 的 PHY_A_RST 位或 PHY x 基本控制寄存器 (PHY_BASIC_CONTROL_x) 中的 Soft Reset 位是否清零来确定。在正常情况下，Port A PHY 复位后，PHY_A_RST 位和 Soft Reset 位将清零约 102us。

提示：当使用 Soft Reset 复位 Port A PHY 时，不会复位指定为 NASR 的寄存器位。

除了上述方法外，Port A PHY 会在从 PHY 掉电模式恢复后自动复位。此复位的不同之处在于 PHY 掉电模式复位不会重载或复位任何 PHY 寄存器。详见章节 9.0，“以太网 PHY” 。

Port B PHY Reset

类似于 Port A PHY 中的描述，复位的 bit 位为：复位控制寄存器 (RESET_CTL) 的 PHY_B_RST 位，其余描述相同。

EtherCAT Controller Reset

一个竞争设备和系统复位可通过 EtherCAT 主器件或本地主机向从站复位 ECAT 寄存器（对于主器件，0x0040）或从站复位 PDI 寄存器（对于本地主机，0x0041）写入值序列 0x52（“R”）、0x45（“E”）和 0x53（“S”）来启动。这将触发章节 5.2.1.3 “EtherCAT 系统复位”中所述的复位。

EtherCAT 控制器的单独复位可通过将复位控制寄存器(RESET_CTL)中 ETHERCAT_RST 位置 1 来执行。这将复位 EtherCAT 内核及其寄存器。它还将复位 10.13 节中所述的 EtherCAT CSR 和过程数据 RAM 访问逻辑并将复位 10.15 节中“EtherCAT CSR 和过程数据 RAM 访问寄存器(直接寻址)” 所

Funcience confidential

述寄存器。

由于 EtherCAT 模块将通过 EEPROM 重新配置器件，主机接口将被禁止，直至复位完成。复位是否完成必须通过章节 7.4.2.2 中所述的用于 HBI 和章节 8.2.1.1 中所述的用于 SPI/SQI 中所述的方法来确定。

EtherCAT 控制器复位通常需要约 1.3ms。

Funcience confidential

5.2.3 复位寄存器

5.2.3.1 复位控制寄存器（RESET_CTL）

偏移量: 1F8h / 31F8h 大小: 32 位

这个寄存器包含软件控制的重新设置。

提示 1：当器件处于复位或未就绪/节能状态且主机接口未处于中间状态时，可以读取此寄存器。如果主机接口处于复位状态，则返回的数据可能无效。

提示 2：不必读取此寄存器的全部四个字节。DWORD(双字)访问规则不适用于此寄存器。

位	描述	类型	默认值
31:7	**保留位**	RO	-
6	**EtherCAT 复位(ETHERCAT_RST)** 将此位置 1 会复位 EtherCAT 内核。当 EtherCAT 内核从复位状态释放时，此位自动清零。当此位置 1 时，对此位的所有写操作都会被忽略。	R/W SC	0b
5:3	**保留位**	RO	-
2	**端口 B PHY 复位(PHY_B_RST)** 将该位置 1 会复位端口 B PHY。内部逻辑使 PHY 自动保持复位状态至少 102 us。当端口 B PHY 从复位状态释放时，该位自动清零。当该位置 1 时，将忽略对该位的所有写操作。	R/W SC	0b
1	**端口 A PHY 复位(PHY_A_RST)** 将该位置 1 会复位端口 A PHY。内部逻辑使 PHY 自动保持复位状态至少 102 us。当端口 A PHY 从复位状态释放时，该位自动清零。当该位置 1 时，将忽略对该位的所有写操作。	R/W SC	0b
0	**数字复位(DIGITAL_RST)** 将此位置 1 会复位整个芯片（PLL、端口 B PHY 和端口 A PHY 除外）。所有系统 CSR 均会复位（任何 NASR 类型的位除外）。任何操作 EEPROM 的指令都会被终结。当芯片从复位状态释放时，此位自动清零。当此位置 1 时，对此位的所有写操作都会被忽略。	R/W SC	0b

Funcience confidential

5.3 功耗管理

器件支持多个模块和芯片级功耗管理功能以及唤醒事件检测和通知。

5.3.1 唤醒事件检测

5.3.1.1 PHY A 和 PHY B 能量检测

能量检测掉电模式会降低 PHY 功耗。在能量检测掉电模式下，当电缆上检测到能量（通常来自链路脉冲）时，PHY 将从掉电状态恢复，并将 PHYx 中断源标志寄存器(PHY_INTERRUPT_SOURCE_x)中的 ENERGYON 中断位置 1。

提示：如果使能能量检测掉电模式时存在载波，则检测将立即进行。

如果通过 PHY x 中断屏蔽寄存器(PHY_INTERRUPT_MASK_x)允许中断，PHY 将产生中断。此中断反映在中断状态寄存器 (INT_STS) 中的 bit 26 (PHY_INT_A，用于 PHY A)和 bit27 (PHY_INT_B，用于 PHY B)中。INT_STS 寄存器位将触发 IRQ 中断输出引脚（如果使能），详见章节 6.2.1 “以太网 PHY 中断”。

能量检测 PHY 中断还会将功耗管理控制寄存器(PMT_CTRL)的相应能量检测/WoL 状态端口 A (ED_WOL_STS_A) 或能量检测/WoL 状态端口 B (ED_WOL_STS_B)bit 置 1。

能量检测/WoL 使能端口 A (ED_WOL_EN_A)和能量检测/WoL 使能端 B(ED_WOL_EN_B) bits 将使能相应的状态位作为 PME 事件。

提示：任何 PHY 中断均会将上述状态位置 1。主机应仅允许 PHY x 中断屏蔽寄存器 (PHY_INTERRUPT_MASK_x)中相应的 PHY 中断源。

5.3.1.2 PHYA&B 局域网唤醒（WoL）

PHY A 和 PHY B 提供对理想 DA、广播、魔术包和唤醒帧的 WoL 事件检测。允许中断时，PHY 将检测 WoL 事件并将 PHY x 中断源标志寄存器(PHY_INTERRUPT_SOURCE_x)中的 WoL 中断位置 1。

如果通过 PHYx 中断屏蔽寄存器(PHY_INTERRUPT_MASK_x)允许中断，PHY 将产生中断。此中断反映在中断状态寄存器 (INT_STS)中的 bit 26 (PHY_INT_A) 和 bit 27 (PHY_INT_B)中。INT_STS 寄存器位将触发 IRQ 中断输出引脚（如果使能），详见章节 6.2.1 “以太网 PHY 中断”。有关 PHY WoL 的操作和配置的详细信息，请参见章节 9.0“以太网 PHY”。

WoL PHY 中断还会将功耗管理控制寄存器(PMT_CTRL)的相应能量检测/WoL 状态端口 A (ED_WOL_STS_A)或能量检测/ WoL 状态端口 B (ED_WOL_STS_B) 位置 1。

能量检测 / WoL 使能端口 A (ED_WOL_EN_A)或能量检测 / WoL 使能端口 B (ED_WOL_EN_B)位将使能相应的状态位作为 PME 事件。

Funcience confidential

提示：任何 PHY 中断均会将上述状态位置 1。主机应仅允许 PHY x 中断屏蔽寄存器 (PHY_INTERRUPT_MASK_x) 中相应的 PHY 中断源。

5.3.2 唤醒（PME）通知

PME 模块用于处理功耗管理控制寄存器(PMT_CTRL) 中 PHY A 能量检测 / WoL 状态端口 A (ED_WOL_STS_A) 或 PHY B 能量检测 / WoL 状态端口 B (ED_WOL_STS_B) 位的锁存。

此模块还会通过相应的使能位(能量检测 /WoL 使能端口 B(ED_WOL_EN_B) 和 能量检测 / WoL 使能端口 A (ED_WOL_EN_A)) 屏蔽状态位并将结果组合在一起以生成

中断状态寄存器(INT_STS)中的 PME_INT 状态位。PME_INT 状态位随后通过 PME_INT_EN 位屏蔽，并与其他中断源结合以驱动 IRQ 输出引脚。

提示: 无论 PME_INT_EN 的设置如何，INT_STS 寄存器中的 PME 中断状态位（PME_INT）都将置 1。

除了生成中断事件外, PME event 可驱动 PME 输出引脚去专门指示唤醒事件。

功耗管理控制寄存器(PMT_CTRL) 的 PME Enable (PME_EN) 位使能 PME 事件。PME 输出引脚特性可以通过功耗管理控制寄存器(PMT_CTRL) 的 PME Buffer Type (PME_TYPE), PME Indication (PME_IND) 和 PME Polarity (PME_POL)位。这些 bit 位允许 PME 输出引脚开漏、主动高推挽或主动低推挽，并将输出配置为连续的，或 50 毫秒的脉冲。

PME 输出没有一个专用的引脚，并被映射到其他的引脚，由功耗管理控制寄存器(PMT_CTRL)的 PME 引脚映射 (PME_PIN_SEL) 控制，更换引脚正常功能。即使映射了，必须启用 PME 输出，否则映射的引脚仍然是未驱动的。默认情况下，PME 没有启用或映射。

提示 1：在 PME 映射到另一个引脚之前,该引脚的默认状态是引脚的正常功能。引脚驱动或不驱动，内部或外部拉起或拉下是系统设计的时候需要注意的一点。

提示 2：ERRLED: 这是通过 EEPROM 启用的，应该设置为禁用。在 EEPROM 加载错误的事件中，**ERRLED** 功能是强制启用的，可能会发生错误的 PME 事件。**ERRLED** 也被用作 100FD_B 配置引脚。如果错误引导被用作 PME 输出(有可能被传输的共享信号)，则必须谨慎考虑带值。主机软件可能需要通过硬件配置寄存器(HW_CFG)的 AMDIX Disable PHY B 和 ANEG Disable PHY B 位重新配置 PHY B 来纠正结果。还要注意，ERRLED 位于 VDD33 I/O 电压域中。

提示 3：WAIT_ACK: 这是通过 EEPROM 启用的，应该设置为禁用。

提示 4：SYNC0/LATCH0 / SYNC1/LATCH1: 这是通过 EEPROM 配置的。如果设置 **SYNC0/SYNC1**，在 PME 引脚映射 (PME_PIN_SEL)值设置之前，驱动值可能不正确。

在系统配置中，**PME** 输出引脚在多个设备(连线)中共享，在 PMT_CTRL 寄存器内的 ED_WOL_STS_B 和 ED_WOL_STS_A 位可以读取，以确定哪个设备驱动 PME 信号。

当功耗管理控制寄存器(PMT_CTRL)的 PM_WAKE 位设置，PME 事件将自动在特定的芯片级功率模式中自动恢复系统，如章节 5.3.4.2 “退出低功耗模式”所述。这是独立于 PME_EN、PME_POL、PME_IND 和 PME_TYPE 寄存器位的值。

Funcience confidential

5.3.3 分段功耗管理

该设备支持各种模块的软件控制时钟禁用，以减少功耗。

提示：禁用单个块不会自动重置，它只将其放入静态的非操作状态，以减少设备的功耗。如果在重新启用该块之前没有执行块重置，那么必须确保该块位于一个可以禁用的状态，然后重新启用。

5.3.3.1 禁用 EtherCAT 内核

通过在功耗管理控制寄存器(PMT_CTRL)中设置 ECAT_DIS 位，整个 EtherCAT 内核可能会被禁用。保险起见，必须连续两次写，写 0 将重置计数。

5.3.3.2 PHY 掉电

一个 PHY 可能置于掉电模式中，如章节 9.0“以太网 PHY” 所述。

5.3.3.3 LED 引脚掉电

所有 LED 输出都可以通过在功耗管理控制寄存器(PMT_CTRL)中设置 LED_DIS 位来禁用。开漏/开源 LED 是非驱动的。推挽式 LED 仍然驱动，但设置为不活动状态。

5.3.4 芯片级功耗管理

该设备支持掉电模式，允许应用程序最小化功耗。

通过禁用表 5-2“功耗管理状态”中所描述的时钟来减少功耗。所有配置数据都保存在任何电源状态。除非在寄存器描述中明确表示，否则寄存器内容不会受到影响。

有一个正常的运行功率状态 D0，三个节能状态：D1、D2 和 D3。虽然适用于各种唤醒检测功能，但电源状态不直接启用，并没有被这些功能执行。

D0: 正常模式 – 这个设备正常的运行方式。在这种模式下，所有的功能都可用。这种模式在任何芯片级的重置中自动输入。

D1: 系统时钟禁用，XTAL、PLL 和网络时钟使能 - 在这种低功耗模式下，所有来自 PLL 时钟的时钟都是禁用的。如果由 PHY 或外部提供，则会启用网络时钟。晶振和 PLL 仍然启用。退出该模式可以手动或自动完成。该模式可用于 PHY 一般掉电模式、PHY WoL 模式和 PHY Energy 检测掉电模式。

D2: 系统时钟禁用，PLL 禁用请求，XTAL 使能 - 在这种低功耗模式下，所有来自 PLL 时钟的时钟都是禁用的。PLL 被允许禁用。如果由 PHYs 或外部提供，则会启用网络时钟。晶振仍然启用。退出该模式可以手动或自动完成。该模式对 PHY 能量检测掉电模式和 PHY WoL 模式很有用。这种模式可用于 PHY 一般掉电模式。

D3: 系统时钟禁用，PLL 禁用，XTAL 禁用 - 在这种低功耗模式下，所有来自 PLL 的 100MHz 时钟都是禁用的。PLL 将被禁用。外部网络时钟关闭。晶振被禁用。退出该模式可能要手动完成。这种模式对 PHY 一般掉电模式很有用。

主机必须在设置这种电源状态之前通过设置 PHY x 基本控制寄存器(PHY_BASIC_CONTROL_x)

Funcience confidential

的 Power Down (PHY_PWR_DWN) 位来将 PHY 置于一般掉电模式下。

提示：禁用晶振将禁用 CLK_25 输出信号。

时钟源	D0	D1	D2	D3
25MHz 晶振	ON	ON	ON	OFF
PLL	ON	ON	OFF (注 2)	OFF
系统时钟（100MHz、50MHz、25 MHz 和其他）	ON	OFF	OFF	OFF
网络时钟	available(注 1)	available(注 1)	available(注 1)	OFF (注 3)

注 1：如果由 PHYs 或外部提供
注 2：如果两个 PHYs 都在能量检测或一般掉电模式下，则请求关闭 PLL，并禁用
注 3：PHY 时钟断开，外部时钟关闭

表 5- 2 功耗管理状态

5.3.4.1 进入低功耗模式

从正常模式（D0）进入任何低功耗模式（D1 - D3），按照这些步骤：

1. 向功耗管理控制寄存器（PMT_CTRL）中的 PM_MODE 和 PM_WAKE 字段写入所需值。
2. 按照章节 5.3.1“唤醒事件检测”设置所需的唤醒检测。
3. 按照章节 5.3.2“唤醒（PME）通知”设置适当的唤醒通知。
4. 确保器件处于可安全置于低功耗模式（发送所有数据包、禁止接收器并处理/刷新数据包等）的状态。
5. 将功耗管理控制寄存器（PMT_CTRL） 中的 PM_SLEEP_EN 位置 1。

提示：无法在 PM_SLEEP_EN 位置 1 的同时更改 PM_MODE 字段，也无法在更改 PM_MODE 字段的同时将 PM_SLEEP_EN 位置 1。

进入任一低功耗模式后，硬件配置寄存器（HW_CFG）和功耗管理控制寄存器（PMT_CTRL）中的器件就绪（READY）位将被强制为低电平。

提示：进入任一节能状态后，主机接口将不起作用。

5.3.4.2 退出低功耗模式

可以手动或自动退出低功耗模式。

自动唤醒将基于章节 5.3.2 “唤醒（PME）通知” 中所述的事件进行。通过功耗管理控制寄存器（PMT_CTRL）中的功耗管理唤醒（PM_WAKE）位来使能自动唤醒。在以下情况下，将通过主机发起手动唤醒：

- 对器件执行 HBI 写操作（CS 和 WR 或者 CS、RD_WR 和 ENB）。尽管在唤醒器件并执行读操作前会忽略所有写操作，主机仍应该指示写入字节顺序测试寄存器（BYTE_TEST）。在器件唤醒前，不应尝试写入任何其他地址。
- 对器件执行 SPI/SQI 周期（SCS#低电平和 SCK 高电平）。尽管在器件唤醒前会忽略所有读写操作，主机仍应该指示通过读取字节顺序测试寄存器（BYTE_TEST）来唤醒器件。在器

Funcience confidential

件唤醒前，不应尝试读取和写入任何其他地址。

要确定主机接口何时正常工作，应轮询字节顺序测试寄存器（BYTE_TEST）。一旦读取到正确的模式，即可认为接口为工作状态。此时，可以通过轮询硬件配置寄存器（HW_CFG）或功耗管理控制寄存器（PMT_CTRL）中的器件就绪（READY）位来确定器件何时完全唤醒。

对于自动和手动唤醒，一旦器件恢复到节能状态 D0 且 PLL 已重新稳定，器件就绪（READY）位即变为高电平。此时，功耗管理控制寄存器（PMT_CTRL）中的 PM_MODE 和 PM_SLEEP_EN 字段也将清零。

在正常情况下，器件将在 2 ms 内唤醒。

Funcience confidential

5.3.5 功耗管理寄存器

5.3.5.1 功耗管理控制寄存器（PMT_CTRL）

偏移量: 084h / 3084h 大小: 32 位

此读写寄存器控制器件的功耗管理功能。器件的就绪状态通过此寄存器的器件就绪（READY）位来确定。

提示：当器件处于复位或未就绪/节能状态且主机接口未处于中间状态时，可以读取此寄存器。如果主机接口处于复位状态，则返回的数据可能无效。不必读取此寄存器的全部四个字节。双字访问规则不适用于此寄存器。

位	描述	类型	默认值
31:29	**功耗管理模式（PM_MODE）** 此字段用于确定当功耗管理休眠使能（PM_SLEEP_EN）位置 1 时将进入的芯片级功耗管理模式。 000：D0 001：D1 010：D2 011：D3 100：保留 101：保留 110：保留 111：保留 如果功耗管理休眠使能（PM_SLEEP_EN）位正在被写入 1，则对此字段的写操作将被忽略。 此字段在器件唤醒时清零。	R/W/SC	000b
28	**功耗管理休眠使能（PM_SLEEP_EN）** 将此位置 1 会进入通过功耗管理模式（PM_MODE）字段指定的芯片级功耗管理模式。 0：器件未处于低功耗休眠状态 1：器件处于低功耗休眠状态 此位不能与 PM_MODE 寄存器字段同时写入。 PM_MODE 字段必须置 1，然后必须将此位置 1 才能使器件正常工作。 如果功耗管理模式（PM_MODE）正在写入新值，则向此位写入值 1 将被忽略。 注：尽管硬件不会阻止，但当功耗管理模式（PM_MODE）的值为“D0”时，不应向此位写入值 1。 此字段在器件唤醒时清零。	R/W/SC	0b
27	**功耗管理唤醒（PM_WAKE）** 此位置 1 时，将使能基于 PME 事件的自动唤醒。 0：仅手动唤醒 1：使能自动唤醒	R/W	0b
26	**LED 禁止（LED_DIS）** 此位用于禁止 LED 输出。漏极开路/源极开路 LED 不进行驱动。推挽式 LED 仍进行驱动，但会设置为无效状态。 0：使能 LED 1：禁止 LED	R/W	0b
25:22	**保留位**	RO	-
21	**EtherCAT 内核时钟禁止（ECAT_DIS）** 此位用于禁止 EtherCAT 内核的时钟。 0：使能时钟 1：禁止时钟 要将此位置 1，必须连续两次写入 1。写 0 将复位计数。	R/W	0b
20:18	**保留位**	RO	-
17	**能量检测/WoL 状态端口 B（ED_WOL_STS_B）** 该位指示端口 B PHY 上是否发生了能量检测或 WoL 事件。要将该位清零，还需要将 PHY 中的事	R/W1C	0b

Funcience confidential

	件清除。事件源在章节 5.3 “功耗管理”中说明。		
16	**能量检测/WoL 状态端口 A（ED_WOL_STS_A）** 该位指示端口 A PHY 上是否发生了能量检测或 WoL 事件。要将该位清零，还需要将 PHY 中的事件清除。事件源在章节 5.3 “功耗管理”中说明	R/W1C	0b
15	**能量检测/WoL 使能端口 B（ED_WOL_EN_B）** 如果置 1，当端口 B 中出现能量检测或 WoL 事件时，中断状态寄存器（INT_STS）中的 PME_INT 位将置为有效。	R/W	0b
14	**能量检测/WoL 使能端口 A（ED_WOL_EN_A）** 如果置 1，当端口 A 中出现能量检测或 WoL 事件时，中断状态寄存器（INT_STS）中的 PME_INT 位将置为有效。	R/W	0b
13:10	**保留位**	RO	-
9:7	**PME 引脚映射（PME_PIN_SEL）** 此字段用来将 PME 映射到各种设备引脚之一。 000：无 001：ERRLED 010：WAIT_ACK 011：SYNC0/LATCH0 100：SYNC1/LATCH1 101：保留 110：保留 111：保留 注：即使映射了，必须启用 PME 输出，否则映射的引脚仍然是未驱动的。	R/W NASR	000b
6	**PME 缓冲器类型（PME_TYPE）** 当这一位被清除时，PME 输出引脚功能作为一个开漏的缓冲器用于线网配置。当置 1 时，PME 输出引脚是一个推挽式驱动器。 0：PME 引脚开漏输出 1：PME 引脚推挽式驱动 注：当 PME 输出配置为开漏输出，这个寄存器的 PME_POL 字段被忽略，并且输出总是低有效。	R/W NASR	0b
5:4	保留	RO	-
3	**PME 指示（PME_IND）** PME 信号可以被配置为脉冲输出或静态信号，发现唤醒事件时声明。置 1，PME 信号在检测一个唤醒事件时，会触发 50ms 的脉冲。清零，PME 信号在检测唤醒事件时被连续驱动。 0：PME 连续驱动事件检测 1：PME 50ms 脉冲检测事件 通过清除上面的状态位或通过清除适当的使能，可以禁用 PME 信号。	R/W	0b
2	**PME 极性（PME_POL）** 此位控制 PME 信号的极性。置 1 时 PME 信号输出高有效。清零 PME 信号输出低有效。 注：当 PME 输出配置为开漏输出，这个字段被忽略，并且输出总是低有效。 0：PME 低有效 1：PME 高有效	R/W NASR	0b
1	**PME 使能（PME_EN）** 置 1 时使能外部 PME 信号，清零时禁用外部 PME 信号。 注：此位不影响中断状态寄存器(INT_STS)的 PME_INT 中断位。 0：PME 引脚禁用 1：PME 引脚使能	R/W	0b
0	**器件就绪（READY）** 此位置 1 时指示器件已准备好接受访问。上电、 RST#复位、从节能状态恢复、 EtherCAT 芯片级或模块级复位或者数字复位后，主机处理器可查询此字段来了解器件是否稳定并处于完全工作状态。 此位的上升沿将使 INT_STS 中的器件就绪（READY）位置为有效，并且可引起中断（如果允许中断）。 注：当 READY 位清零时，除 HW_CFG、 PMT_CTRL、 BYTE_TEST 和 RESET_CTL 寄存器外，禁止对任何内部资源进行读访问。在此位置 1 前，对任何地址的写操作均是无效的。 注：此位与硬件配置寄存器（HW_CFG）的 bit 27 相同。	RO	0b

注：在设置复位控制寄存器（RESET_CTL）的 DIGITAL_RST 位时，被指定为 NASR 的寄存器位不会重置。

Funcience confidential

5.4 器件就绪操作

器件支持就绪状态寄存器位，该位用于向主机软件指示器件何时完全准备好进行操作。此位可通过功耗管理控制寄存器（PMT_CTRL）或硬件配置寄存器（HW_CFG）读取。

上电复位、**RST#**复位、EtherCAT 芯片级复位或数字复位（见章节 5.2“复位”）后，器件就绪（READY）位指示器件已读取并通过 EEPROM 的内容进行配置。

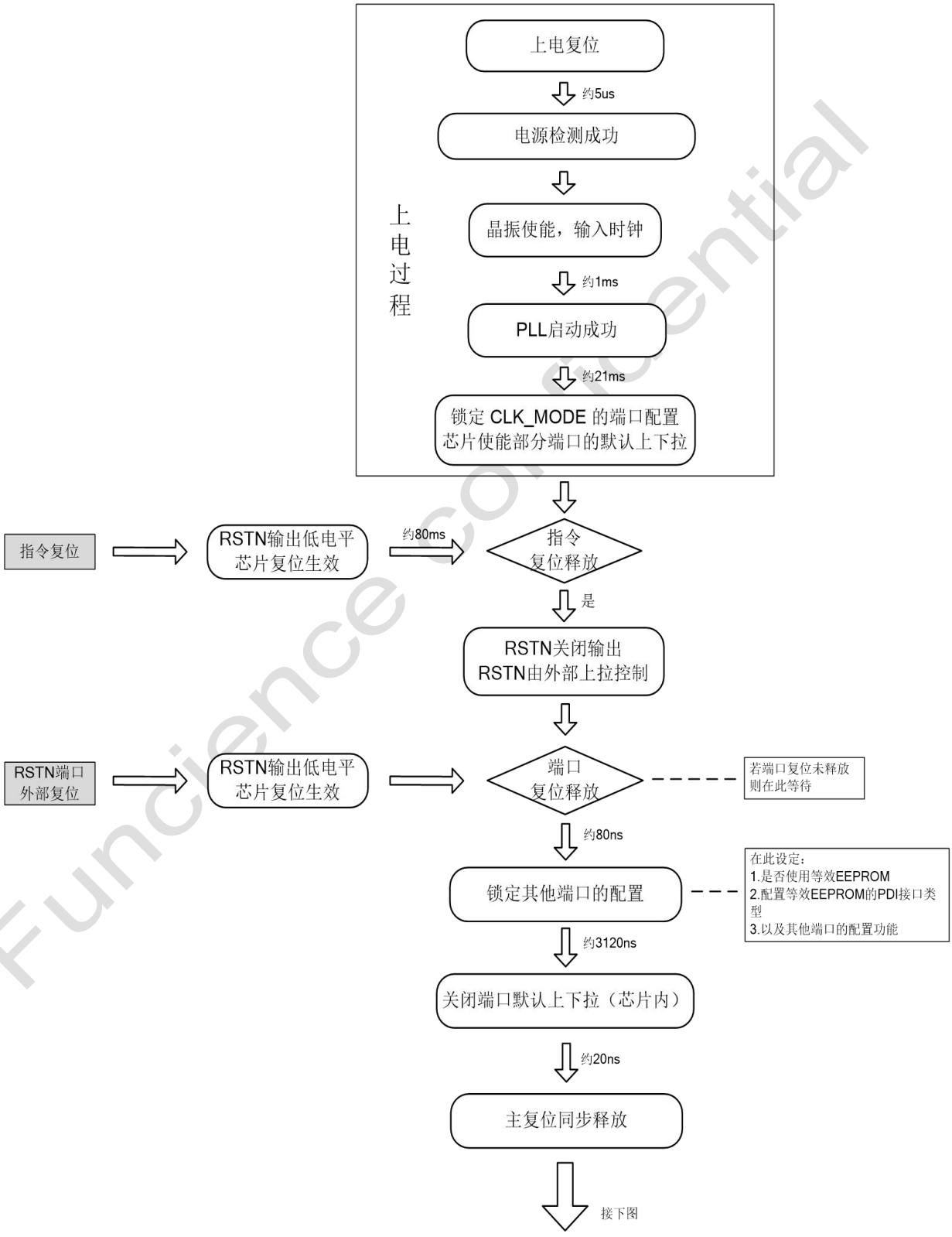
通过复位控制寄存器（RESET_CTL）进行的 EtherCAT 复位将使 EtherCAT 内核从 EEPROM 重载，从而暂时导致器件就绪（READY）位变为低电平。

进入除 D0 外的任何节能状态（见 5.3.4 节“芯片级功耗管理”）都将导致器件就绪（READY）位变为低电平。唤醒后，一旦器件恢复到节能状态 D0 并且 PLL 已重新稳定，器件就绪（READY）位即变为高电平。

Funcience confidential

5.5 芯片启动过程

芯片的启动过程如下图所示。



Funcience confidential

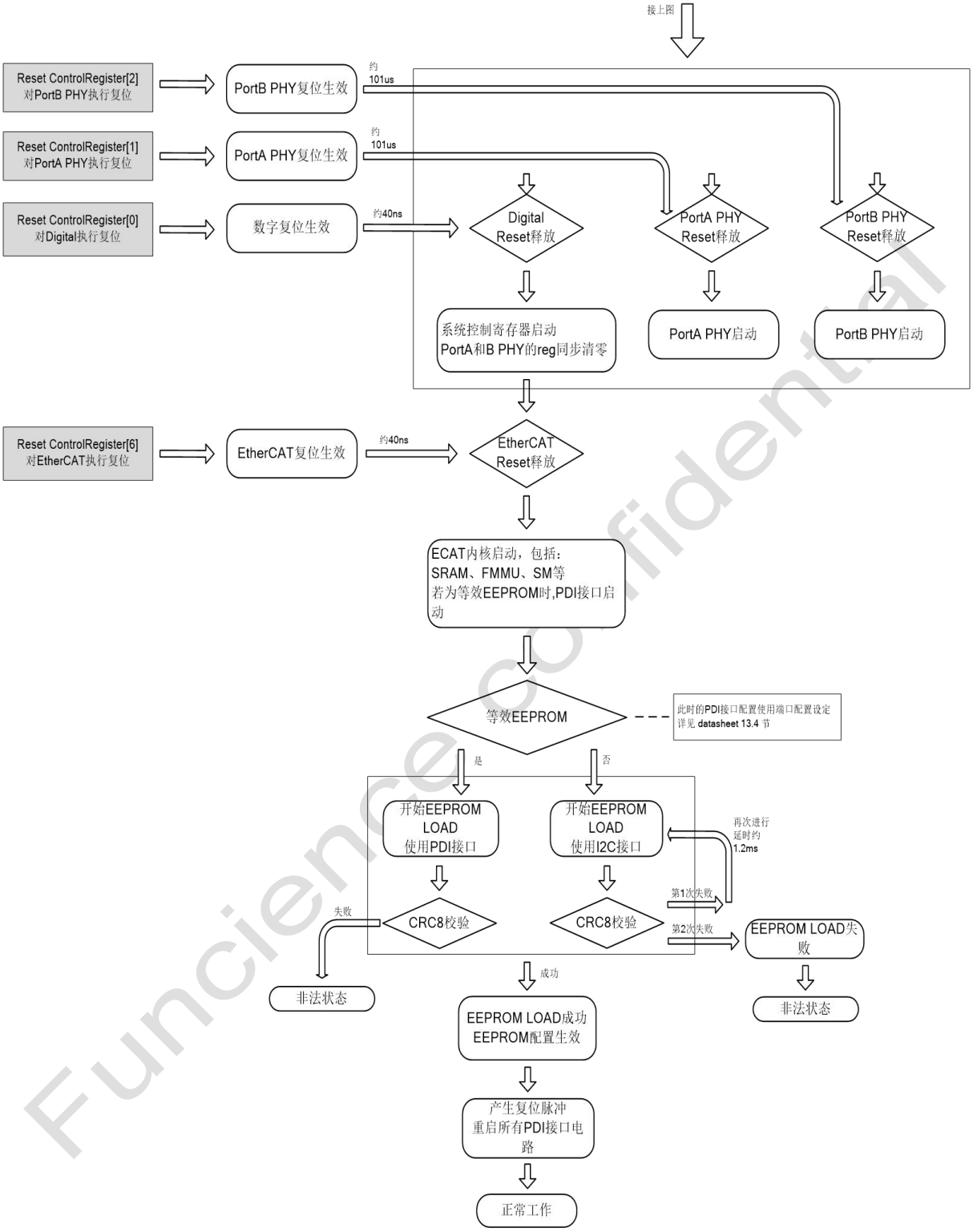


图 5- 1 芯片启动过程

Funcience confidential

6 系统中断

6.1 功能概述

本章介绍器件的系统中断结构。器件提供了多层可编程中断结构，此结构通过系统中断控制器来控制。可编程系统中断由各个器件子模块在内部生成，并可配置为通过 IRQ 中断输出引脚生成单个外部主机中断。主机中断的可编程性质为用户提供了根据应用要求优化性能的能力。IRQ 中断缓冲器类型、极性和置为无效间隔是可修改的。IRQ 中断可配置为漏极开路输出，以便与其他器件共用中断。所有内部中断均可屏蔽并且能够触发 IRQ 中断。

6.2 中断源

器件能生成以下类型的中断：

- 以太网 PHY 中断
- 功耗管理中断
- 通用定时器中断（GPT）
- EtherCAT 中断
- 软件中断（通用）
- 器件就绪中断
- 时钟输出测试模式

所有中断均通过排列成多层类分支结构的寄存器（如图 6-1 所示）进行访问和配置。器件中断结构的顶层是中断状态寄存器（INT_STS）、中断允许寄存器（INT_EN）和中断配置寄存器（IRQ_CFG）。

中断状态寄存器（INT_STS）和中断允许寄存器（INT_EN）聚合并允许/禁止来自各个器件子模块的所有中断，将它们组合在一起以产生 IRQ 中断。这两个寄存器为通用定时器、软件和器件就绪中断提供直接中断访问/配置。可以在这两个寄存器内直接监视、允许/禁止和清除这些中断。此外，还为 EtherCAT 从器件、功耗管理和以太网 PHY 中断提供了事件指示。这些中断的区别在于中断源在其他子模块寄存器中生成和清除。INT_STS 寄存器不提供有关子模块内的哪个特定事件引起中断的详细信息，需要软件轮询额外的子模块中断寄存器（如图 6-1 所示）才能确定准确的中断源并将其清除。对于涉及多个寄存器的中断，只有在处理了中断并在其中断源清除后，才能在 INT_STS 寄存器中将其清除。

中断配置寄存器（IRQ_CFG）负责使能/禁止 IRQ 中断输出引脚以及配置其属性。IRQ_CFG 寄存器允许修改 IRQ 引脚缓冲器类型、极性和置为无效间隔。置为无效定时器可保证 IRQ 输出的最小中断置为无效周期，可通过中断配置寄存器（IRQ_CFG）的中断置为无效间隔（INT_DEAS）字段进行编程。全零设置将禁止置为无效定时器。无论出于何种原因，置为无效间隔都从 IRQ 引脚置为无效时开始。

提示：置为无效定时器不应用于 PME 中断。在置为无效定时器选通之后，PME 中断被引导到 IRQ 逻辑中。PME 中断置为有效不会影响置为无效定时器。

Funcience confidential

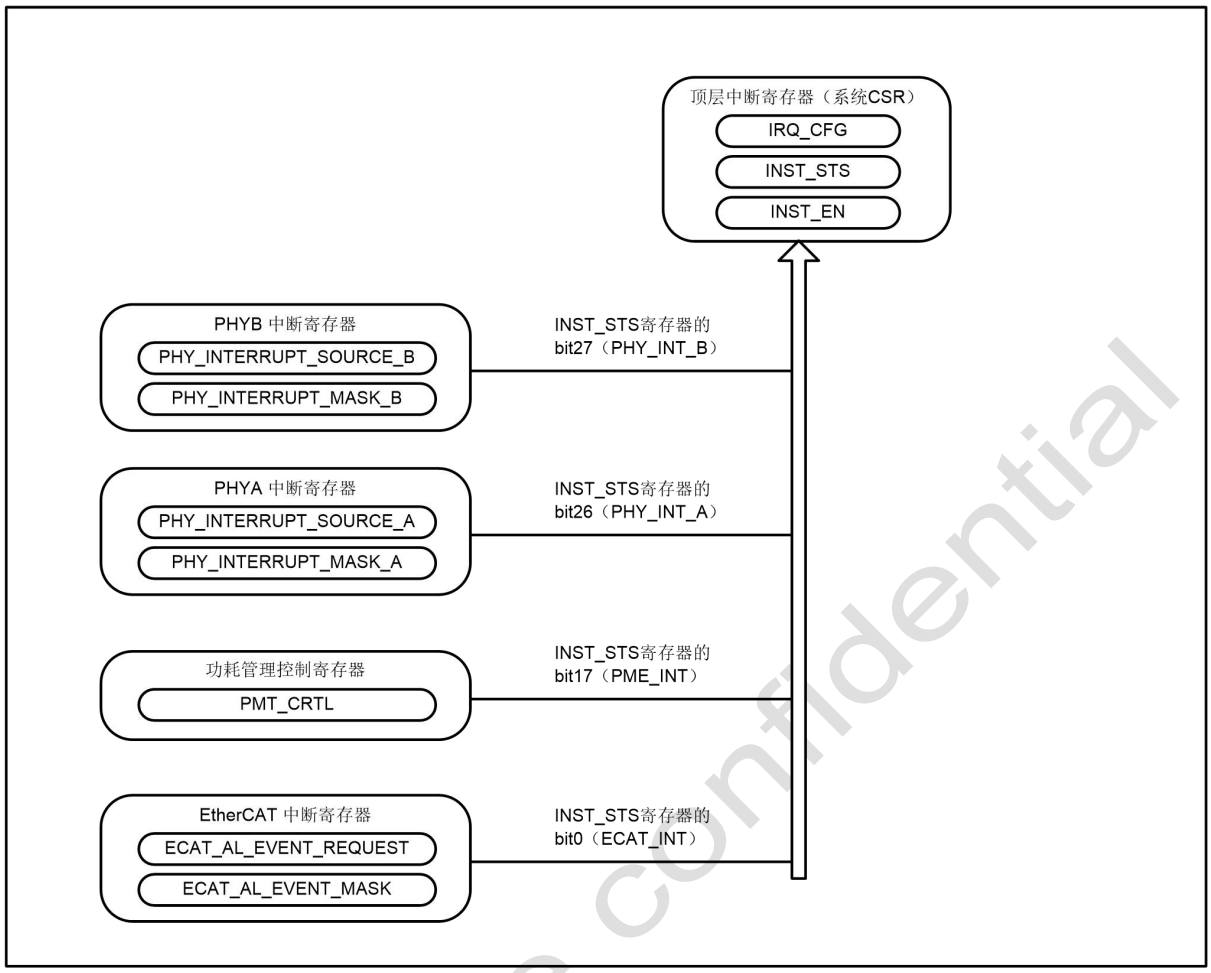


图 6- 1 功能中断层级

以下各节详细介绍了每个中断类别及其相关的寄存器。有关所有中断寄存器中各位的定义，请参见相应功能的章节。

6.2.1 以太网 PHY 中断

每个以太网 PHY 都提供一组相同的中断源。中断状态寄存器（INT_STS）的顶层 PHY A 中断事件（PHY_INT_A）和 PHYB 中断事件（PHY_INT_B）位为 PHYx 中断源标志寄存器（PHY_INTERRUPT_SOURCE_x）中的 PHY 中断事件发生提供指示。

PHY 中断通过各自的 PHYx 中断屏蔽寄存器（PHY_INTERRUPT_MASK_x）允许/禁止。PHY 中断源可通过 PHYx 中断源标志寄存器（PHY_INTERRUPT_SOURCE_x）确定和清除。各个中断基于以下事件生成：

- ENERGYON 激活
- 自动协商完成
- 检测到远程故障
- 链路中断（链路状态置为无效）
- 链路接通（链路状态有效）
- 自动协商 LP 应答

Funcience confidential

- 并行检测故障
- 收到自动协商页
- 检测到 LAN 唤醒事件

为了使中断事件触发外部 IRQ 中断引脚，必须在相应的 PHYx 中断屏蔽寄存器（PHY_INTERRUPT_MASK_x）中允许所需的 PHY 中断事件，中断允许寄存器（INT_EN）的 PHY A 中断事件允许（PHY_INT_A_EN）和/或 PHY B 中断事件允许（PHY_INT_B_EN）位必须置 1 且 IRQ 输出必须通过中断配置寄存器（IRQ_CFG）的 IRQ 使能（IRQ_EN）位使能。

有关以太网 PHY 中断的更多详细信息，请参见章节 9.0 “以太网 PHY”。

6.2.2 功耗管理中断

器件提供了多个功耗管理事件中断源。中断状态寄存器（INT_STS）的顶层功耗管理中断事件（PME_INT）位提供发生功耗管理控制寄存器（PMT_CTRL）中功耗管理中断事件的指示。

功耗管理控制寄存器（PMT_CTRL）提供所有功耗管理条件的使能/禁止以及状态。其中包括 PHY 上的能量检测以及通过 PHY A 和 PHY B 提供的 LAN 唤醒（理想 DA、广播、唤醒帧或魔术包）检测。

为了使功耗管理中断事件触发外部 IRQ 中断引脚，必须在功耗管理控制寄存器（PMT_CTRL）中允许所需的功耗管理中断事件， 中断允许寄存器（INT_EN）的功耗管理事件中断允许（PME_INT_EN）位必须置 1 且必须通过中断配置寄存器（IRQ_CFG）的 bit 8 IRQ 使能（IRQ_EN）使能 IRQ 输出。

功耗管理中断只是器件功耗管理功能的一部分。有关功耗管理的更多详细信息，请参见章节 5.3 “功耗管理”。

6.2.3 通用定时器中断

顶层中断状态寄存器（INT_STS）和中断允许寄存器（INT_EN）中提供 GP 定时器（GPT_INT）中断。此中断在通用定时器计数寄存器（GPT_CNT）从 0 折回 FFFFh 时发出，在中断状态寄存器（INT_STS）的 GP 定时器（GPT_INT）位写 1 时清除。

为了使通用定时器中断事件触发外部 IRQ 中断引脚，必须通过通用定时器配置寄存器（GPT_CFG） 中的通用定时器使能（TIMER_EN）位使能 GPT，中断允许寄存器（INT_EN）的 GP 定时器中断允许（GPT_INT_EN）位必须置 1 且必须通过中断配置寄存器（IRQ_CFG）的 IRQ 使能（IRQ_EN） 位使能 IRQ 输出。

有关通用定时器的更多详细信息，请参见章节 13.1 “通用定时器”。

6.2.4 EtherCAT 中断

中断状态寄存器（INT_STS）的顶层 EtherCAT 中断事件（ECAT_INT）提供发生 AL 事件请求寄存器中 EtherCAT 中断事件的指示。AL 事件屏蔽寄存器提供所有 EtherCAT 中断条件的允许/禁止。AL 事件请求寄存器提供所有 EtherCAT 中断的状态。

为了使 EtherCAT 中断事件触发外部 IRQ 中断引脚，必须在 AL 事件屏蔽寄存器中允许所需的 EtherCAT 中断，中断允许寄存器（INT_EN）的 EtherCAT 中断事件允许（ECAT_INT_EN）位必须

Funcience confidential

置 1 且必须通过中断配置寄存器（IRQ_CFG）的 IRQ 使能（IRQ_EN）位使能 IRQ 输出。

有关 EtherCAT 中断的更多详细信息，请参见章节 10.0 “EtherCAT”。

6.2.5 软件中断

顶层中断状态寄存器（INT_STS）和中断允许寄存器（INT_EN）中提供了通用软件中断。当中断允许寄存器（INT_EN）的软件中断允许（SW_INT_EN）位从清零切换为置 1（即，在使能的上升沿）时，将产生中断状态寄存器（INT_STS）的软件中断（SW_INT）位。此中断提供了一种简单的软件产生中断的方法，设计为用于常规软件使用。

为了使软件中断事件触发外部 IRQ 中断引脚，必须通过中断配置寄存器（IRQ_CFG）的 IRQ 使能（IRQ_EN）位使能 IRQ 输出。

6.2.6 器件就绪中断

顶层中断状态寄存器（INT_STS）和中断允许寄存器（INT_EN）中提供了器件就绪中断。中断状态 寄存器（INT_STS）的器件就绪（READY）位用于指示器件已准备好在上电或复位条件后接受访问。在中断状态寄存器（INT_STS）中对该位写 1 会将其清零。

为了使器件就绪中断事件触发外部 IRQ 中断引脚，中断允许寄存器（INT_EN）的器件就绪中断允许（READY_EN）位必须置 1 且必须通过中断配置寄存器（IRQ_CFG）的 IRQ 使能（IRQ_EN）位使能 IRQ 输出。

6.2.7 时钟输出测试模式

要实现系统级调试，可通过将中断配置寄存器（IRQ_CFG）的 IRQ 时钟选择（IRQ_CLK_SELECT）位置 1 将晶振时钟使能到 IRQ 引脚上。

IRQ 引脚应通过 IRQ 缓冲器类型（IRQ_TYPE）位设置为推挽式驱动器以获得最佳效果。

Funcience confidential

6.3 中断寄存器

本节详细介绍与可直接寻址中断相关的系统 CSR。这些寄存器用于控制、配置和监视 IRQ 中断输出引脚以及各种器件中断源。有关整个可直接寻址寄存器映射的概述，请参见章节 4.0 “寄存器映射”。

地址	EtherCAT 直接映射模式	寄存器名称（符号）
054h	3054h	中断配置寄存器（IRQ_CFG）
058h	3058h	中断状态寄存器（INT_STS）
05Ch	305Ch	中断允许寄存器（INT_EN）

表 6- 1 中断寄存器

Funcience confidential

6.3.1 中断配置寄存器（IRQ_CFG）

偏移量： 054h/3054h 大小： 32 位

此读/写寄存器用于配置和指示 IRQ 信号的状态。

位	描述	类型	默认值
31:24	**中断置为无效间隔（INT_DEAS）** 此字段用于确定中断请求置为无效间隔（10 微秒的倍数）。 将此字段设置为 0 会使器件禁止 INT_DEAS 间隔、复位间隔计数器并发出任何待处理中断。如果向此字段写入新的非零值，任何后续中断都将遵循新设置。	R/W	00h
23:15	**保留位**	RO	-
14	**中断置为无效间隔清零（INT_DEAS_CLR）** 向此寄存器写入 1 会将中断控制器中的置为无效计数器清零，从而使新的置为无效间隔开始（无论中断控制器当前是否处于有效的置为无效间隔）。 0：正常工作 1：清零置为无效计数器	R/W SC	0h
13	**中断置为无效状态（INT_DEAS_STS）** 此位置 1 时表示中断控制器当前处于置为无效间隔中并且可能的中断将不会发送到 IRQ 引脚。此位清零时表示中断控制器当前未处于置为无效间隔中并且中断将发送到 IRQ 引脚。 0：中断控制器未处于置为无效间隔中 1：中断控制器处于置为无效间隔中	RO	0b
12	**主站中断 (IRQ_INT)** 此只读位用于指示内部 IRQ 线的状态，无论 IRQ_EN 位的设置或中断置为无效功能的状态如何。当此位置 1 时，允许的中断之一当前处于有效状态。 0：没有允许的中断处于有效状态 1：一个或多个允许的中断处于有效状态	RO	0b
11:9	**保留位**	RO	-
8	**IRQ Enable (IRQ_EN)** 此位控制 IRQ 引脚的最终中断输出。清零时，IRQ 输出禁止且永久置为无效。此位对任何内部中断状态位均不起作用。 0：禁止 IRQ 引脚上的输出 1：使能 IRQ 引脚上的输出	R/W	0b
7:5	**保留位**	RO	-
4	IRQ Polarity (IRQ_POL) 清零时，此位使 IRQ 线用作低电平有效输出。置 1 时，IRQ 输出高电平有效。当 IRQ（通过 IRQ_TYPE 位）配置为开漏输出时，此位被忽略且中断始终低电平有效。 0： IRQ 低电平有效输出 1： IRQ 高电平有效输出	R/W NASR 注 1	0b
3:2	**保留位**	RO	-
1	**IRQ Clock Select (IRQ_CLK_SELECT)** 当此位置 1 时，IRQ 引脚上可输出晶振时钟。这用于系统调试，目的为观察时钟，不适用于任何功能目的。 注：当使用此位时，IRQ 引脚应设置为推挽式驱动器。	R/W	0b
0	**IRQ Buffer Type (IRQ_TYPE)** 当此位清零时，IRQ 引脚用作漏极开路输出，用于线或中断配置。置 1 时，IRQ 为推挽式驱动器。 注：当配置为漏极开路输出时，IRQ_POL 位被忽略且中断输出始终低电平有效。 0： IRQ 引脚漏极开路输出 1： IRQ 引脚推挽式驱动器	R/W NASR 注 1	0b

注 1：当复位控制寄存器（RESET_CTL）中的 DIGITAL_RST 位置 1 时，不会复位指定为 NASR 的寄存器位。

Funcience confidential

6.3.2 中断状态寄存器（INT_STS）

偏移量： 058h/3058h 大小： 32 位

此寄存器包含中断的当前状态。值 1 表示满足相应中断条件，而值 0 表示未满足中断条件。此寄存器的位反映了中断源的状态，与在中断允许寄存器（INT_EN）中是否允许中断源作为中断无关。当指示为 R/W1C 时，向相应位写入 1 将响应并清除中断。

位	描述	类型	默认值
31	**软件中断（SW_INT）** 当中断允许寄存器（INT_EN）的软件中断允许（SW_INT_EN）位设置为高电平时，将产生此中断。 写入 1 将清除此中断。	R/W1C	0b
30	**器件就绪（READY）** 此中断用于指示器件已准备好在上电或复位条件后接受访问。	R/W1C	0b
29:28	**保留位**	RO	-
27	**PHY B 中断事件（PHY_INT_B）** 此位指示来自 PHY B 的中断事件。 中断源可通过轮询 PHY x 中断源标志寄存（PHY_INTERRUPT_SOURCE_x）确定。	RO	0b
26	**PHY A 中断事件（PHY_INT_A）** 此位指示来自 PHY A 的中断事件。 中断源可通过轮询 PHY x 中断源标志寄存器（PHY_INTERRUPT_SOURCE_x） 确定。	RO	0b
25:20	**保留位**	RO	-
19	**GP 定时器（GPT_INT）** 当通用定时器计数寄存器（GPT_CNT）从 0 折回 FFFFh 时，将发出此中断。	R/W1C	0b
18	**保留位**	RO	-
17	**功耗管理中断事件（PME_INT）** 当按功耗管理控制寄存器（PMT_CTRL）中的配置检测到功耗管理事件时，将发出此中断。 这个中断功能独立于 PME 信号，如果是 PME 信号是禁用的，中断将启用。 不管 PME 硬件信号的状态是什么，写入 1 将清零此位。 要将此位清零，必须先将功耗管理控制寄存器（PMT_CTRL）中的所有未屏蔽位清零。 注：中断置为无效间隔不适用于 PME 中断。	R/W1C	0b
16:1	**保留位**	RO	-
0	**EtherCAT 中断事件（ECAT_INT）** 此位指示 EtherCAT 中断事件。中断源可通过轮询 AL 事件请求寄存器确定。	RO	0b

Funcience confidential

6.3.3 中断允许寄存器（INT_EN）

偏移量： 05Ch/305Ch 大小： 32 位

此寄存器包含 IRQ 输出引脚的中断允许。向任何一位写入 1 均会允许相应中断作为 IRQ 的中断源。 中断状态寄存器（INT_STS）寄存器中的位仍将反映中断源的状态，与在此寄存器中是否允许中断源作为中断无关（软件中断允许（SW_INT_EN）除外）。有关每个中断的说明，请参见中断状态寄存器（INT_STS）中的各位，这些位的布局与此寄存器的布局相同。

位	描述	类型	默认值
31	**软件中断允许（SW_INT_EN）**	R/W	0b
30	**器件就绪允许（READY_EN）**	R/W	0b
29:28	**保留位**	RO	-
27	**PHY B 中断事件允许（PHY_INT_B_EN）**	R/W	0b
26	**PHY A 中断事件允许（PHY_INT_A_EN）**	R/W	0b
25:20	**保留位**	RO	-
19	**GP 定时器中断允许（GPT_INT_EN）**	R/W	0b
18	**保留位**	RO	-
17	**功耗管理事件中断允许（PME_INT_EN）**	R/W	0b
16:1	**保留位**	RO	-
0	**EtherCAT 中断事件允许（ECAT_INT_EN）**	R/W	0b

Funcience confidential

7 主机总线接口

7.1 功能概述

主机总线接口（HBI）模块提供高速异步从站接口，简化了器件与主机系统之间的通信。HBI 允许访问系统 CSR、内部 FIFO 和存储器，并基于字节大小端选择来处理字节交换。

下面概述了 HBI 提供的功能：

- **地址总线输入**：支持 3 种寻址模式，分别是：HBI Multiplexed Address/Data Mode、HBI Demultiplexed Address Mode 和 HBI Indexed Address Mode。模式选择通过配置输入来完成。
- **可选数据总线宽度**：主机数据总线宽度是可选,该选择通过配置输入来完成。

EtherCAT 间接访问模式：支持 16 位和 8 位数据模式。写入数据时，HBI 执行字节/字到双字汇编；读取数据时，HBI 会保持跟踪字节/字数。不支持个别字节访问。

EtherCA 直接映射模式：支持 16 位和 8 位数据模式。**BE1** 和 **BE0** 用于字节选择。对于 non-EtherCAT Core 寄存器，HBI 执行字节/字到双字汇编/非汇编。不支持个别字节访问(使用 16-bit 模式)。对于 EtherCAT Core 寄存器和 Process RAM，支持个别字节访问。字到双字汇编/非汇编不是必须的。

- **可选读/写控制模式**：提供两种控制模式。单独的读取和写入引脚或者使能和方向引脚。模式选择通过配置输入来完成。
- **可选控制线极性/缓冲器类型**：等待/应答片选极性、读/写、字节使能、地址锁存信号和等待/应答信号的缓冲器类型通过配置输入选择。
- **动态字节顺序控制**：HBI 支持基于字节顺序信号选择大尾数法和小尾数法的主机字节顺序。该高度灵活的接口提供混合字节顺序的方法来访问寄存器和存储器。根据器件寻址模式的不同，该信号可以是受配置寄存器控制的信号，或者作为选通地址输入的一部分。
- **总线等待状态支持**：使用 EtherCAT 直接映射模式时，HBI 提供一个等待/应答信号去标记读数据可获得或写周期已完成。
- **直接 FIFO 访问**：FIFO 直接选择信号将直接对 EtherCAT Process RAM Write Data FIFO (仅 HBIM 模式)执行所有主机写操作，并且直接从 EtherCAT Process RAM Read Data FIFO (仅 HBIM 模式)执行所有主机读操作。该信号作为地址输入的一部分选通。

本节中 HBI 支持 3 种寻址模式的简称以及含义如下：

- **HBIM**：Host Bus Interface Multiplexed Address/Data Mode

  此模式下包含单阶段锁存和双阶段锁存：

  - **HBIM1P**：Host Bus Interface Multiplexed Address/Data Mode Single Phase Address Latching
  - **HBIM2P**：Host Bus Interface Multiplexed Address/Data Mode Dual Phase Address Latching
- **HBID**：Host Bus Interface Demultiplexed Address Mode
- **HBII**：Host Bus Interface Indexed Address Mode

Funcience confidential

7.2 控制逻辑

7.2.1 读/写控制信号

器件支持两种不同的读/写信号方法:

- 读(RD)和写(WR)选通是单独引脚上的输入。
- 读信号和写信号从使能输入(ENB)和方向输入(RD_WR)解码。

7.2.2 控制线极性和缓冲器类型

器件支持对以下各项进行极性控制：

- 芯片选择输入(**CS**)
- 读选通(**RD**)/方向输入(**RD_WR**)
- 写选通(**WR**)/使能输入(**ENB**)
- 字节使能(**BE0** 和 **BE1**)
- 地址锁存控制(**ALELO** 和 **ALEHI**)
- 等待/应答(**WAIT_ACK**)

器件支持对以下进行缓冲器类型控制:

- 等待/应答(**WAIT_ACK**)

7.2.3 CS 限定 ALE(仅 HBIM 模式)

可选择通过 CS 信号限定 **ALELO** 和 **ALEHI** 信号。使能限定时，CS 必须在 **ALELO** 和 **ALEHI** 期间有效，以选通地址输入。未使能限定时，CS 在地址阶段期间状态为无关。（**注**：**ALEHI** 仅在双阶段地址锁存时有效，单阶段地址锁存时不使用。）

7.2.4 等待/应答操作

当在 EtherCAT 直接映射模式操作时(请参阅章节 4.0“寄存器映射”)，主机系统必须满足设备的时序访问要求。读 EtherCAT Core CSR 或 Process Data RAM，读取周期必须等待内部获得读数据完成。所有的写入周期都必须等待对于 EtherCAT Core CSR 或 Process Data RAM 任何之前的写访问内部写入完成。主机系统可等待指定的最坏情况的访问时间，或可使用 WAIT_ACK 信号。

WAIT_ACK 仅在 EtherCAT 直接映射模式操作时使用。当不在 EtherCAT 直接映射模式的时候，如果 **WAIT_ACK** 是启用的，它总是不活动的(显示 ACK)。

WAIT_ACK 可以被设置为对于 wire-AND 系统的 0 表示等待，1 表示应答的开漏输出，或者作为三态的 push-pull 输出。**WAIT_ACK** 操作在章节 7.4.3.3 中被描述。

Funcience confidential

7.3 设备地址，字节顺序控制和数据 FIFO 选择

7.3.1 HBIM 模式

在 HBIM 模式中，数据总线共享地址、FIFO 直接选择和字节顺序选择输入。HBIM 模式支持两种方法，单阶段地址锁存(利用多达 16 个地址/数据引脚)和双阶段地址锁存(仅利用低 8 位数据位)。

7.3.1.1 单阶段地址锁存

在单阶段模式下，所有地址位、FIFO 直接选择信号和字节顺序选择均通过 **ALELO** 信号的后沿选通到器件中。地址锁存在全部 16 个地址/数据引脚上实现。在 8 位数据模式下，引脚 **AD[15:8]**专用于寻址，不必通过读写操作连续驱动这些具有有效地址的高地址线。但由于器件始终不会驱动这些引脚，因此这种称为部分地址复用的操作是可以接受的。

可选择通过 **CS** 信号限定 **ALELO** 信号。使能限定时，**CS** 必须在 **ALELO** 期间有效，以选通地址输入。未使能限定时，**CS** 在地址阶段期间状态为无关。

地址锁存后，将被保留以供未来所有读写操作使用，直至发生复位事件或加载新地址。这样，无需多次执行地址锁存操作也可对同一地址多次发出读写请求。

7.3.1.2 双阶段地址锁存

在双阶段模式下，地址低 8 位通过 **ALELO** 信号的有效沿锁存到器件中，剩余的地址高位、FIFO 直接选择信号和字节顺序选择均通过 **ALEHI** 信号的有效沿锁存到器件中。选通可采用任意顺序。在 8 位数据模式下，不使用引脚 **AD[15:8]**。在 16 位数据模式下，引脚 **D[15:8]**仅用于数据。

可选择通过 CS 信号限定 **ALELO** 和 **ALEHI** 信号。使能限定时，**CS** 必须在 **ALELO** 和 **ALEHI** 期间有效，以选通地址输入。未使能限定时，则 **CS** 在地址阶段期间状态为无关。（注：**ALEHI** 仅在双阶段地址锁存时有效，单阶段地址锁存时不使用。）

地址锁存后，将被保留以供未来所有读写操作使用，直至发生复位事件或加载新地址。这样，无需多次执行地址锁存操作也可对同一地址多次发出读写请求。

7.3.1.3 地址位到地址/数据引脚的映射

在 8 位数据模式下，地址 bit 0 与引脚 **AD[0]**复用，地址 bit 1 与引脚 **AD[1]**复用，以此类推。

在 EtherCAT 间接访问模式下，最高地址位是 bit 9，与引脚 **AD[9]**(单阶段)或 **AD[1]**(双阶段)复用。锁存到器件中的地址被视为字节地址，包含 1K 字节(0 至 3FFh)。

在 EtherCAT 直接映射模式下，最高地址位是 bit 13，与引脚 **AD[13]**(单阶段)或 **AD[5]**(双阶段)复用。锁存到器件中的地址被视为字节地址，包含 16K 字节(0 至 3FFFh)。

在 16 位数据模式下，地址 bit 1 与引脚 **AD[0]**复用，地址 bit 2 与引脚 **AD[1]**复用，以此类推。

在 EtherCAT 间接访问模式下，最高地址位是 bit 9，与引脚 **AD[8]**(单阶段)或 **AD[0]**(双阶段)复用。锁存到器件中的地址被视为字地址，包含 512 字(0 至 1FFh)。

在 EtherCAT 直接映射模式下，最高地址位是 bit 13，与引脚 **AD[12]**(单阶段)或 **AD[4]**(双阶段)复用。锁存到器件中的地址被视为字地址，包含 8K 字(0 至 1FFFh)。

Funcience confidential

EtherCAT 直接映射模式增加地址位计数到 4。

当地址发送到器件的其余部分时，将被转换为字节地址。

7.3.1.4 字节顺序选择到地址/数据引脚的映射

字节顺序选择包含在复用地址中，从而允许主机系统基于所用的存储器地址动态选择字节顺序。这允许通过混合字节顺序的方法来访问寄存器和存储器。

字节顺序选择与最后一个地址位之前一位的数据引脚复用，如下表 7-1 显示。

	地址模式			
	EtherCAT 间接访问模式		EtherCAT 直接映射模式	
数据模式	单阶段地址锁存	双阶段地址锁存	单阶段地址锁存	双阶段地址锁存
8-bit	AD10	AD2	AD14	AD6
16bit	AD9	AD1	AD13	AD5

表 7- 1 字节顺序选择到地址/数据引脚的映射

7.3.1.5 FIFO 直接选择到地址/数据引脚的映射

将 FIFO 直接选择信号包含在复用地址中，从而允许主机系统将 EtherCAT Process RAM Data FIFO 视为较大的扁平地址空间进行寻址。

由于 Process RAM FIFOs 不使用，因此在 EtherCAT 直接映射模式中 FIFO 直接选择不使用。

FIFO 直接选择信号与最后一个地址位之前两位的数据引脚复用，如下表 7-2 显示。

	地址模式			
	EtherCAT 间接访问模式		EtherCAT 直接映射模式	
数据模式	单阶段地址锁存	双阶段地址锁存	单阶段地址锁存	双阶段地址锁存
8-bit	AD11	AD3	N/A	N/A
16bit	AD10	AD2	N/A	N/A

表 7- 2 FIFO 直接选择到地址/数据引脚的映射

HBIM 模式地址锁存以及数据复用总结如表 7-3 所示，16bit 模式时，addr[0]无效。

HBIM 模式			地址锁存阶段			数据阶段	说明
			地址映射	字节顺序选择	FIFO 直接选择	写/读数据	
EtherCAT 间接访问模式 (地址范围：0~3FFh)	单阶段地址锁存	8bit	**AD[9:0]** 作为 addr[9:0]	**AD[10]**	**AD[11]**	**AD[7:0]**	**ALEHI** 无效， **ALELO** 有效沿，锁存地址
		16bit	**AD[8:0]** 作为 addr[9:1]	**AD[9]**	**AD[10]**	**AD[15:0]**	
	双阶段地址锁存	8bit	**AD[7:0]** 作为 addr[7:0] **AD[1:0]** 作为 addr[9:8]	**AD[2]**	**AD[3]**	**AD[7:0]**	**ALELO** 有效沿,锁存低地址； **ALEHI** 有效沿，锁存高地址、字节顺序选择和 FIFO 直接选择
		16bit	**AD[7:0]** 作为 addr[8:1] **AD[0]** 作为 addr[9]	**AD[1]**	**AD[2]**	**AD[15:0]**	
EtherCAT 直接映射模式 (地址范围：0~3FFFh)	单阶段地址锁存	8bit	**AD[13:0]** 作为 addr[13:0]	**AD[14]**	N/A	**AD[7:0]**	**ALEHI** 无效， **ALELO** 有效沿，锁存地址
		16bit	**AD[12:0]** 作为 addr[13:1]	**AD[13]**	N/A	**AD[15:0]**	
	双阶段地址锁存	8bit	**AD[7:0]** 作为 addr[7:0] **AD[5:0]** 作为 addr[13:8]	**AD[6]**	N/A	**AD[7:0]**	**ALELO** 有效沿，锁存低地址； **ALEHI** 有效沿，锁存高地址、字节顺序选择和 FIFO 直接选择
		16bit	**AD[7:0]** 作为 addr[8:1] **AD[4:0]** 作为 addr[13:9]	**AD[5]**	N/A	**AD[15:0]**	

表 7- 3 HBIM 模式地址锁存以及数据复用

7.3.2 HBID 模式

在 HBID 模式下，主机直接提供地址和字节顺序选择输入。FIFO 直接选择信号不由主机提供，并且内部保持无效。寻址模式由 PDI 控制寄存器来控制。

7.3.2.1 地址位使用

地址输入到器件总被认为是一个字节地址。在 8 位数据模式下，所有地址位都被使用。在 16 位数据模式下，地址 bit 0 未被使用。

7.3.3 HBII 模式

在 HBII 模式下，对器件内部寄存器和存储器的访问通过 Index 和 Data 寄存器间接映射。所需的内部地址以特定偏移写入器件。写入的值随后用作内部地址，用于访问相关的 Data 寄存器地址。

提供三个 Index/Data 寄存器组，可实现多线程操作，无需担心某个线程会损坏另一个线程。

主机地址输入直接(异步)通过适当的 Index 寄存器选择内部寄存器。

当主机访问位于 18h-1Bh 的字节地址的数据寄存器时,相当于模拟了一个 FIFO 直接选择信号。参考章节 7.3.4.2 节所讨论的,Index Register Bypass FIFO Access(HBII 模式)。当读取或写入位于 18h-1Bh 的字节地址数据寄存器时,就可以访问 EtherCAT Process RAM Data FIFOs。在 EtherCAT 直接映射模式下，由于 PROCESS_RAM_FIFO 不使用，则不使用 Index 寄存器旁路 FIFO 访问。

主机不提供字节顺序信号，然而每个 Index/Data 寄存器组和 Index 寄存器旁路 FIFO 访问字节顺序都是可配置的。

下面给出了主机地址寄存器映射。在 8 位数据模式下，主机地址输入(ADDR[4:0])是字节地址。在 16 位数据模式下，主机地址输入(ADDR[4:1])是字地址，ADDR[0]无效。

字节地址	符号	寄存器名称
00h-03h	HBI_IDX_0	HBI Index 寄存器 0
04h-07h	HBI_DATA_0	HBI Data 寄存器 0
08h-0Bh	HBI_IDX_1	HBI Index 寄存器 1
0Ch-0Fh	HBI_DATA_1	HBI Data 寄存器 1
10h-13h	HBI_IDX_2	HBI Index 寄存器 2
14h-17h	HBI_DATA_2	HBI Data 寄存器 2
18h-1Bh	PROCESS_RAM_FIFO (EtherCAT 直接映射模式无效)	Process RAM Write Data FIFO Process RAM Read Data FIFO
1Ch-1Fh	HBI_CFG	HBI 配置寄存器

表 7- 4 HBII 模式寄存器映射

Funcience confidential

7.3.3.1 HBI Index 寄存器

Index 寄存器可按字或字节写入，具体取决于数据模式。写入这些寄存器时，无需考虑双字汇编规则。Index 寄存器的格式如下：

位	描述	类型	默认值
31:17	**保留**	RO	-
16	**高字节使能** 仅在 EtherCAT 直接映射 16bit 数据模式时有效。 低有效，使能字的较高字节，读/写时均可使用。 操作对象：EtherCAT Core 寄存器或 Process Data RAM。（字 16bit 访问） 0 = 较高字节使能； 1 = 较高字节未使能 此 bit 读/写时均可使用。 因为 non-EtherCAT Core 寄存器始终是双字（32bit）访问（通过双字汇编/非汇编方法），故访问时，此 bit 无效。	R/W	0b
15:0	**内部地址** 访问相应 Data 寄存器时使用的地址。 注：每个 Index 寄存器提供的内部地址始终被视为字节地址。 1.当访问 non-EtherCAT Core registers（双字-32bit 访问） 时，address [1:0] 无效. 2.在 EtherCAT 直接映射 16bit 数据模式时： address[0]作为低字节使能，低有效，读/写时均可使用。 操作对象：EtherCAT Core 寄存器或 Process Data RAM。（字 16bit 访问） 0 = 较低字节使能； 1 = 较低字节未使能	R/W	1234h 注 1

注 1：默认值可用于帮助确定寄存器的字节顺序。

7.3.3.2 HBI Data 寄存器使用

HBI Data 寄存器向内部寄存器提供一个 4 字节的数据。

访问 non-EtherCAT Core 寄存器总是双字访问。Index 寄存器中的[1:0]不使用。

HBI 执行双字汇编/非汇编,内部访问是双字访问。主机总线地址的[1:0](只有 8 位数据模式)用于选择 Data 寄存器中的四个字节(8 位数据模式)中的一个，或者选择两个字(16 位数据模式)中的一个。在可访问的地址空间内，软件可以选择按字节访问(8 位数据模式)或按字访问(16 位数据模式)的方式(如@HBI_DATA_0,@HBI_DATA_0 + 1 等)访问 Data 寄存器，也可使用按双字方式访问并让主机的总线接口单元(BIU)将较大的双字数据类型分割成字节或字。在这两种情况下，Data 寄存器将在递增地址(例如@HBI_DATA_0,@HBI_DATA_0 + 1 等)中多次访问。

使用 EtherCAT 直接映射模式时，访问 EtherCAT Core 寄存器或 Process Data RAM 不需要双字对齐。Index 寄存器中的地址字段的[1:0](仅 8 位数据模式)被用作内部指针的一部分。

内部数据访问是在本地主机总线上完成的，但是选择的 EtherCAT Core 寄存器或 Process Data RAM 可能是一个双字(32bit)，字(16bit)或者字节(8bit)。当寄存器比主机总线宽时,有两个方法可以访问多个字/字节。

- 通过寻址 Data 寄存器的低位字/字节(例如@HBI_DATA_0)来访问低位的字/字节。增加 Index 寄存器中的地址字段。访问下一个字/字节，可再次寻址数据寄存器的低位字/字节(例如,@HBI_DATA_0)。(8 位数据模式重复两次)
- 通过寻址 Data 寄存器的低位字/字节(例如@HBI_DATA_0)来访问较低的字/字节。通过寻址下一个 Data 寄存器的低位字/字节来访问下一个字/字节(例如@HBI_DATA_0 + 1 或+ 2)。(8 位数据模式重复两次)

Funcience confidential

使用第一个方法，软件需要重新组装或分割数据。使用第二种方法，虽然软件不需要增加数据访问之间的地址字段，但它仍然需要重新组装或分割数据。第二个方法允许软件将数据寄存器作为一个双字或字来处理，并让主机的总线接口单元(BIU)将更大的数据类型(双字或字)分割成字和字节。

为了使用 Data 寄存器顺序访问 EtherCAT Core 寄存器或者 Process Data RAM，硬件将主机地址的低两位添加到 Index 寄存器的地址字段，使地址字段可以递增。

7.3.3.3 HBI 配置寄存器

HBI 配置寄存器用于指定接口的字节顺序。每个 Index/Data 对和 Index 寄存器旁路 FIFO 访问方法的字节顺序可单独指定。

该寄存器的字节顺序是不相干的，因为每个字节都投影到 4 个位置。

HBI 配置寄存器可按一个双字，字或字节写入，具体取决于数据模式。写入该寄存器时，无需考虑双字汇编规则。配置寄存器的格式如下：

位	描述	类型	默认值
31:28	**保留位**	RO	-
27	**FIFO 字节顺序影子 3** 该位是 bit 3 的影子	R/W	0b
26	**HBI Index/Data 寄存器 2 字节顺序影子 3** 该位是 bit 2 的影子	R/W	0b
25	**HBI Index/Data 寄存器 1 字节顺序影子 3** 该位是 bit 1 的影子。	R/W	0b
24	**HBI Index/Data 寄存器 0 字节顺序影子 3** 该位是 bit 0 的影子。	R/W	0b
23:20	**保留位**	RO	-
19	**FIFO 字节顺序影子 2** 该位是 bit 3 的影子	R/W	0b
18	**HBI Index/Data 寄存器 2 字节顺序影子 2** 该位是 bit 2 的影子。	R/W	0b
17	**HBI Index/Data 寄存器 1 字节顺序影子 2** 该位是 bit 1 的影子。	R/W	0b
16	**HBI Index/Data 寄存器 0 字节顺序影子 2** 该位是 bit 0 的影子。	R/W	0b
15:12	**保留位**	RO	-
11	**FIFO 字节顺序影子 1** 该位是 bit 3 的影子	R/W	0b
10	**HBI Index/Data 寄存器 2 字节顺序影子 1** 该位是 bit 2 的影子	R/W	0b
9	**HBI Index/Data 寄存器 1 字节顺序影子 1** 该位是 bit 1 的影子。	R/W	0b
8	**HBI Index/Data 寄存器 0 字节顺序影子 1** 该位是 bit 0 的影子。	R/W	0b
7:4	**保留位**	RO	-
3	**FIFO 字节顺序** 该位用于指定通过 Index/数据寄存器以外的方法访问 FIFO 时的字节顺序。 **0：小端** **1：大端** **注**：为了避免该寄存器的字节顺序存在任何歧义，将对 bit 3、 bit 11、 bit 19 和 bit 27 进行投影。如果这些位中的任意一位在写操作期间置 1，则所有这些位都将置 1。	R/W	0b
2	**HBI Index/Data 寄存器 2 字节顺序**	R/W	0b

Funcience confidential

	该位用于指定 Index 和数据寄存器组 2 的字节顺序。 **0：小端** **1：大端** **注**：为了避免该寄存器的字节顺序存在任何歧义，将对 bit 2、 bit 10、 bit 18 和 bit 26 进行投影。如果这些位中的任意一位在写操作期间置 1，则所有这些位都将置 1。		
1	**HBI Index/Data 寄存器 1 字节顺序** 该位用于指定 Index 和数据寄存器组 1 的字节顺序。 **0：小端** **1：大端** **注**：为了避免该寄存器的字节顺序存在任何歧义，将对 bit 1、 bit 9、 bit 17 和 bit 25 进行投影。如果这些位中的任意一位在写操作期间置 1，则所有这些位都将置 1。	R/W	0b
0	**HBI Index/Data 寄存器 0 字节顺序** 该位用于指定 Index 和数据寄存器组 0 的字节顺序。 **0：小端** **1：大端** **注**：为了避免该寄存器的字节顺序存在任何歧义，将对 bit 0、 bit 8、 bit 16 和 bit 24 进行投影。如果这些位中的任意一位在写操作期间置 1，则所有这些位都将置 1。	R/W	0b

注: 8 位数据模式时，HBI 配置寄存器输入的数据总线[7:0]有效，配置时仅设定[3:0]即可。
16 位数据模式时，HBI 配置寄存器输入的数据总线[15:0]有效，配置时需约束[11:8]与[3:0]值相同。

7.3.4 EtherCAT Process RAM Data FIFO 访问

7.3.4.1 FIFO 直接选择访问 (仅 HBIM 模式)

如章节 7.3.1.5 节提到的，FIFO 直接选择信号允许主机系统将 EtherCAT Process RAM Data FIFOs 视为较大的扁平地址空间进行寻址。当地址锁存周期期间锁存的 FIFO 直接选择信号有效时，将对 EtherCAT Process RAM Write Data FIFO 执行所有主机写操作，并从 EtherCAT Process RAM Read Data FIFO 执行所有主机读操作。仅解码锁存的低地址信号，以选择正确的字节或字。该模式将忽略所有其他的地址输入。所有其他操作均相同（双字汇编和 FIFO 弹出等）。

7.3.4.2 Index 寄存器旁路 FIFO 访问 (仅 HBII 模式)

除了 Index 访问外，还可旁路 Index 寄存器并在地址 18h-1Bh 处访问 FIFO。在该地址处，将对 EtherCAT Process RAM Write Data FIFO 执行主机写操作，并对 EtherCAT Process RAM Read Data FIFO 执行主机读操作。没有相关的 Index 寄存器。

Funcience confidential

7.4 数据周期

数据周期由读写周期组成，到内部设备寄存器，对于 HBII 模式，读写周期到 Index 和配置寄存器。

数据周期对于所有地址模式都类似。区别在适当的位置注释说明。

7.4.1 内部寄存器数据访问

提示: 内部寄存器不包括 EtherCAT Core 寄存器和 Process Data RAM。在 EtherCAT 直接映射模式下，主机可直接访问上述两种寄存器。访问 EtherCAT Core 的描述在第 7.4.3 节。

主机数据总线可以是 16 位或 8 位宽，而所有内部寄存器均是 32 位宽。在 8 位或 16 位数据模式下，主机总线接口执行 字或字节到双字的转换。要执行读/写操作，需要在同一双字中执行两次或四次连续访问。

对于 HBII 模式，每个数据寄存器（包括其中之一 Index 寄存器旁路 FIFO 访问共四个），都会单独执行 字或字节到双字的转换。可对这些寄存器（以及 HBI 变址和配置寄存器）进行混合访问，而无需担心数据损坏。

7.4.1.1 写周期

当 **CS** 和 **WR** 有效时（或 **CS** 和 **ENB** 有效且 **RD_WR** 指示写操作时），将发生写周期。

在写周期的后沿（或 **WR/CS/ENB** 变为无效时），主机数据将被捕捉到 HBI 中的寄存器内（HBII 模式下主机数据将被捕捉到四个的其中一个 Index 寄存器内）。根据总线宽度的不同，捕捉的数据可以是字或字节。对于 8 位或 16 位数据模式，其作用作为双字汇编，受影响的字或字节由低地址输入确定（在 HBII 模式情况下即时的主机地址输入）。此时，字节交换也是基于字节顺序完成的。字节顺序的描述在章节 7.4.4 中。

初始化后的写操作

器件初始化之后，来自主机总线的写操作将被忽略，直至执行读周期以后。

功耗管理期间以及功耗管理之后的写操作

D0 以外的任何功耗管理模式期间或之后，来自主机总线的写操作都将被忽略，直至执行读周期以后。

8 位和 16 位访问

在 8 位或 16 位数据模式下，主机需要执行两次 16 位或者四次 8 位写操作，才能完成一次双字传输。不存在顺序要求。主机可先访问低位或高位字/字节，前提是对其余的字或字节执行额外的写操作。

提示 1: 向同一双字写入相同的字或字节可能会引发未定义或不需要的操作。HBI 硬件不会阻止该操作。

提示 2: 对于 HBII 模式，使用两个 Index/数据寄存器对访问同一内部寄存器可能会引发未定义或不需要的操作。HBI 硬件不会阻止该操作。

Funcience confidential

提示 3：对于 HBII 模式，对同一数据寄存器进行读写混合操作可能会引发未定义或不需要的操作。HBI 硬件不会阻止该操作。

写字节/字计数器会保持跟踪写操作次数（在 HBII 模式下四个数据寄存器每个都有自己的字节/字计数器）。在写周期的后沿，相应的计数器（在 HBII 模式下四个中的一个计数器基于上述捕捉的主机地址）递增。所有写操作均发生后，便会对内部寄存器执行 32 位写操作。使用的地址在写周期的前沿锁存，数据在写周期的后沿锁存。（对于 HBII 模式基于捕捉的主机地址从四个之一的数据寄存器中选择）。

如果功耗管理模式设置为 D0 以外的任何模式，则所有写字节/字计数器均复位。

7.4.1.2 读周期

当 **CS** 和 **RD** 有效时（或当 **CS** 和 **ENB** 有效且 **RD_WR** 指示读操作时），将发生读周期。

在读周期开始时，会选择相应的寄存器，其中的数据会被驱动到数据引脚上。

根据总线宽度的不同，读取的数据可以是字或字节。对于 8 位或 16 位数据模式，返回的字节或字由字节顺序和低地址输入确定（在 HBII 模式情况下即时的主机地址输入）。字节顺序的描述在章节 7.4.4 中。

为初始化完成轮询

器件初始化之前，HBI 将不会返回有效数据。要确定 HBI 何时工作，需按照下面的步骤进行：

1. 对于 HBIM 模式，应轮询字节顺序测试寄存器 (BYTE_TEST)。每次轮询应包括一个地址锁存周期和一个数据周期。一旦读取到正确的模式，即可认为接口为工作状态。此时，可以通过轮询硬件配置寄存器(HW_CFG) 的设备准备 (READY) 位来确定器件何时完全配置。
2. 对于 HBID 模式，应轮询字节顺序测试寄存器 (BYTE_TEST)。一旦读取到正确的模式，即可认为接口为工作状态。此时，可以通过轮询硬件配置寄存器(HW_CFG) 的设备准备 (READY) 位来确定器件何时完全配置。
3. 对于 HBII 模式，首先应轮询 HBI Index 寄存器 0，然后应轮询字节顺序测试寄存器 (BYTE_TEST)。一旦读取到正确的模式，即可认为接口为工作状态。此时，可以通过轮询硬件配置寄存器(HW_CFG) 的设备准备 (READY) 位来确定器件何时完全配置。

功耗管理期间以及功耗管理之后的读操作

在 D0 以外的任何功耗管理模式期间，来自主机总线的读操作都将被忽略。如果功耗管理模在有效读周期期间切换回 D0，则读周期的尾端将被忽略。内部寄存器不受影响，HBI 的状态不会改变。

8 位和 16 位访问

对于某些寄存器访问，主机需要执行两次连续的 16 位/四次连续 8 位读操作，才能完成一次双字传输。不存在顺序要求。主机可先访问低位或高位字或字节，前提是对其余的字或字节执行额外的读操作。

提示 1：从同一双字读取相同的字或字节会引发未定义或不需要的操作。HBI 硬件不会阻止该操作。HBI 仅计数是否已完成四次字节读操作。

提示 2：对于 HBII 模式，使用两个 Index/数据寄存器对访问同一内部寄存器会引发未定义或不需要的操作。 HBI 硬件不会阻止该操作。

Funcience Confidential

提示 3：对于 HBII 模式，对同一数据寄存器进行读写混合操作会引发未定义或不需要的操作。HBI 硬件不会阻止该操作。

读字节/字计数器保持跟踪读操作次数（在 HBII 模式下四个数据寄存器每个都有自己的字节/字计数器）。每个数据寄存器都有自己的字节/字计数器。这些计数器与上述写计数器是相互独立的。在读周期的后沿，相应的计数器（对于 HBII 模式基于捕捉的主机地址从四个之一的数据寄存器中选择）递增。在最后一次读取双字时，会执行内部读操作以更新任何“读取时更改” CSRs 或 FIFOs。

如果功耗管理模式设置为 D0 以外的任何模式，则所有读字节/字计数器均复位

特殊 CSR 处理

即时位

任何由硬件事件更新的寄存器位均从读周期开始时保持不变，以防止该位在读周期期间发生更改。

16 位或 8 位模式下的多字节/字即时寄存器

一些寄存器具有跨越多个字节或字的“即时”字段或相关字段。对于 16 位和 8 位数据读操作，这些字段的值可能在各主机读周期之间发生更改。为避免读取中间值，这些寄存器在读取第一个字节或字时锁定，在读取最后一个字节或字时解锁。

具有此功能的寄存器，在其寄存器描述中有一个注释。如果功耗管理模式设置为 D0 以外的任何模式，则寄存器将解锁。

复位或初始化期间的寄存器轮询

一些寄存器支持在复位或器件初始化期间轮询，以确定何时可访问器件。对于这些寄存器，只可执行一次读操作，而无需读取其他字或字节。寄存器的同一字节或字可反复重读。

支持 16 位或 8 位读取或者可在复位或器件初始化期间读取的寄存器在其寄存器说明中进行了注释。

7.4.2 HBII 模式 Index 和配置寄存器数据访问

如章节 7.3.3 节描述的，HBII 模式包括 Index 和配置寄存器。

主机数据总线可以为 16 位宽或 8 位宽。 HBI Index 寄存器和 HBI 配置寄存器为 32 位宽，可以按字或字节写入，具体取决于数据模式。它们不存在也不需要字/字节到双字的转换。

7.4.2.1 写周期

当 **CS** 和 **WR** 有效时（或当 **CS** 和 **ENB** 有效且 **RD_WR** 指示写操作时），将发生写周期。

在写周期的后沿（**WR**、**CS** 或 **ENB** 变为无效），主机数据将被捕捉到配置寄存器或其中一个 Index 寄存器。

根据总线宽度的不同，写入的数据可以是字或字节。受影响的字或字节由寄存器的字节顺序（在主机总线接口配置寄存器中指定）和低地址输入确定。不支持单字节访问（16 位数据模式下）。

初始化后的写操作

器件初始化之后，来自主机总线的写操作将被忽略，直至执行读周期以后。

功耗管理期间以及功耗管理之后的写操作

Funcience confidential

除了 D0 以外的任何功耗管理模式期间或之后，来自主机总线的写操作都将被忽略，直至执行读周期以后。

7.4.2.2 读周期

当 CS 和 RD 有效时（或当 ENB 有效且 RD_WR 指示读操作时），将发生读周期。主机总线直接使用主机地址。

在读周期开始时，会选择相应的寄存器，其中的数据会被驱动到数据引脚上。根据总线宽度的不同，读取的数据可以是字或字节。对于 8 位或 16 位数据模式，返回的字节或字由寄存器的字节顺序（在主机总线接口配置寄存器中指定）和主机低地址输入确定。

7.4.3 EtherCAT 直接映射模式

提示:在 EtherCAT 直接映射模式下，non-EtherCAT Core 寄存器继续访问，其使用方法描述在章节 7.4.1.1 和章节 7.4.2.2 节。在 EtherCAT 直接映射模式下，HBII 模式 Index 和配置寄存器继续访问，其使用方法描述在章节 7.4.2.1 和章节 7.4.2.2。

在 EtherCAT 直接映射模式下，EtherCAT Core 寄存器和 Process Data RAM 被映射到主机地址空间。主机数据总线可以是 16 或 8 位宽，并将 EtherCAT Core 接口匹配。主机总线接口不执行任何字节到字的转换。在 16 位模式中，可能执行字节或字访问。

7.4.3.1 EtherCAT Core 寄存器和 Process Data RAM 写访问

CS 和 **WR** 有效时（或当 **CS** 和 **ENB** 有效且 **RD_WR** 指示写操作时），将发生写周期。主机地址和字节高使能必须在写周期开始时有效。

根据配置不同，内部写访问要么在主机写周期期间(non-posted)执行，要么在写周期之后(posted)执行。

若选择 non-posted write，则内部写操作将在写周期开始时开始，并使用 **WAIT_ACK** 引脚指示等待。内部写操作完成后，**WAIT_ACK** 引脚表示却允许主机写入周期完成。注意，non-posted writes 要求在主机写周期开始时主机数据有效。

若选择 posted write，则内部写操作将在写周期结束时开始。在这种情况下，外部写访问非常快。但随后立即进行的任何访问将会被延时，等待写完成（由 **WAIT_ACK** 引脚控制）。在这种情况下，最大设备访问时间更长。

写周期可以是字或字节宽度。访问 EtherCAT 内核时，HBI 不执行双字汇编。所有主机访问都是被发送到 EtherCAT 内核接口。

提示:在 16bitHBII 模式时，虽然主机可使用字节使能，但设备不使用它们。字节使能在内部作为 Index 寄存器的位提供。主机实际可能执行双字访问，然而字节使能实际受特定字节影响。

初始化后的写操作

器件初始化之后，来自主机总线的写操作将被忽略，直至执行读周期以后。

功耗管理期间以及功耗管理之后的写操作

Funcience confidential

D0 以外的任何功耗管理模式期间或之后，来自主机总线的写操作都将被忽略，直至执行读周期以后。

7.4.3.2 EtherCAT Core 寄存器和 Process Data RAM 读访问

当 **CS** 和 **RD** 有效时（或当 **CS** 和 **ENB** 有效且 **RD_WR** 指示读操作时），将发生读周期。主机地址和字节高使能必须在读周期开始时有效。

内部读操作开始于读周期的开始，**WAIT_ACK** 引脚指示等待。在任何可能的 posted internal write 之后，将执行读操作，并从 EtherCAT Core 接口获取有效数据。读出的数据保存在 EtherCAT Core 接口中，并返回到 HBI， HBI 根据异步主机地址进行多路复用。

WAIT_ACK 引脚的交换指示允许主机读周期完成的应答。在 EtherCAT Core 接口配置，读访问的 **WAIT_ACK** 可额外延时 15 ns，额外的外部数据建立需要遵循 **WAIT_ACK**。读周期可以是或字或字节宽度。访问 EtherCAT Core 时，HBI 不执行双字非汇编。所有主机访问都是发送到 EtherCAT Core 接口。

7.4.3.3 等待/应答操作

当在 EtherCAT 直接映射模式操作时，主机系统必须满足设备的时序访问要求。所有的读写周期都必须等待任意 posted 写入访问内部完成。所有读取和 non-posted 写入必须等到内部数据周期完成。

主机系统可以等待指定最差的情况访问时间，也可以使用 **WAIT_ACK** 信号。

对于一致性，读取和写入 non-EtherCAT Core 寄存器，以及 HBII 模式下 Index 和配置寄存器遵循相同的 **WAIT_ACK** 操作。

读取和写入数据周期，从 CS 的前沿开始，使能 **WAIT_ACK** 输出。主机可以在任何点之后或与 **CS** 一起启动读取或写入周期。

如果有一个之前的内部 posted EtherCAT Core 写操作，**WAIT_ACK** 最初将表示等待。在没有一个之前的 posted write 的情况下，**WAIT_ACK** 最初将表示应答（非繁忙状态）。

对于 posted 写操作，如果之前 posted 写操作不是内部的，或者在之前 posted 写操作完成后，**WAIT_ACK** 将表示应答。一旦应答，主机就可以在它的总线上完成写入周期。写入周期是由 EtherCAT Core 接口在内部捕获和执行的。

对于 non-posted 写操作和读操作，**WAIT_ACK** 表示等待主机启动周期的数据部分。一旦写入或读取周期在内部完成，**WAIT_ACK** 将表示应答，主机可能完成其周期。

WAIT_ACK 在 **CS** 的低电平下不受影响。

7.4.4 主机字节顺序

器件支持大尾数法和小尾数法两种主机字节顺序。对于不同的地址模式提供的字节顺序选择不同。对于 HBIM 模式，在地址锁存周期期间锁存字节顺序选择。对于 HBID 模式，字节顺序选择同地址一起作为输入的一个引脚。对于 HBII 模式，字节顺序选择来自在主机总线接口配置寄存器中的四个字节顺序位（每个 Index/数据对中的一个和 Index 寄存器旁路 FIFO 访问方法中的一个）。

当字节顺序选择为低电平时，主机访问为小尾数法；当字节顺序选择为高电平时，主机访问为大尾数法。对于 HBIM 和 HBID 模式，字节顺序选择连接高位地址线，从而基于地址进行字节顺序选择。该高度灵活的接口为寄存器和存储器提供混合字节顺序访问方法以进行 PIO 和主机 DMA 访

Funcience confidential

问。

所有内部总线均为 32 位，并且采用小尾数法的字节顺序。主机总线接口的内部逻辑基于相应的字节顺序位以及最低有效地址位的状态重新排列字节的顺序。图 7-1 小尾数法顺序和图 7-2 大尾数法顺序，给出了支持的字节顺序配置的数据路径操作以及数据总线大小。

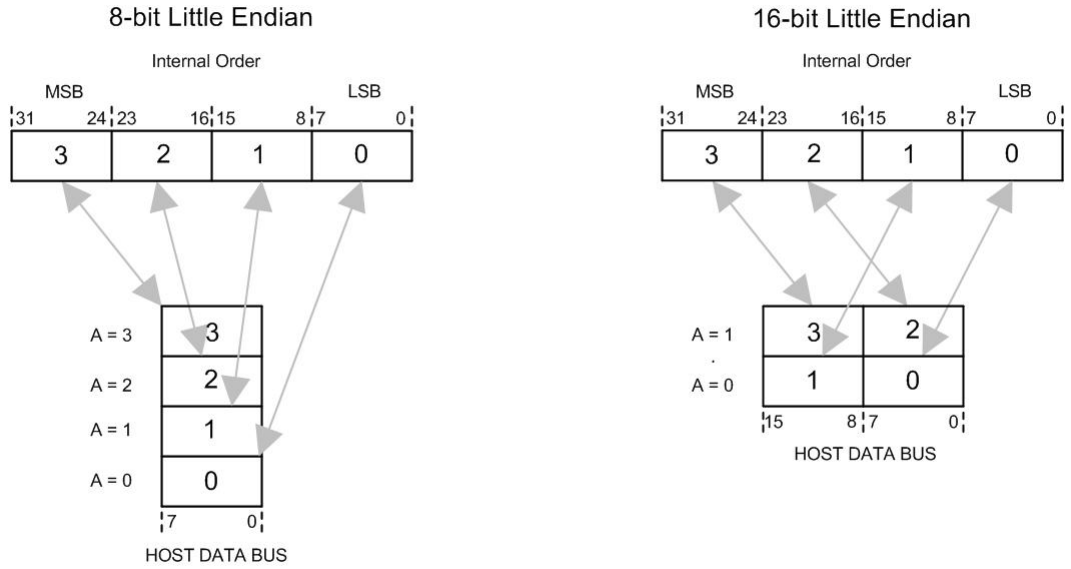


图 7- 1 小尾数法顺序

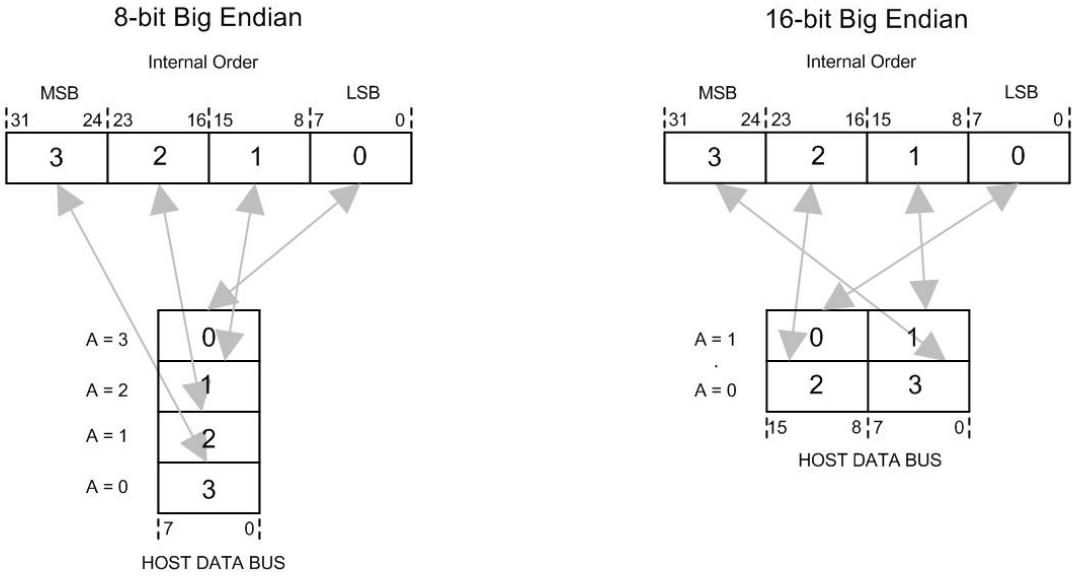


图 7- 2 大尾数法顺序

7.4.4.1 EtherCAT 直接映射模式

当在 EtherCAT 直接映射模式时，EtherCAT Core 接口是 8 位或者 16 位宽度匹配主机总线选择。

8 位模式的字节选择不适用(内部数据总线的高 8 位未使用)。当 16 位宽度时，小尾数字节顺序在内部使用。如果主机访问是大尾数，主机总线接口交换低和高的顺序字节。

提示：字节使能 **BE1/BE0** 总是跟随主机总线引脚，因此在大尾数模式下，字节使能也交换。

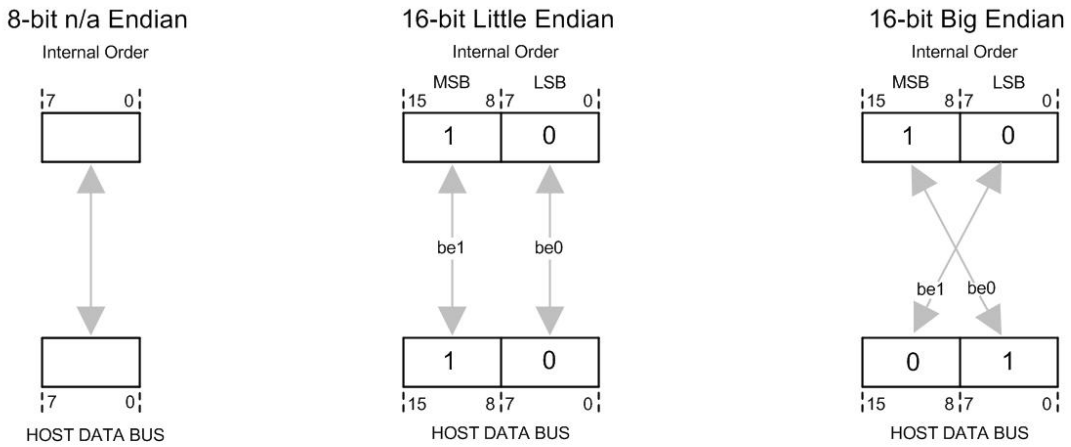


图 7- 3 字节顺序 - EtherCAT 直接映射模式，EtherCAT Core

Funcience

7.5 功能时序图-EtherCAT 间接访问模式

以下部分展示了在 EtherCAT 间接访问模式下（不是在 EtherCAT 直接映射模式）功能时序图。在 EtherCAT 间接访问模式下字节使能 BE1/BE0 不使用且不显示。WAIT_ACK 如果使能输出，显示始终保持无效状态。

7.5.1 HBIM 模式功能时序图

以下各时序图给出了不同地址/数据配置和总线大小条件下的示例 HBIM 模式读写周期。这些图并未涵盖支持的所有主机总线排列，但可选用于详细介绍 HBIM 工作模式下的主要配置差异（总线大小和双/单阶段地址锁存）。

对于本节中的时序图，应注意以下几点：

- 本节中的时序图描述了 push-pull 的 **WAIT_ACK**（0 表示等待，1 表示应答）、下降沿有效的 **ALEHI/ALELO** 和高电平有效的 **CS**、**RD** 和 **WR** 信号。这些信号极性可分别通过 PDI 配置寄存器（HBI 模式）的 HBI WAIT_ACK 极性、HBI ALE 极性、 HBI 片选极性、 HBI 读取以及读/写极性和 HBI 写入以及使能极性位选择。更多详细信息，请参见章节 7.2.2 “控制线极性和缓冲器类型”。
- 本节中的时序图描述了小尾数法的字节顺序。但通过字节顺序信号，可支持动态的大尾数法和小尾数法的字节顺序。字节顺序仅更改所涉及字节的顺序，而非全部时序要求。更多信息，请参见章节 7.3.1.4 “字节顺序选择到地址/数据引脚的映射”。
- 章节 7.5.1.1 “单阶段地址锁存”和章节 7.5.1.2 “双阶段地址锁存”中的时序图利用 **RD** 和 **WR** 信号，另外还支持备用的 **RD_WR** 和 **ENB** 信号，如章节 7.5.1.3 节 “RD_WR/ENB 控制模式示例”所示。 HBI 读/写模式可通过 PDI 配置寄存器（HBI 模式）的 HBI 读/写模式位选择。**RD_WR** 和 **ENB** 信号的极性可通过 PDI 配置寄存器（HBI 模式）的 HBI 读取以及读/写极性和 HBI 写入以及使能极性位选择。
- 可选择通过 PDI 配置寄存器（HBI 模式）的 HBI ALE 限定位，用 CS 信号限定 **ALELO** 和/或 **ALEHI**。更多信息，请参见章节 7.3.1.1 “单阶段地址锁存”和章节 7.3.1.2 “双阶段地址锁存”。
- 在双阶段地址锁存模式下，**ALEHI** 和 **ALELO** 周期的顺序可以是任意的。可能跳过 **ALELO** 和 **ALEHI** 周期的其中一个，也可能两个周期都跳过，器件保留锁存的最后一个地址。
- 在单阶段地址锁存模式下，可能跳过 **ALELO** 周期，器件保留锁存的最后一个地址。

提示:在 8 位和 16 位模式下，通常不会跳过 **ALELO** 周期，因为需要访问连续的字节或字才能满足完整的双字周期。但是，一些寄存器允许单字节或字访问，在这种情况下，可以对这些寄存器执行多次访问，而无需重新锁存重复的地址。

- 对于 16 位和 8 位模式，必须在同一双字周期内执行多个连续的地址周期，直至完成双字访问（上述寄存器除外）。尽管可以按任意顺序访问字节和字，但本节中的时序图描述的是首先访问低地址字节或字的情况。

Funcience confidential

7.5.1.1 双阶段地址锁存

本节中的各图详细描述了双阶段地址锁存时 HBIM 模式下的 16 位和 8 位读操作和写操作。

16 位读操作

字地址从 AD[7:0]按顺序锁存。接着读取在 **D[15:8]**和 **AD[15:8]**。为双字的另外 16 位重复该周期。

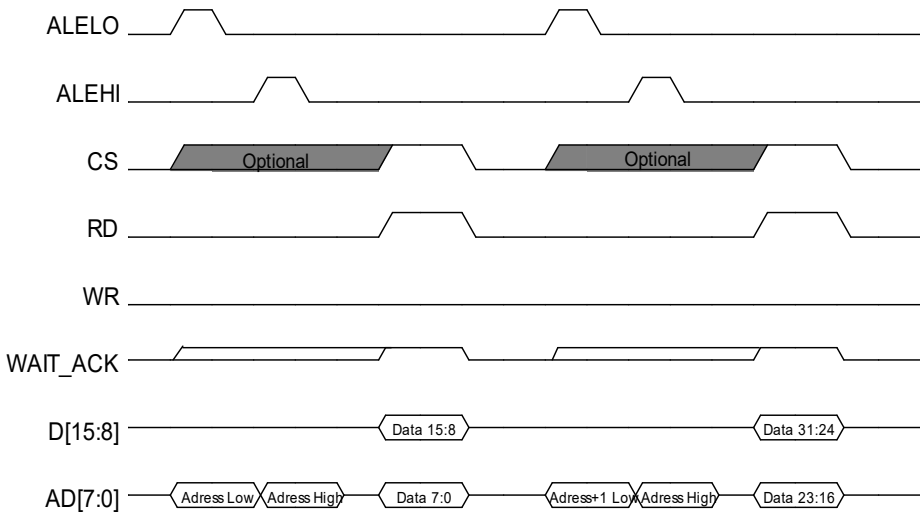


图 7- 4 HBIM2P-16 位读操作

抑制 ALEHI 时的 16 位读操作

字地址从 **AD[7:0]**按顺序锁存。接着读取在 **D[15:8]**和 **AD[15:8]**。随后，会更新低地址以访问另外一个字。

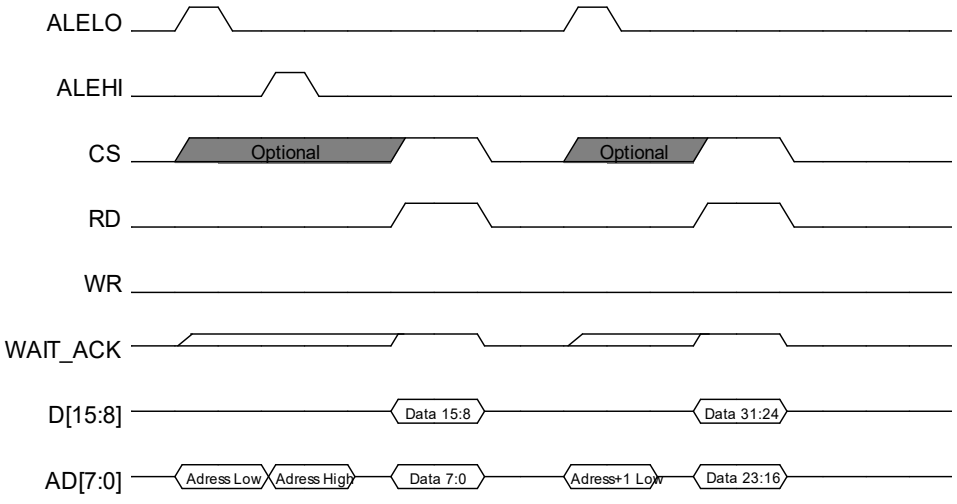


图 7- 5 HBIM2P-16 位读操作，无 ALEHI

16 位写操作

字地址从 **AD[7:0]**按顺序锁存。接着写入在 **D[15:8]**和 **AD[7:0]**。为双字的另外 16 位重复该周期。

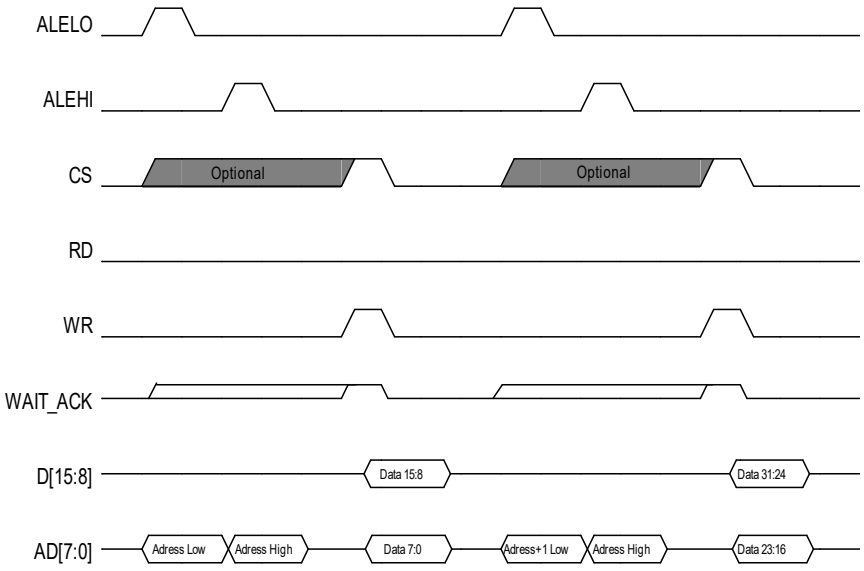


图 7- 6 HBIM2P-16 位写操作

抑制 ALEHI 时的 16 位写操作

字地址从 AD[7:0]按顺序锁存。接着写入在 **D[15:8]**和 **AD[7:0]**。随后，会更新低地址以访问另外一个字。

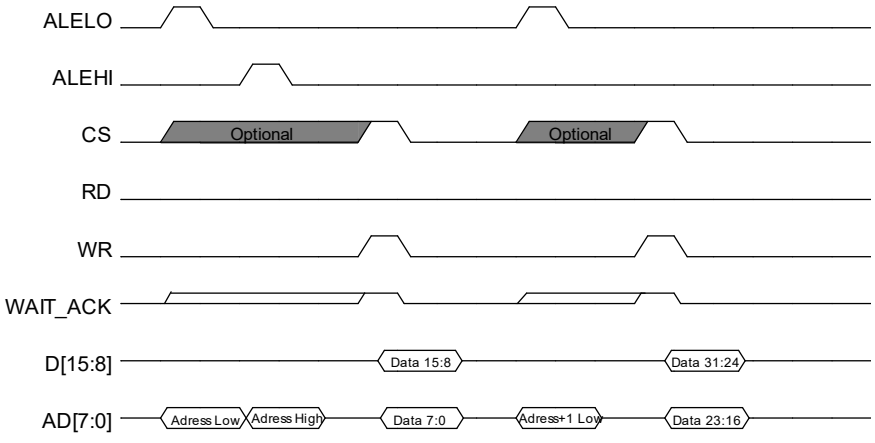


图 7- 7 HBIM2P-16 位写操作，无 ALEHI

对常量地址的 16 位读操作和写操作

字地址从 **AD[7:0]**按顺序锁存。接着会对 **D[15:8]**和 **AD[7:0]**执行读写混合操作。

提示: 通常需要对同一双字中的两个字分别执行一次 16 位读操作，在此期间需要通过 ALELO 更改低地址。对同一个字执行 16 位读操作和写操作是一个特例。

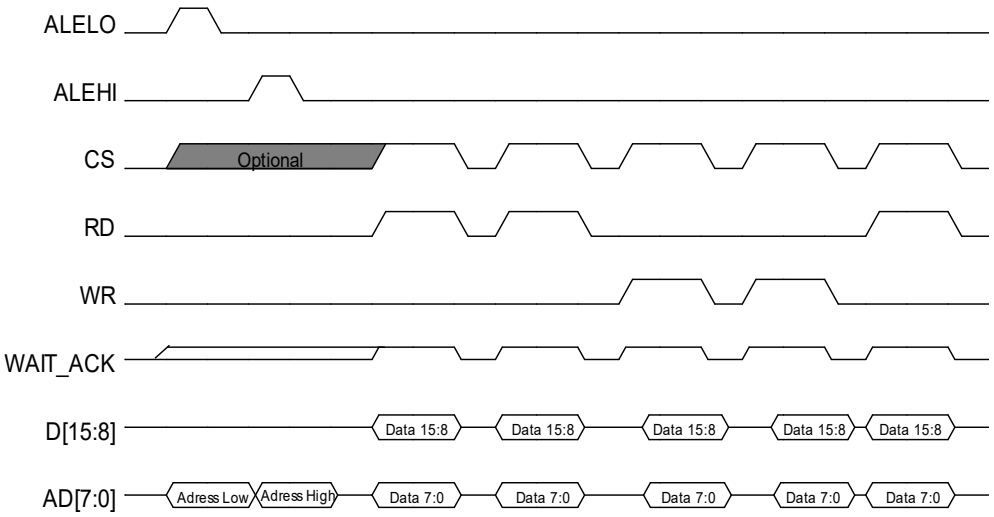


图 7- 8 HBIM2P-对常量地址进行 16 位读操作和写操作

8 位读操作

字节地址从 **AD[7:0]**按顺序锁存。接着会读取 **AD[7:0]**。不会使用或驱动 **D[15:8]**引脚。为双字的其他字节重复该周期。

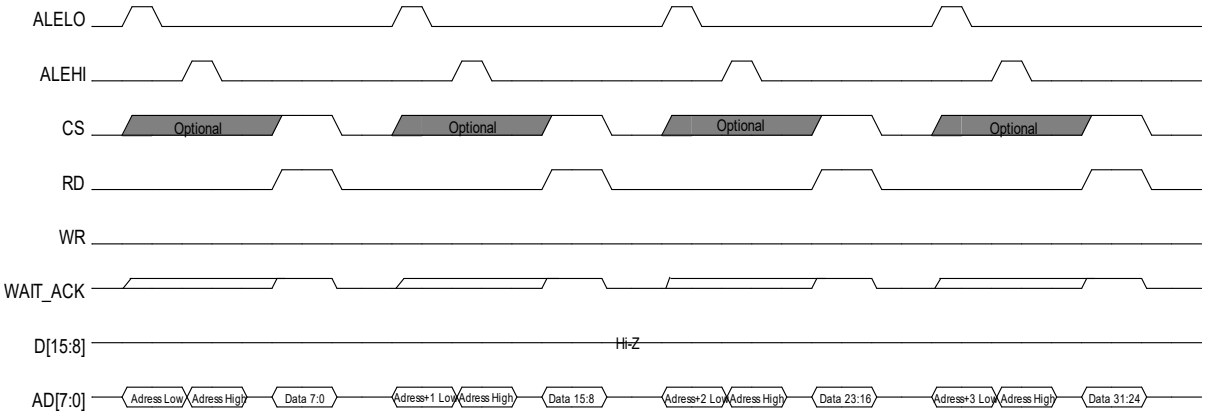


图 7- 9 HBIM2P-8 位读操作

抑制 ALEHI 时的 8 位读操作

字节地址从 **AD[7:0]**按顺序锁存。接着会读取 **AD[7:0]**。不会使用或驱动 **D[15:8]**引脚。随后，会更新低地址以访问其他字节。

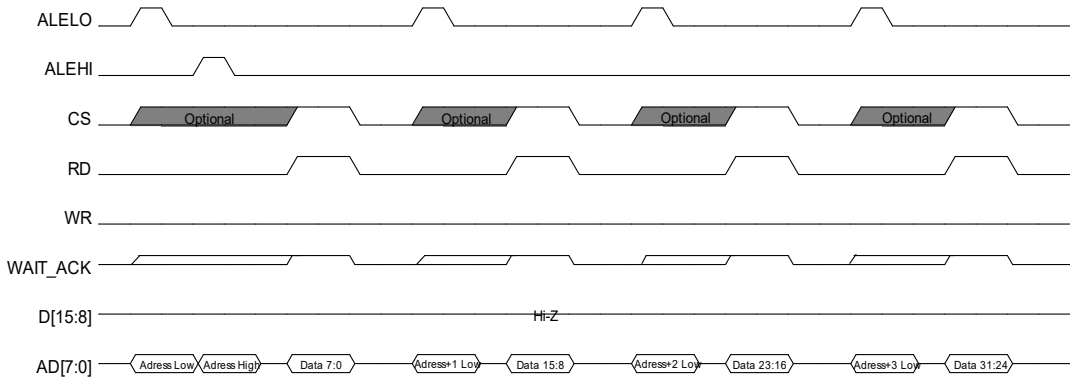


图 7- 10 HBIM2P-8 位读操作，无 ALEHI

8 位写操作

字节地址从 **AD[7:0]**按顺序锁存。接着会写入 **AD[7:0]**。不会使用或驱动 **D[15:8]**引脚。为双字中的其他字节重复该周期。

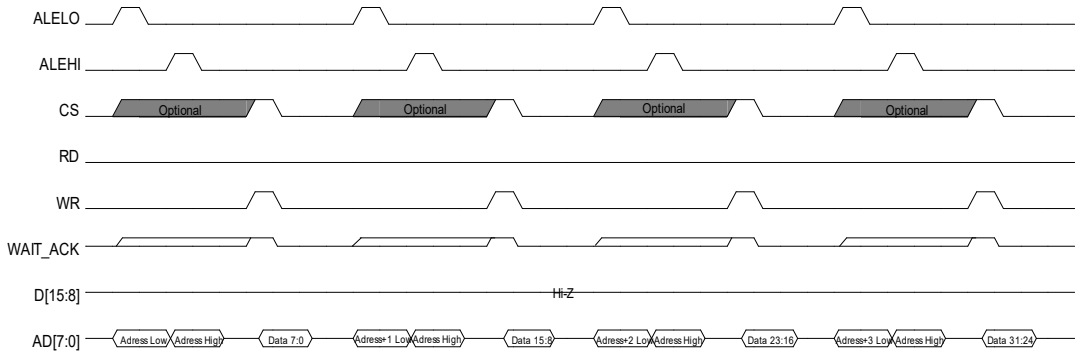


图 7- 11 HBIM2P-8 位写操作

抑制 ALEHI 时的 8 位写操作

字节地址从 **AD[7:0]**按顺序锁存。接着会写入 **AD[7:0]**。不会使用或驱动 **D[15:8]**引脚。随后，会更新低地址以访问其他字节

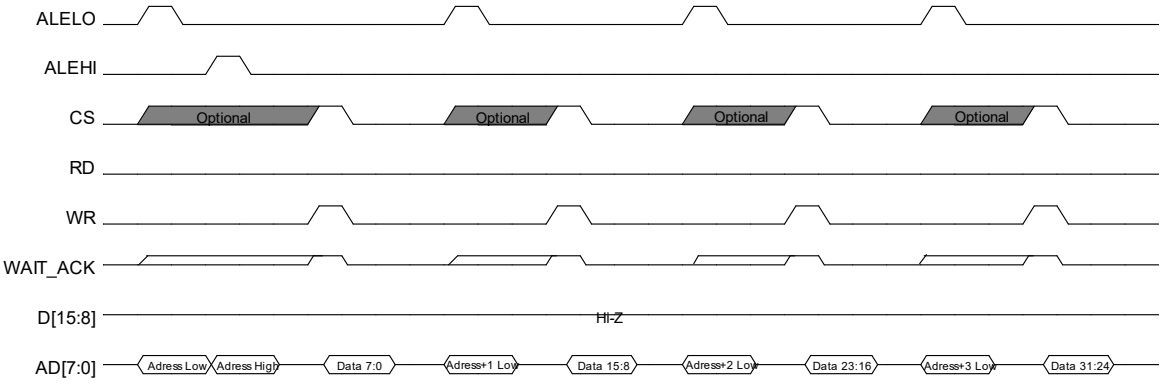


图 7- 12 HBIM2P-8 位写操作，无 ALEHI

对常量地址的 8 位读操作和写操作

地址从 **AD[7:0]**按顺序锁存。接着会对 **AD[7:0]**执行读写混合操作。不会使用或驱动 **D[15:8]**引脚。

提示：通常，需要对同一双字中的四个字节分别执行一次 8 位读操作，在此期间至少需要通过 ALELO 更改低地址。对同一个字节执行 8 位读操作和写操作是一个特例。

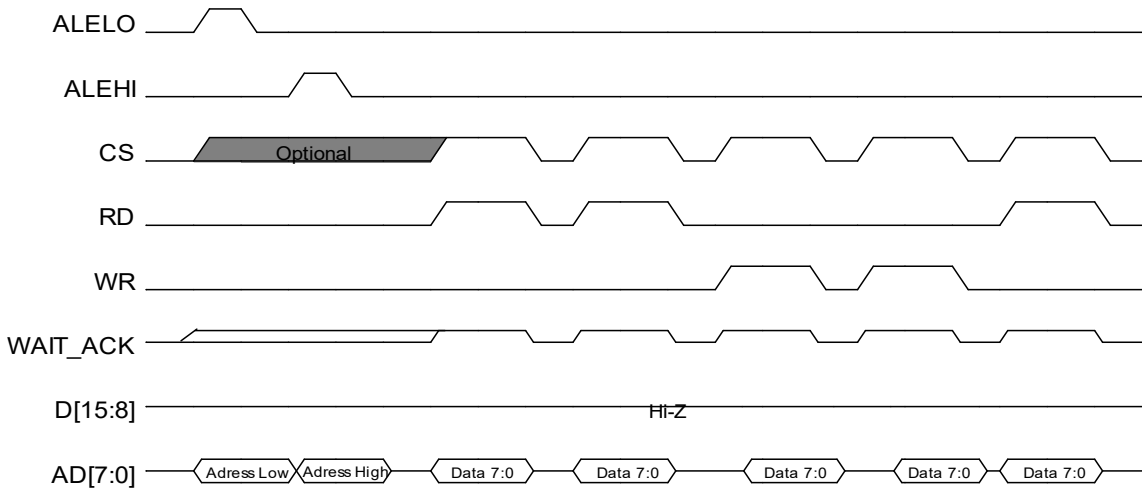


图 7- 13 HBIM2P-对常量地址进行 8 位读操作和写操作

7.5.1.2 单阶段地址锁存

本节中的各图详细描述了单阶段寻址时 HBIM 模式下的 16 位和 8 位工作模式。

16 位读操作

字地址同时从 **AD[7:0]**和 **AD[15:8]**锁存。接着会读取 **AD[15:0]**。为双字的另外 16 位重复该周期。

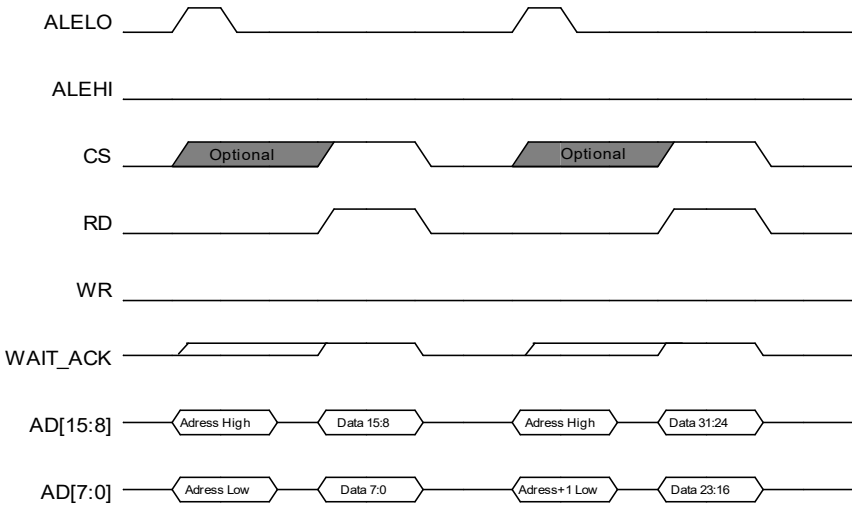


图 7- 14 HBIM1P-16 位读操作

16 位写操作

字地址同时从 **AD[7:0]**和 **AD[15:8]**锁存。接着会写入 **AD[15:0]**。为双字的另外 16 位重复该周期。

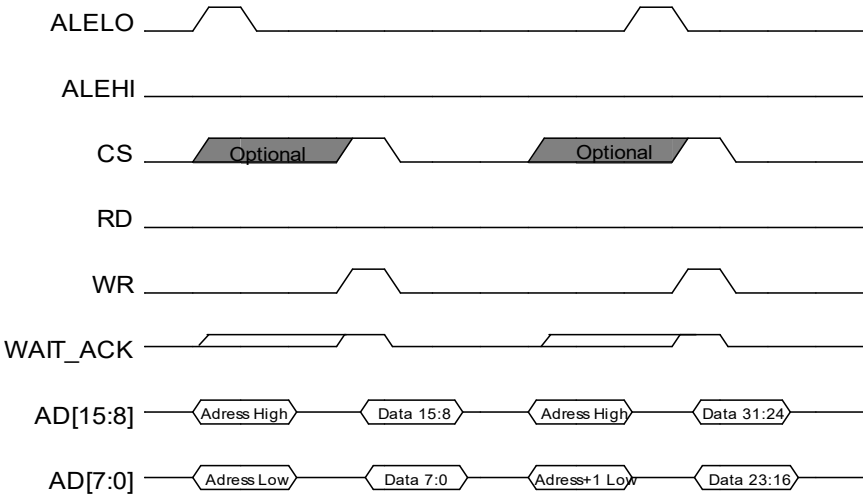


图 7- 15 HBIM1P-16 位写操作

对常量地址的 16 位读操作和写操作

字地址同时从 **AD[7:0]**和 **AD[15:8]**锁存。接着会对 **AD[15:0]**执行读写混合操作。

提示：通常需要对同一双字的两个字分别执行一次 16 位读操作。对同一个字执行 16 位读操作和写操作是一个特例。

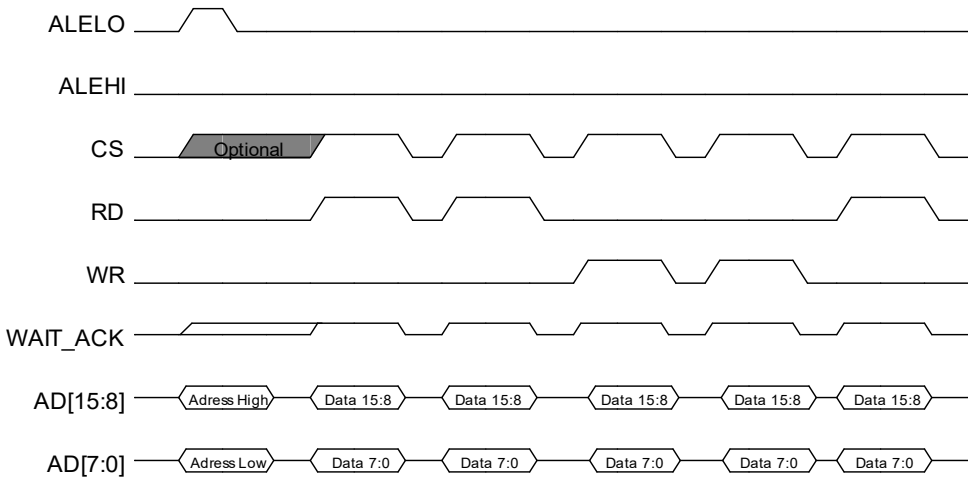


图 7- 16 HBIM1P-对常量地址进行 16 位读操作和写操作

8 位读操作

字节地址同时从 **AD[7:0]**和 **AD[15:8]**锁存。接着会读取 **AD[7:0]**。数据阶段不使用或驱动 **AD[15:8]**引脚，因为主机可能会继续驱动这些信号上的高地址。为双字的其他字节重复该周期。

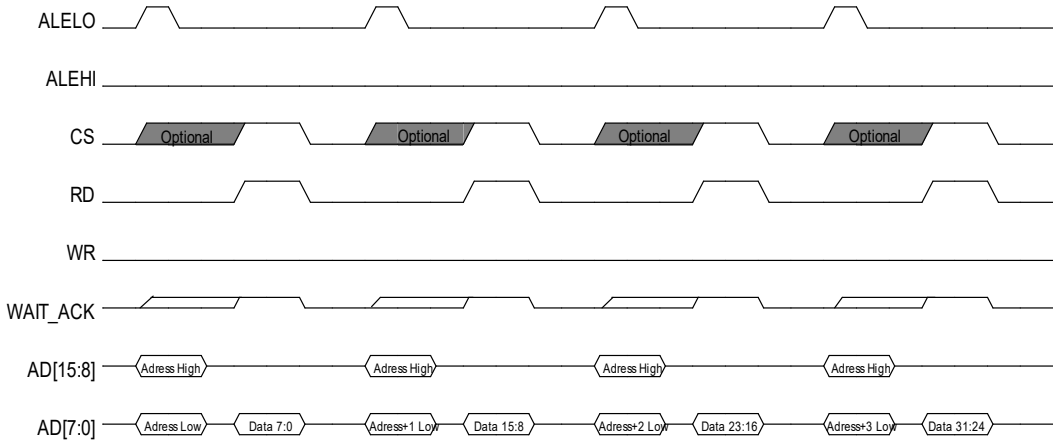


图 7- 17 HBIM1P-8 位读操作

8 位写操作

字节地址同时从 **AD[7:0]**和 **AD[15:8]**锁存。接着会写入 **AD[7:0]**。数据阶段不使用或驱动 **AD[15:8]**引脚，因为主机可能会继续驱动这些信号上的高地址。为双字的其他字节重复该周期。

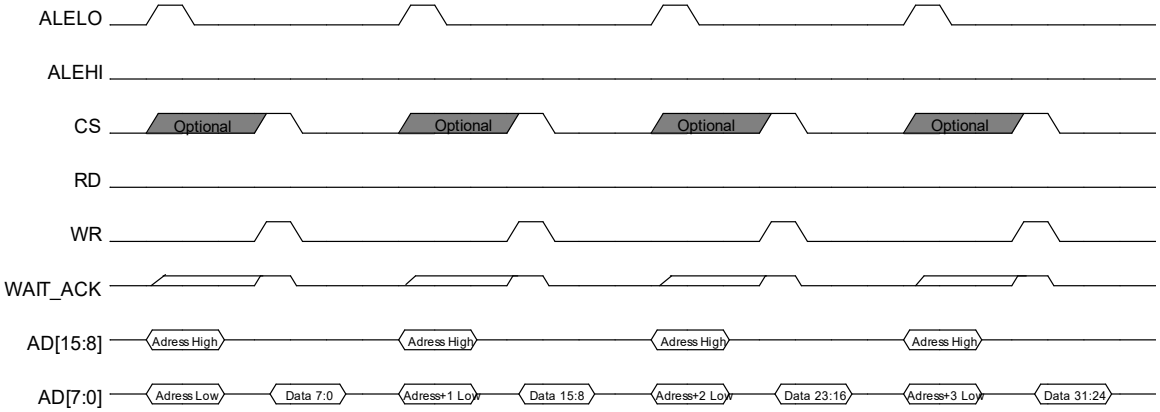


图 7- 18 HBIM1P-8 位写操作

对常量地址的 8 位读操作和写操作

地址同时从 **AD[7:0]**和 **AD[15:8]**锁存。接着会对 **AD[7:0]**执行读写混合操作。数据阶段不使用或驱动 AD[15:8]引脚，因为主机可能会继续驱动这些信号上的高地址。

提示: 通常需要对同一双字的四个字节分别执行一次 8 位读操作。对同一个字节执行 8 位读操作和写操作是一个特例。

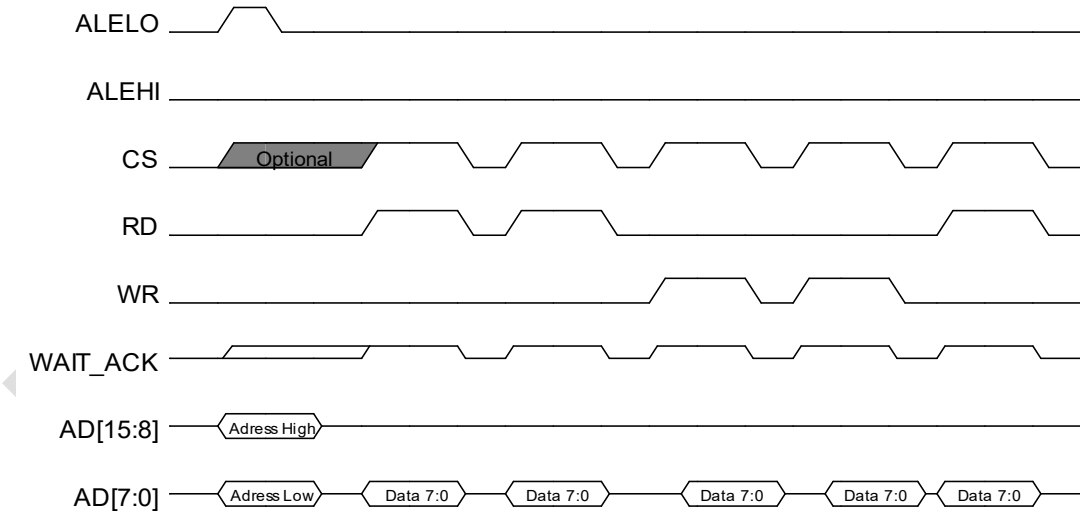


图 7- 19 HBIM1P-对常量地址进行 8 位读操作和写操作

7.5.1.3 RD_WR / ENB 控制模式示例

本节中的各图详细描述了利用备用 RD_WR 和 ENB 信号时的读操作和写操作。 HBI 读/写模式可通过 PDI 配置寄存器（HBI 模式）的 HBI 读/写模式位选择。

提示 1：本节中的示例详细介绍了双阶段锁存时的 16 位模式。但是，**RD_WR** 和 **ENB** 信号同样可用于所有其他 HBIM 工作模式，同样用于 8 位模式。

提示 2：在本节的示例中，**ENB** 信号高电平有效，**RD_WR** 信号低电平时用于读操作，高电平时用于写操作。**RD_WR** 和 **ENB** 信号的极性可通过 PDI 配置寄存器（HBI 模式）的 HBI 读取以及读/写极性和 HBI 写入以及使能极性位选择。

16 位

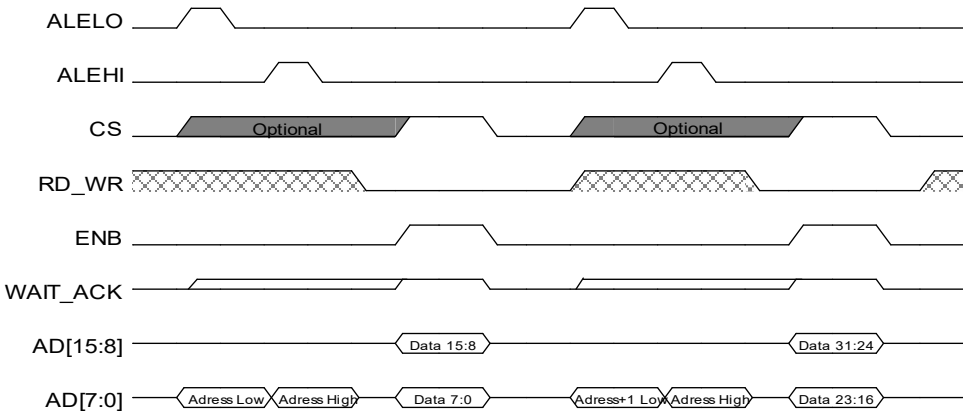


图 7- 20 HBIM RD_WR/ENB 控制模式示例-16 位读操作

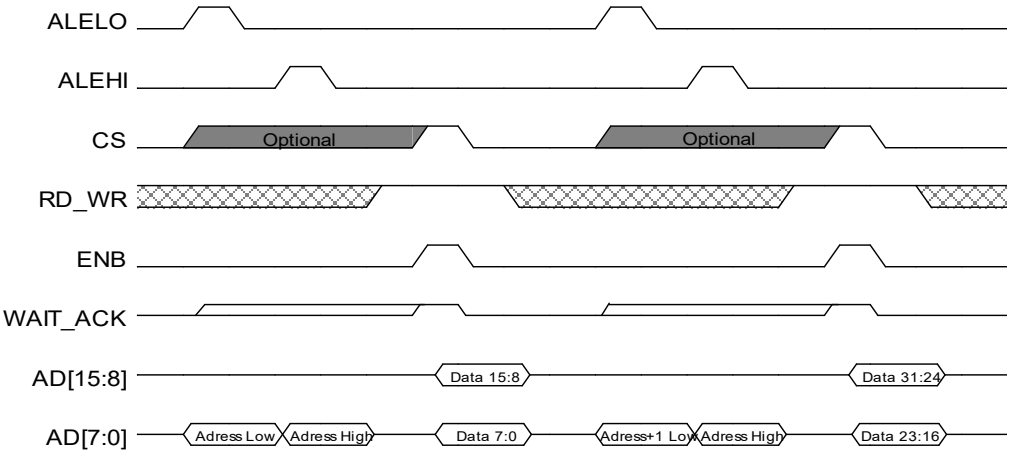


图 7- 21 HBIM RD_WR/ENB 控制模式示例-16 位写操作

7.5.2 HBID 模式功能时序图

以下各时序图给出了不同配置和总线大小条件下的示例 HBID 模式读写周期。这些图并未涵盖

支持的所有主机总线排列，但可选用于详细介绍 HBID 工作模式下的主要配置差异（总线大小）。

对于本节中的时序图，应注意以下几点：

- 本节中的时序图描述了 push-pull 的 **WAIT_ACK**（0 表示等待，1 表示应答）和高电平有效的 **CS**，**RD** 以及 **WR** 信号。这些信号的极性可分别通过 PDI 配置寄存器（HBI 模式）的 HBI WAIT_ACK 极性、 HBI 片选极性、 HBI 读取以及读/写极性和 HBI 写入以及使能极性位选择。更多详细信息，请参见章节 7.2.2“控制线极性与缓冲器类型” 。
- 本节中的时序图描述了小尾数法的字节顺序。但通过字节顺序信号，可支持动态的大尾数法和小尾数法的字节顺序。字节顺序仅更改所涉及字节的顺序，而非全部时序要求。更多信息，请参见章节 7.4.4“主机字节顺序”。
- 本节中的时序图利用 **RD** 和 **WR** 信号，另外还支持备用的 **RD_WR** 和 **ENB** 信号，与章节 7.5.2.1“RD_WR/ENB 控制模式示例”中的复用示例类似。HBI 读/写 模式可通过 PDI 配置寄存器（HBI 模式）的 HBI 读/写模式位选择。**RD_WR** 和 **ENB** 信号的极性可通过 PDI 配置寄存器（HBI 模式）的 HBI 读取以及读/写极性和 HBI 写入以及使能极性位配置。
- 在 16 位或 8 位模式下，必须在同一双字周期内执行多个连续的地址周期，直至完成双字访问（一些内部寄存器除外）。尽管可以按任意顺序访问字节和字，但本节中的时序图描述的是首先访问低地址字节或字的情况。

16 位读操作

可以同时控制字地址和字节顺序进行输入。在 RD 有效的时候读数据由 **D[15:0]**驱动。为双字的其他 16 位重复该周期。

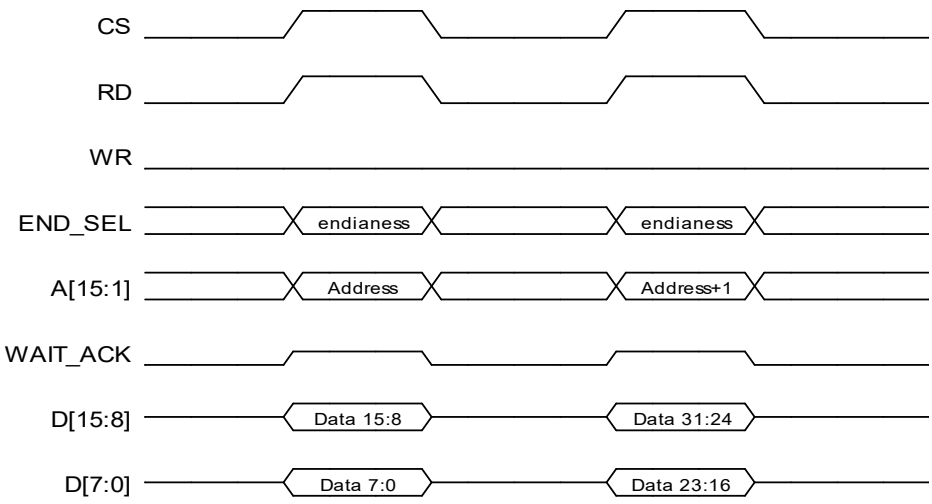


图 7- 22 HBID-16 位读

16 位写操作

可以同时控制字地址和字节顺序进行输入。在 **WR** 有效的时候数据由 **D[15:0]**驱动。为双字的其他 16 位重复该周期。

Funcience confidential

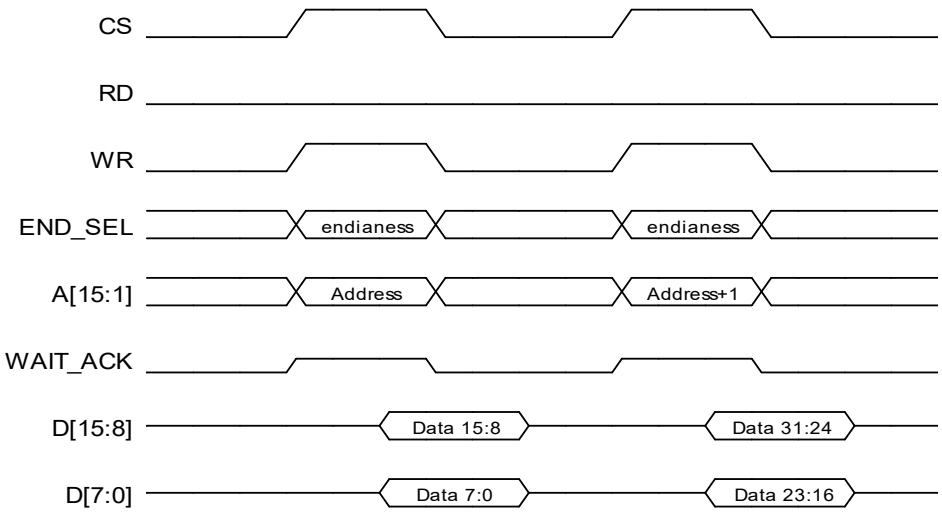


图 7- 23 HBID-16 位写

8 位读操作

可以同时控制字地址和字节顺序进行输入。在 RD 有效的时候读数据由 **D[7:0]**驱动。不会使用或驱动 **D[15:8]**引脚。为双字的其他字节重复该周期。

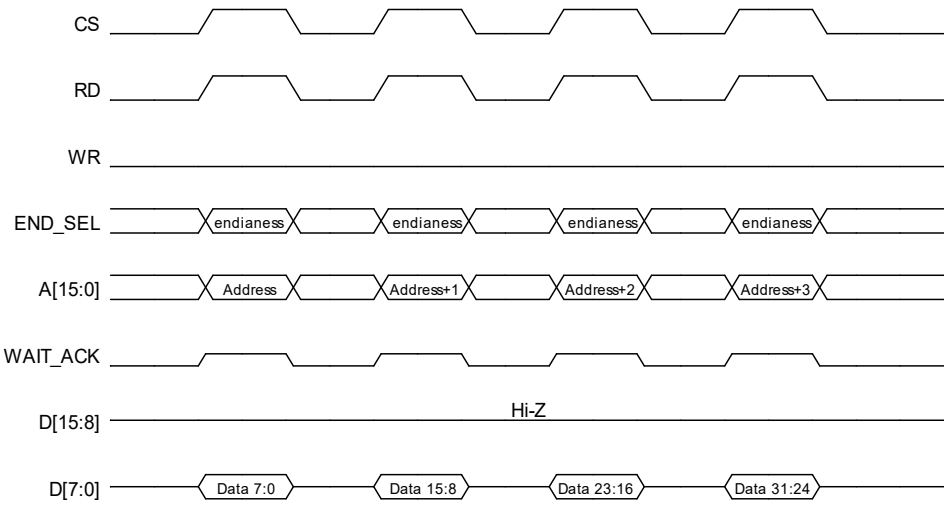


图 7- 24 HBID-8 位读

8 位写操作

可以同时控制字地址和字节顺序进行输入。在 **WR** 有效的时候数据由 **D[7:0]**驱动。不会使用或驱动 **D[15:8]**引脚。为双字的其他字节重复该周期。

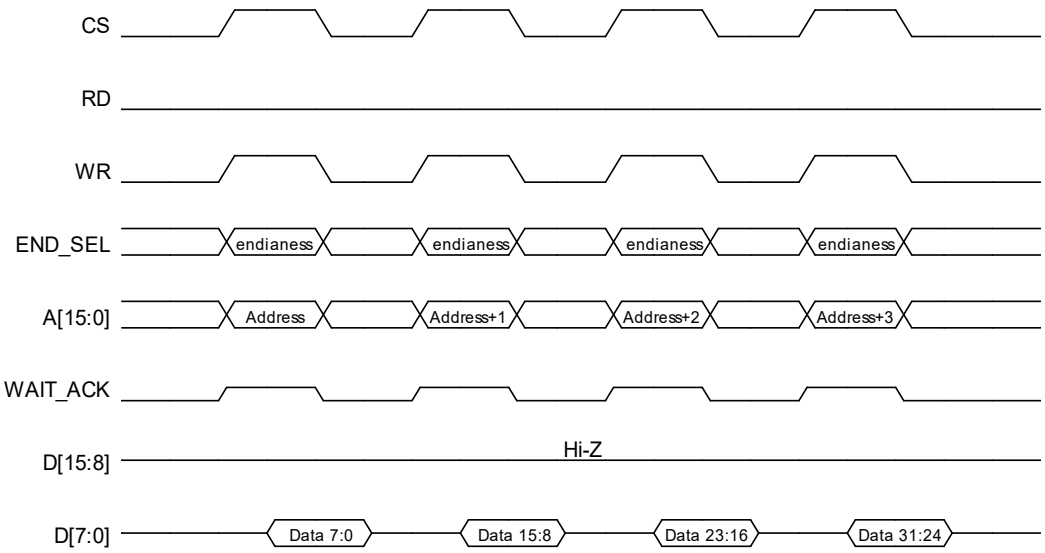


图 7- 25 HBID-8 位写

Funcience confia

7.5.2.1 RD_WR/ENB 控制模式示例

本节中的各图详细描述了利用备用 **RD_WR** 和 **ENB** 信号时的读操作和写操作。HBI 读/写模式可通过 PDI 配置寄存器（HBI 模式）的 HBI 读/写模式位选择。

提示 1：本节中的示例详细介绍了 16 位模式的示例。但是 **RD_WR** 和 **ENB** 信号可以在 8 位模式下使用。

提示 2：在本节的示例中，**ENB** 信号高电平有效，**RD_WR** 信号低电平时用于读操作，高电平时用于写操作。**RD_WR** 和 **ENB** 信号的极性可通过 PDI 配置寄存器（HBI 模式）的 HBI 读取以及读/写极性和 HBI 写入以及使能极性位选择。

16 位

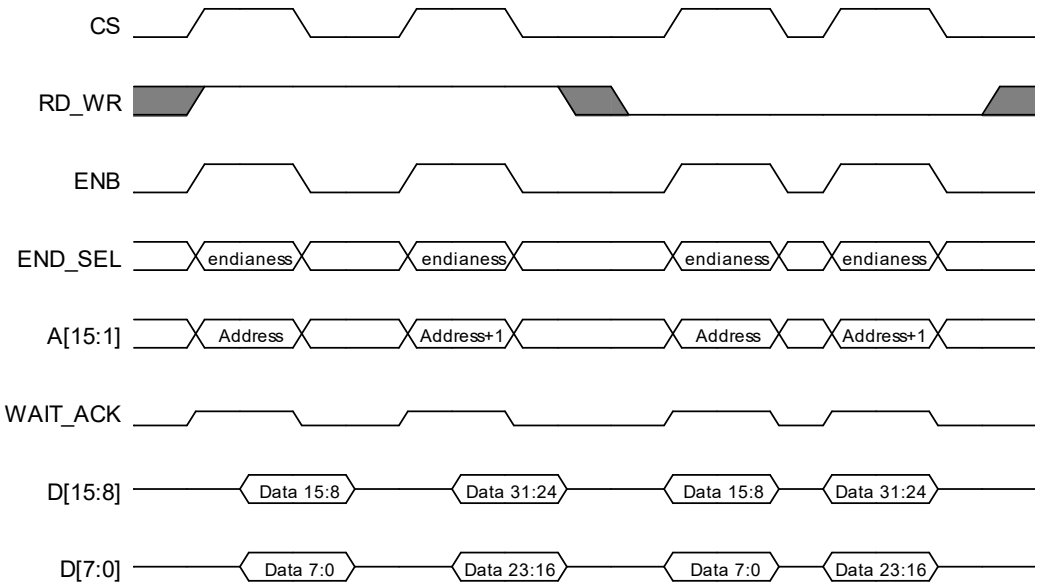


图 7- 26 HBID RD_WR/ENB 控制模式示例-16 位写/读

7.5.3 HBII 模式功能时序图

以下各时序图给出了不同配置和总线大小条件下的示例 HBII（non-multiplexed）模式读写周期。这些图并未涵盖支持的所有主机总线排列，但可选用于详细介绍 HBII 工作模式下的主要配置差异（总线大小和配置/Index/数据周期）。

对于本节中的时序图，应注意以下几点：

- 本节中的时序图描述了 push-pull 的 **WAIT_ACK**（0 表示等待，1 表示应答）和高电平有效的 **CS**，**RD** 以及 **WR** 信号。这些信号的极性可分别通过 PDI 配置寄存器（HBI 模式）的 HBI WAIT_ACK 极性、HBI 片选极性、HBI 读取以及读/写极性和 HBI 写入以及使能极性位选择。更多详细信息，请参见章节 7.2.2 “控制线极性与缓冲器类型”。
- 本节中的时序图描述了小尾数法的字节顺序。但通过字节顺序信号，可支持动态的大尾数法和小尾数法的字节顺序。字节顺序仅更改所涉及字节的顺序，而非全部时序要求。更多信息，请参见章节 7.4.4 节 “主机字节顺序”。
- 本节中的时序图利用 **RD** 和 **WR** 信号，另外还支持备用的 **RD_WR** 和 **ENB** 信号，与章节 7.5.3.4 节 “RD_WR/ENB 控制模式示例”中的复用示例类似。HBI 读/写 模式可通过 PDI 配置寄存器（HBI 模式）的 HBI 读/写模式位选择。**RD_WR** 和 **ENB** 信号的极性可通过 PDI 配置寄存器（HBI 模式）的 HBI 读取以及读/写极性和 HBI 写入以及使能极性位配置。
- 在 16 位或 8 位模式下，必须在同一双字周期内执行多个连续的地址周期，直至完成双字访问（一些内部寄存器除外）。尽管可以按任意顺序访问字节和字，但本节中的时序图描述的是首先访问低地址字节或字的情况。

7.5.3.1 配置寄存器数据访问

本节中的各图详细描述了 HBII 模式下对配置寄存器的 16 位和 8 位模式读操作和写操作。

16 位读操作和写操作

对于写操作，地址设置为访问配置寄存器的低位字。**D[15:0]**上的数据在 **WR** 的后沿写入。如果主机需要，可为配置寄存器的高位字重复该周期。

对于读操作，地址设置为访问配置寄存器的低位字。在 **RD** 有效期间，读取的数据驱动到 **D[15:0]** 上。如果主机需要，可为配置寄存器的高位字重复该周期。

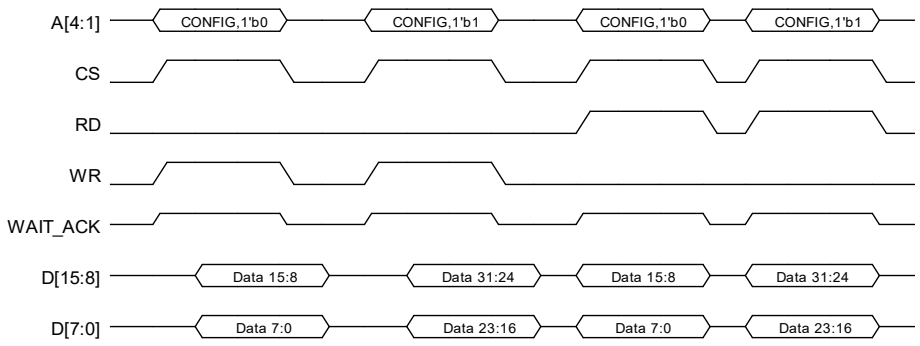


图 7- 27 HBII 配置寄存器访问-16 位写操作/读操作

8 位读操作和写操作

Funcience confidential

对于写操作，地址设置为访问配置寄存器的低字节。**D[7:0]**上的数据在 **WR** 的后沿写入。不会使用或驱动 **D[15:8]**引脚。如果主机需要，可为配置寄存器的其余字节重复该周期。

对于读操作，地址设置为访问配置寄存器的低字节。在 **RD** 有效期间，读取的数据驱动到 **D[7:0]**上。不会使用或驱动 **D[15:8]**引脚。如果主机需要，可为配置寄存器的其余字节重复该周期。

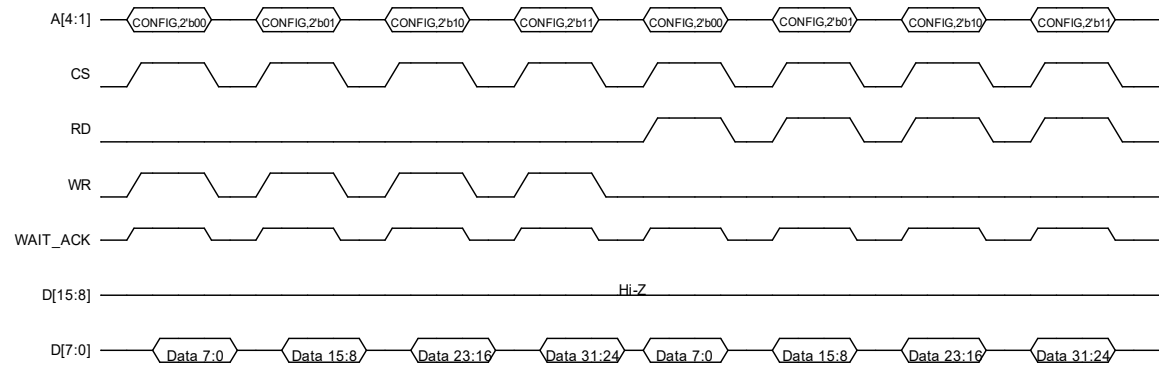


图 7- 28 HBII 配置寄存器访问-8 位写操作/读操作

7.5.3.2 Index 寄存器数据访问

本节中的各图详细描述了 HBII 模式下对 Index 寄存器的 16 位和 8 位模式读操作和写操作。

16 位读操作和写操作

对于写操作，地址设置为访问其中一个 Index 寄存器的低位字。**D[15:0]**上的数据在 **WR** 的后沿写入。如果主机需要，可为 Index 寄存器的高位字重复该周期。

对于读操作，地址设置为访问其中一个 Index 寄存器的低位字。在 **RD** 有效期间，读取的数据驱动到 **D[15:0]**上。如果主机需要，可为 Index 寄存器的高位字重复该周期。

提示：Index 寄存器的高位字保留且无关。

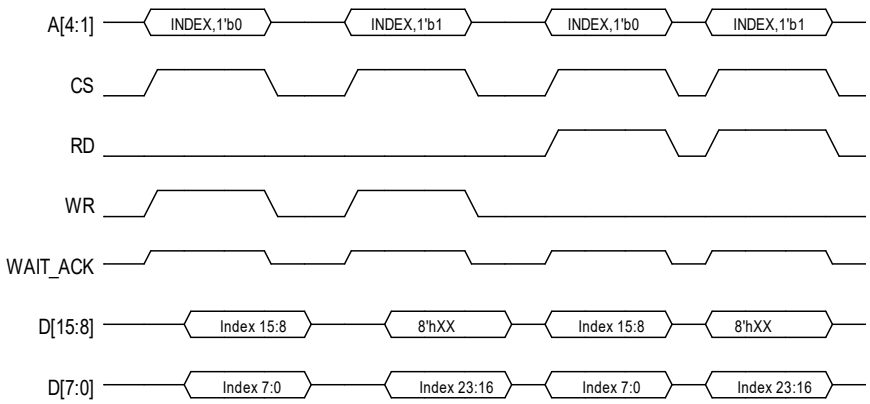


图 7- 29 HBII Index 寄存器访问-16 位写操作/读操作

8 位读操作和写操作

对于写操作，地址设置为访问其中一个 Index 寄存器的低字节。**D[7:0]**上的数据在 **WR** 的后沿写入。不会使用或驱动 **D[15:8]**引脚。如果主机需要，可为 Index 寄存器的其余字节重复该周期。

对于读操作，地址设置为访问其中一个 Index 寄存器的低字节。在 RD 有效期间，读取的数据驱动到 **D[7:0]**上。不会使用或驱动 **D[15:8]**引脚。如果主机需要，可为 Index 寄存器的其余字节重复该周期。

提示：Index 寄存器的高位字保留且无关。因此，对这些字节的读操作和写操作不起作用。

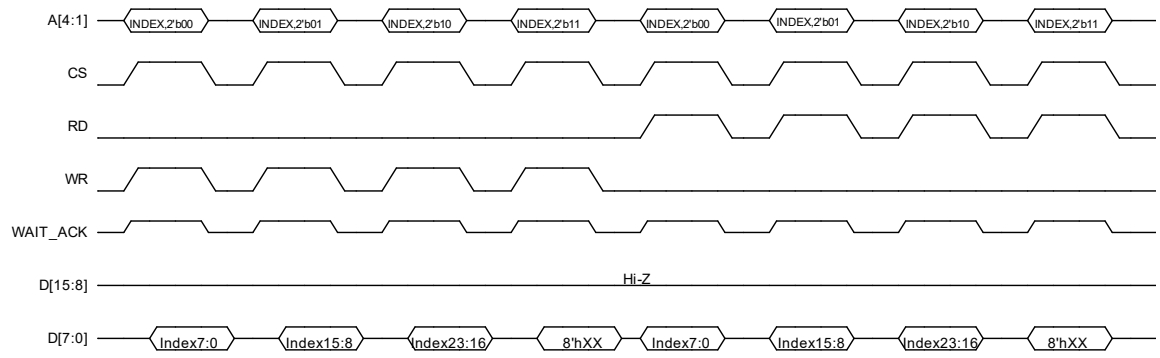


图 7- 30 HBII Index 寄存器访问-8 位写操作/读操作

7.5.3.3 内部寄存器数据访问

本节中的各图详细描述了 HBII 模式下对典型内部寄存器的 16 位和 8 位模式数据读周期和写周期。其中包括一个 Index 寄存器写周期，后跟一个数据读周期或写周期。

16 位读操作

其中一个 Index 寄存器按上述方式设置。地址随后设置为访问相应的数据寄存器的低位字。在 **RD** 有效期间，读取的数据驱动到 **D[15:0]**上。为数据寄存器的高位字重复该周期。

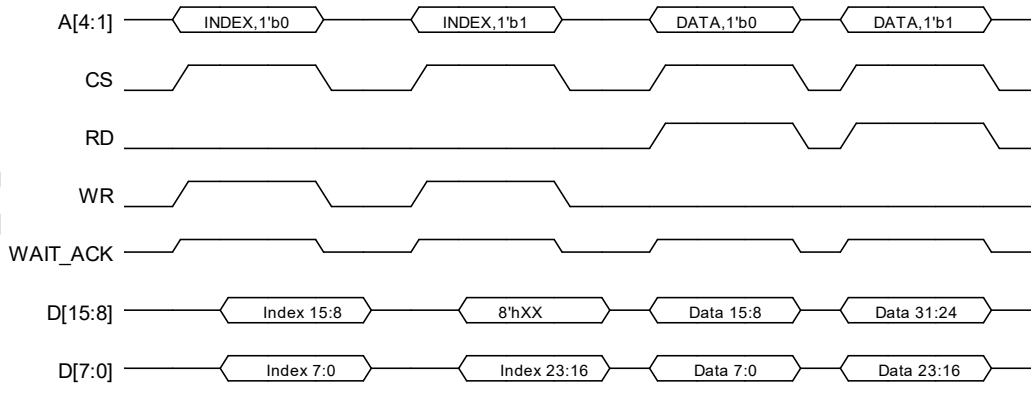


图 7- 31 HBII 内部寄存器数据访问-16 位读操作

16 位写操作

其中一个 Index 寄存器按上述方式设置。地址随后设置为访问相应的数据寄存器。**D[15:0]**上的

数据在 **WR** 的后沿写入。为数据寄存器的高位字重复该周期。

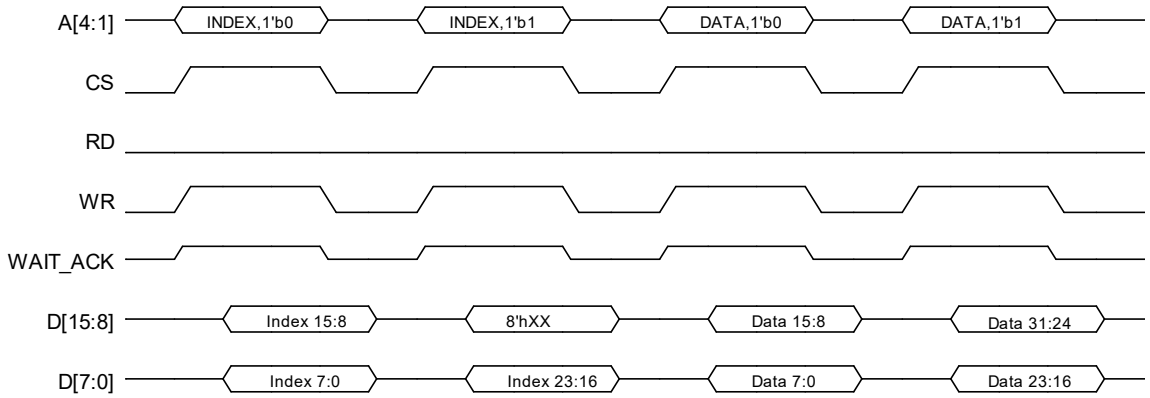


图 7- 32 HBII 内部寄存器数据访问-16 位写操作

对内部常量地址的 16 位读操作和写操作

其中一个 Index 寄存器按上述方式设置。接着对 **D[15:0]**执行读写混合操作，每次读/写操作包含对相应数据寄存器的低位字和高位字的访问。

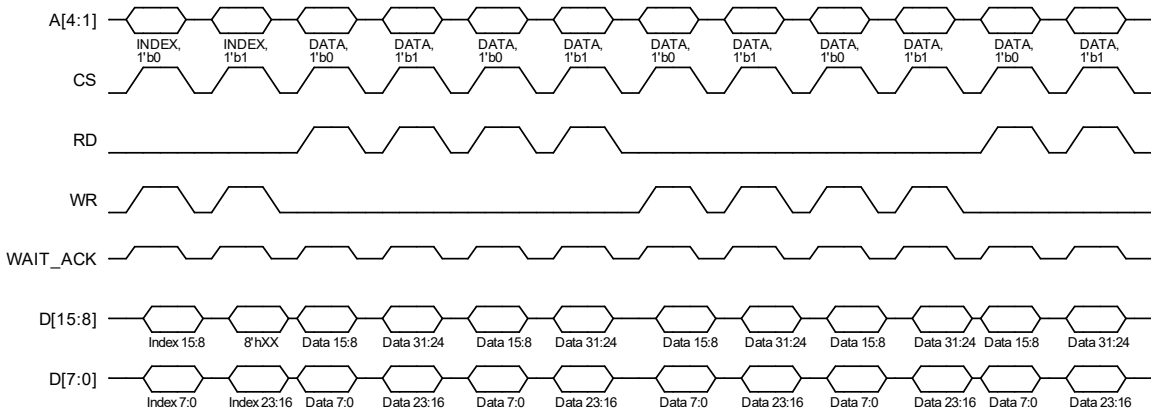


图 7- 33 HBII 内部寄存器数据访问-对常量地址读操作和写操作

8 位读操作

其中一个 Index 寄存器按上述方式设置。地址随后设置为访问相应数据寄存器的低字节。在 **RD** 有效期间，读取的数据驱动到 **D[7:0]**上。不会使用或驱动 **D[15:8]**引脚。为数据寄存器的其余字节重复该周期。

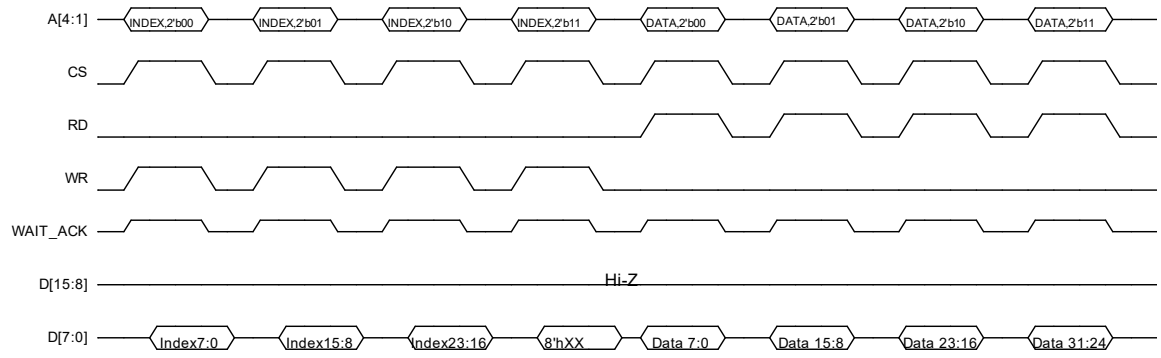


图 7- 34 HBII 内部寄存器数据访问-8 位读操作

8 位写操作

其中一个 Index 寄存器按上述方式设置。地址随后设置为访问相应的数据寄存器。**D[7:0]**上的数据在 **WR** 的后沿写入。不会使用或驱动 **D[15:8]**引脚。为数据寄存器的其余字节重复该周期。

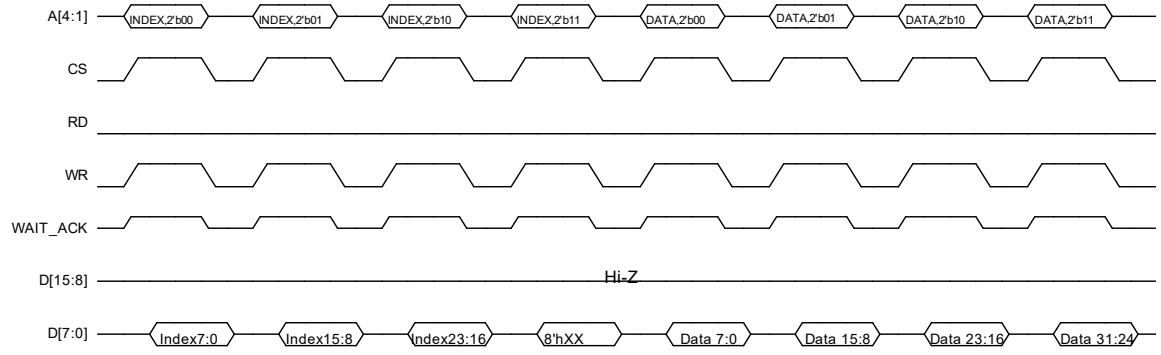


图 7- 35 HBII 内部寄存器数据访问-8 位写操作

对内部常量地址的 8 位读操作和写操作

其中一个 Index 寄存器按上述方式设置。接着对 **D[7:0]**执行读写混合操作，每次读/写操作包含对相应数据寄存器全部四个字节的访问。

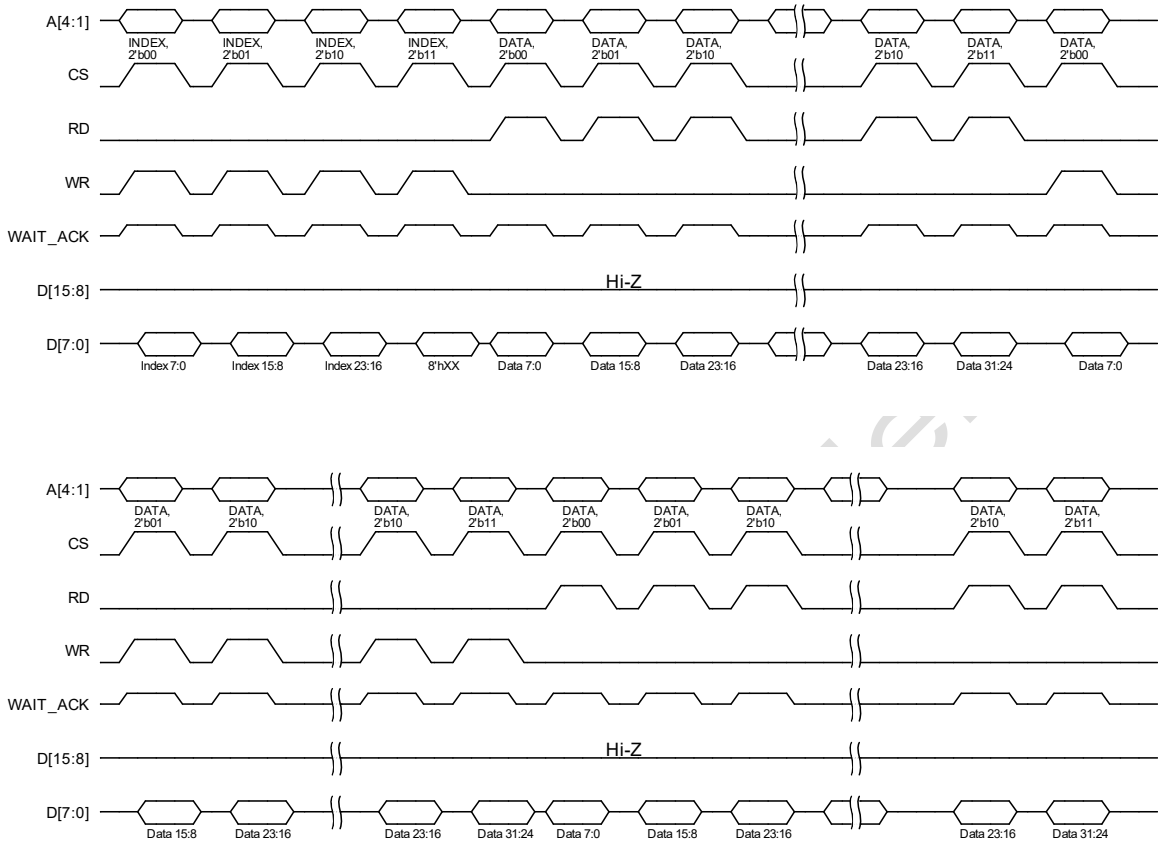


图 7- 36 HBII 内部寄存器数据访问-对常量地址进行 8 位读操作/写操作

7.5.3.4 RD_WR/ENB 控制模式示例

本节中的各图详细描述了利用备用 **RD_WR** 和 **ENB** 信号时的读操作和写操作。HBI 读/写模式可通过 PDI 配置寄存器（HBI 模式）的 HBI 读/写模式位选择。

提示 1：本节中的示例详细介绍了访问 Index 寄存器时的 16 位模式。但是，**RD_WR** 和 **ENB** 信号同样可用于所有其他访问（包括 Index 寄存器旁路 FIFO 访问），同样用于 8 位模式。

提示 2：在本节的示例中，**ENB** 信号高电平有效，**RD_WR** 信号低电平时用于读操作，高电平时用于写操作。**RD_WR** 和 **ENB** 信号的极性可通过 PDI 配置寄存器（HBI 模式）的 HBI 读取以及读/写极性和 HBI 写入以及使能极性位选择。

16 位

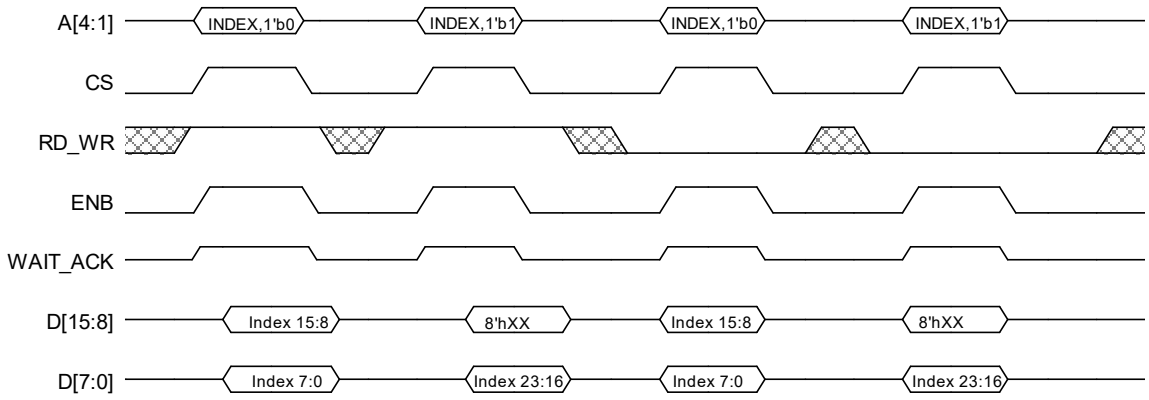


图 7- 37 HBIIRD_WR/ENB 控制模式示例-16 位写操作/读操作

Funcience

7.6 功能时序图 - EtherCAT 直接映射模式

以下部分显示在 EtherCAT 直接映射模式下的功能时序图。

7.6.1 HBIM 模式功能时序图

以下各时序图给出了不同地址/数据配置和总线大小条件下的示例 HBIM 模式读写周期。这些图并未涵盖支持的所有主机总线排列，但可选用于详细介绍 HBIM 工作模式下的主要配置差异（总线大小和双/单阶段地址锁存）。

对于本节中的时序图，应注意以下几点：

- 本节中的时序图描述了 push-pull 的 **WAIT_ACK**（0 表示等待，1 表示应答）、下降沿有效的 **ALEHI/ALELO** 和高电平有效的 **CS**、**RD** 和 **WR** 信号。这些信号极性可分别通过 PDI 配置寄存器（HBI 模式）的 HBI WAIT_ACK 极性、HBI ALE 极性、 HBI 片选极性、 HBI 读取以及读/写极性和 HBI 写入以及使能极性位选择。更多详细信息，请参见章节 7.2.2 “控制线极性和缓冲器类型”。
- 本节中的时序图描述了小尾数法的字节顺序。但通过字节顺序信号，可支持动态的大尾数法和小尾数法的字节顺序。字节顺序仅更改所涉及字节的顺序，而非全部时序要求。更多信息，请参见章节 7.4.4 “主机字节顺序”。
- 本节的时序图利用 **RD** 和 **WR** 信号，另外还支持备用的 **RD_WR** 和 **ENB** 信号，如章节 7.5.1.3 “RD_WR/ENB 控制模式示例”所示。HBI 读/写模式可通过 PDI 配置寄存器（HBI 模式）的 HBI 读/写模式位选择。 RD_WR 和 ENB 信号的极性可通过 PDI 配置寄存器（HBI 模式）的 HBI 读取以及读/写极性和 HBI 写入以及使能极性位选择。
- 可选择通过 PDI 配置寄存器（HBI 模式）的 HBI ALE 限定位，用 **CS** 信号限定 **ALELO** 和/或 **ALEHI**。更多信息，请参见章节 7.3.1.1 “单阶段地址锁存”和第 7.3.1.2 节 “双阶段地址锁存”。
- 在双阶段地址锁存模式下，**ALEHI** 和 **ALELO** 周期的顺序可以是任意的。可能跳过 **ALELO** 和 **ALEHI** 周期的其中一个，也可能两个周期都跳过，器件保留锁存的最后一个地址。
- 在单阶段地址锁存模式下，可能跳过 **ALELO** 周期，器件保留锁存的最后一个地址。

提示：当访问 non-EtherCAT Core 寄存器时，通常不会跳过 **ALELO** 周期，因为需要访问连续的字节或字才能满足完整的双字周期。但是，一些寄存器允许单字节或字访问，在这种情况下，可以对这些寄存器执行多次访问，而无需重新锁存重复的地址。

- 当访问 non-EtherCAT Core 寄存器时，对于适当的双字汇编，必须在同一双字周期内执行多个连续的地址周期，直至完成双字访问（上述寄存器除外）。尽管可以按任意顺序访问字节和字，但本节中的时序图描述的是首先访问低地址字节或字的情况。
- 当访问 non-EtherCAT Core 寄存器时，不使用 **BE1/BE0**，所有的周期都是 16 位宽度。在 16 位模式下当访问 EtherCAT Core 寄存器和 Process RAM 时，可以通过 **BE1/BE0** 引脚选择 8 或 16 位传输。

Funcience confidential

7.6.1.1 双阶段地址锁存

本节中的各图详细描述了双阶段地址锁存时 HBIM 模式下的 16 位和 8 位读操作和写操作。

16 位读操作

字地址从 **AD[7:0]**按顺序锁存。

基于 **CS** 有效驱动 **WAIT_ACK**。如果有之前的写入，**WAIT_ACK** 是等待状态，否则它开始是应答状态。基于 **RD** 有效驱动 **WAIT_ACK**。**WAIT_ACK** 在 **CS** 和 **RD** 可能同时有效这种情况时开始是等待状态（第二个示例）。

D[15:8]和 **AD[7:0]**驱动于 **RD** 有效期间。当 **WAIT_ACK** 变为应答状态，**D[15:8]**和 **AD[7:0]**读出有效。如果需要的话，在双字的其他 16 位重复该周期。

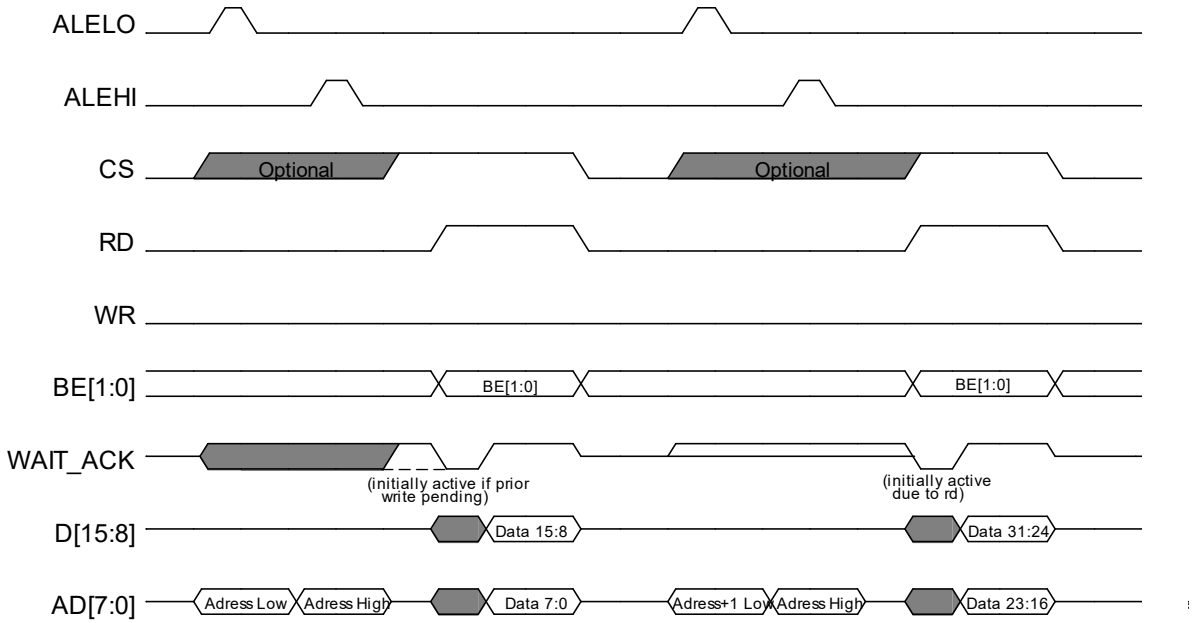


图 7- 38 HBIM2P-16 位读操作

16 位模式 Posted Write

字地址从 **AD[7:0]**按顺序锁存。

基于 **CS** 有效驱动 **WAIT_ACK**。如果有之前的写入，**WAIT_ACK** 是等待状态，否则它开始是应答状态。基于 **WR** 无效驱动 **WAIT_ACK**。**WAIT_ACK** 在 **CS** 和 **WR** 可能同时无效这种情况时不会看到等待状态（第二个示例）。

数据在 **D[15:8]**和 **AD[7:0]**上，在 **WR** 后沿写入。

如果需要的话，在双字的其他 16 位重复该周期。

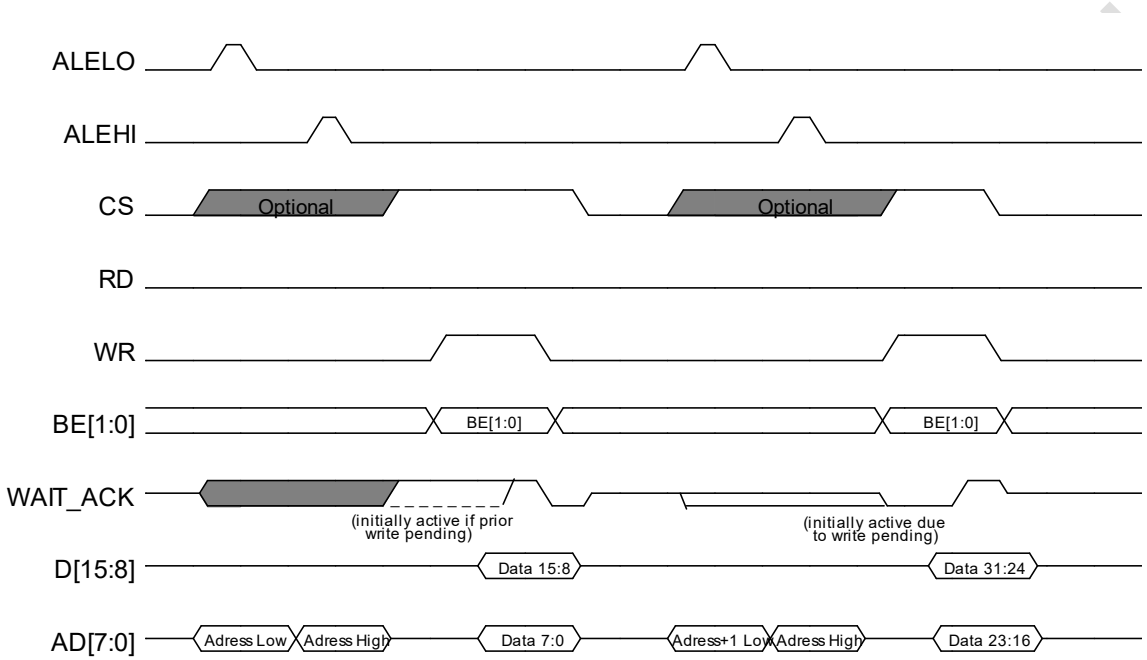


图 7- 39 HBIM2P-16 位 Posted Write

Funcience

16 位模式 non-Posted Write

字地址从 **AD[7:0]**按顺序锁存。

基于 **CS** 有效驱动 **WAIT_ACK**。由于从来不会有之前的写入，则 **WAIT_ACK** 开始是应答状态。基于 **WR** 有效驱动 **WAIT_ACK**。**WAIT_ACK** 在 **CS** 和 **WR** 可能同时有效这种情况时开始是等待状态（第二个示例）。

数据在 **D[15:8]**和 **AD[7:0]**上，在 **WR** 前沿写入。一旦 **WAIT_ACK** 变无效，**WR** 可能变无效。

对于 EtherCAT Core 寄存器和 Process RAM，写周期发生在 **WR** 有效期间。对于 non-EtherCAT Core 寄存器，写周期发生基于 **WR** 无效。所以数据维持直到 WR 无效。

如果需要的话，在双字的其他 16 位重复该周期。

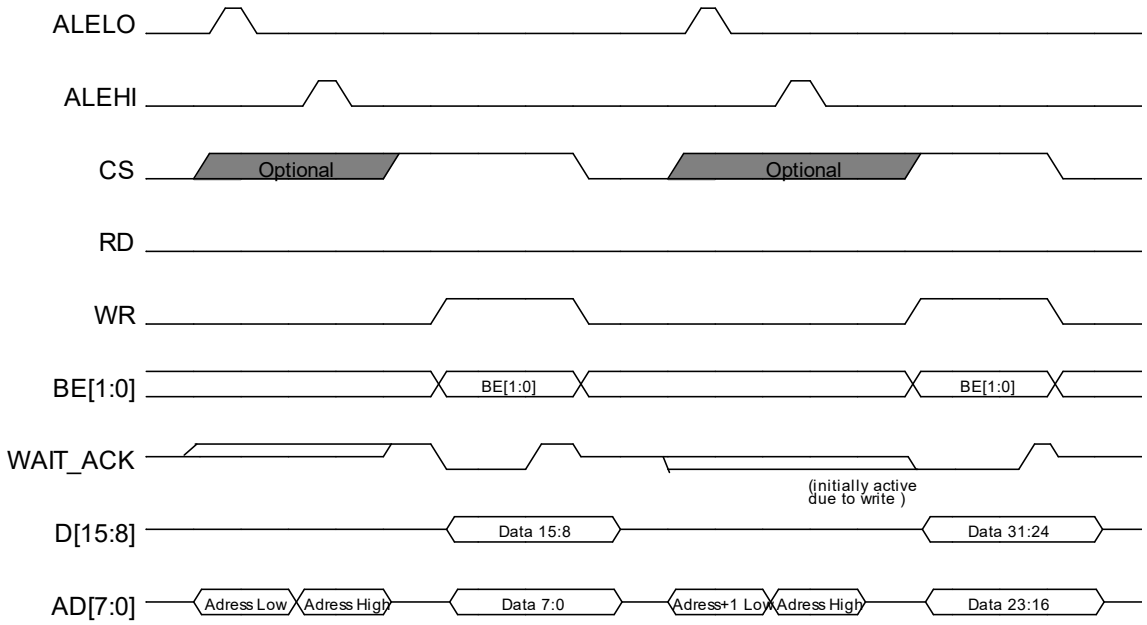


图 7- 40 HBIM2P-16 位 Non-Posted Write

8 位读操作

字节地址从 **AD[7:0]**按顺序锁存。

基于 **CS** 有效驱动 **WAIT_ACK**。如果有之前的写入，**WAIT_ACK** 是等待状态，否则它开始是应答状态。基于 **RD** 有效驱动 **WAIT_ACK**。**WAIT_ACK** 在 **CS** 和 **RD** 可能同时有效这种情况时开始是等待状态（第二个示例）。

AD[7:0]驱动于 **RD** 有效期间，当 **WAIT_ACK** 变为应答状态，**AD[7:0]**读出有效。**D[15:8]**引脚未使用并且未驱动。

如果需要的话，在双字的其他字节重复这个周期。

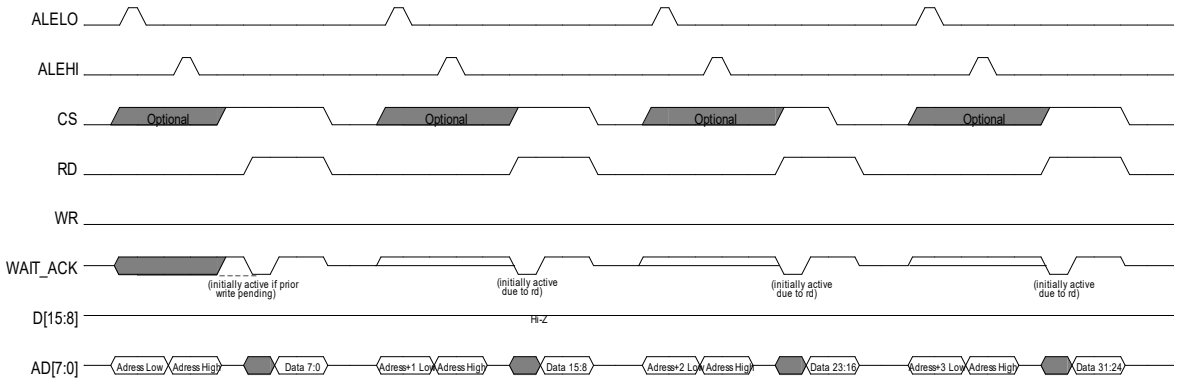


图 7- 41 HBIM2P-8 位读操作

8 位模式 Posted Write

字节地址从 **AD[7:0]**按顺序锁存。

基于 **CS** 有效驱动 **WAIT_ACK**。如果有之前的写入，**WAIT_ACK** 是等待状态，否则它开始是应答状态。基于 **WR** 无效驱动 **WAIT_ACK**。**WAIT_ACK** 在 **CS** 和 **WR** 可能同时无效这种情况时不会看到等待状态（第二个示例）。

数据在 **AD[7:0]**上，在 **WR** 后沿写入。**D[15:8]**引脚未使用并且未驱动。

如果需要的话，在双字的其他字节重复这个周期。

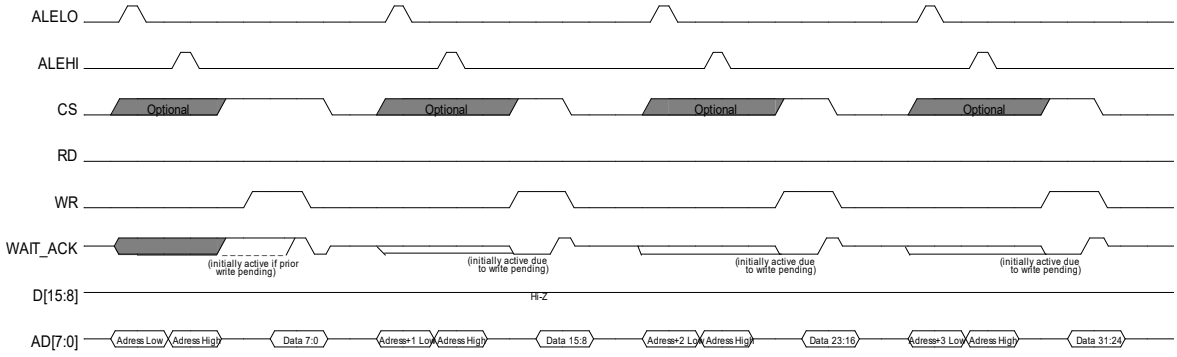


图 7- 42 HBIM2P-8 位 Posted Write

8 位模式 non-Posted Write

字节地址从 **AD[7:0]**按顺序锁存。

基于 **CS** 有效驱动 **WAIT_ACK**。由于从来不会有之前的写入，则 **WAIT_ACK** 开始是应答状态。基于 **WR** 有效驱动 **WAIT_ACK**。**CS** 和 **WR** 可能同时有效，在这种情况下，**WAIT_ACK** 通常是应答状态（第二个示例）。

数据在 **AD[7:0]**上，在 **WR** 前沿写入。一旦 **WAIT_ACK** 变无效，**WR** 可能变无效。**D[15:8]**引脚未使用并且未驱动。

对于 EtherCAT Core 寄存器和 Process RAM，写周期发生在 **WR** 有效期间。对于 non-EtherCAT Core 寄存器，写周期发生基于 **WR** 无效。所以数据维持直到 **WR** 无效。

如果需要的话，在双字的其他字节重复这个周期。

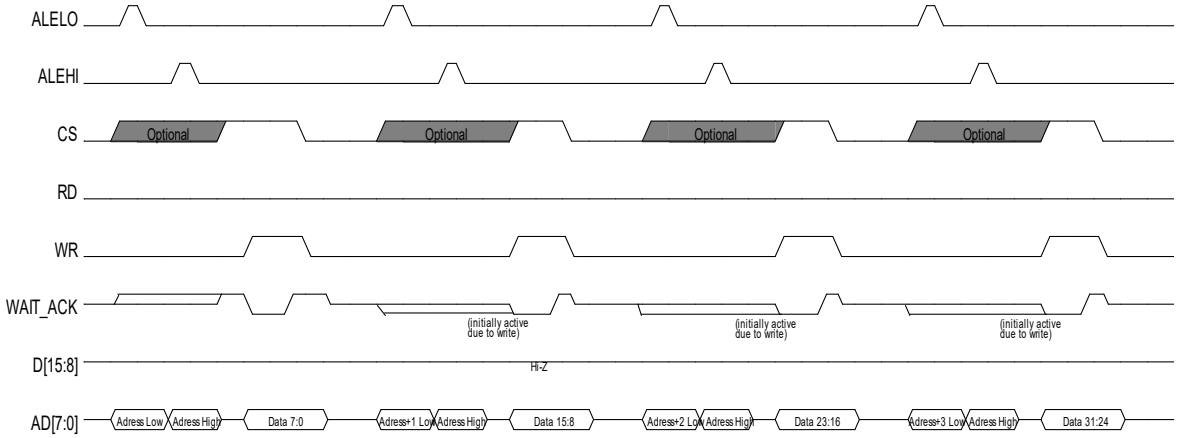


图 7- 43 HBIM2P-8 位 Non-Posted Write

Funcience

7.6.1.2 单阶段地址锁存

本节中的各图详细描述了单阶段地址锁存时 HBIM 模式下的 16 位和 8 位读操作和写操作。

16 位模式读操作

字地址同时从 **AD[7:0]**和 **AD[15:8]**锁存。

基于 **CS** 有效驱动 **WAIT_ACK**。如果有之前的写入，**WAIT_ACK** 是等待状态，否则它开始是应答状态。基于 **RD** 有效驱动 **WAIT_ACK**。**WAIT_ACK** 在 **CS** 和 **RD** 可能同时有效这种情况时开始是等待状态（第二个示例）。

AD[15:0]驱动于 RD 有效期间。当 **WAIT_ACK** 变为应答状态，**AD[15:0]**读出有效。

如果需要的话，在双字的其他 16 位重复这个周期。

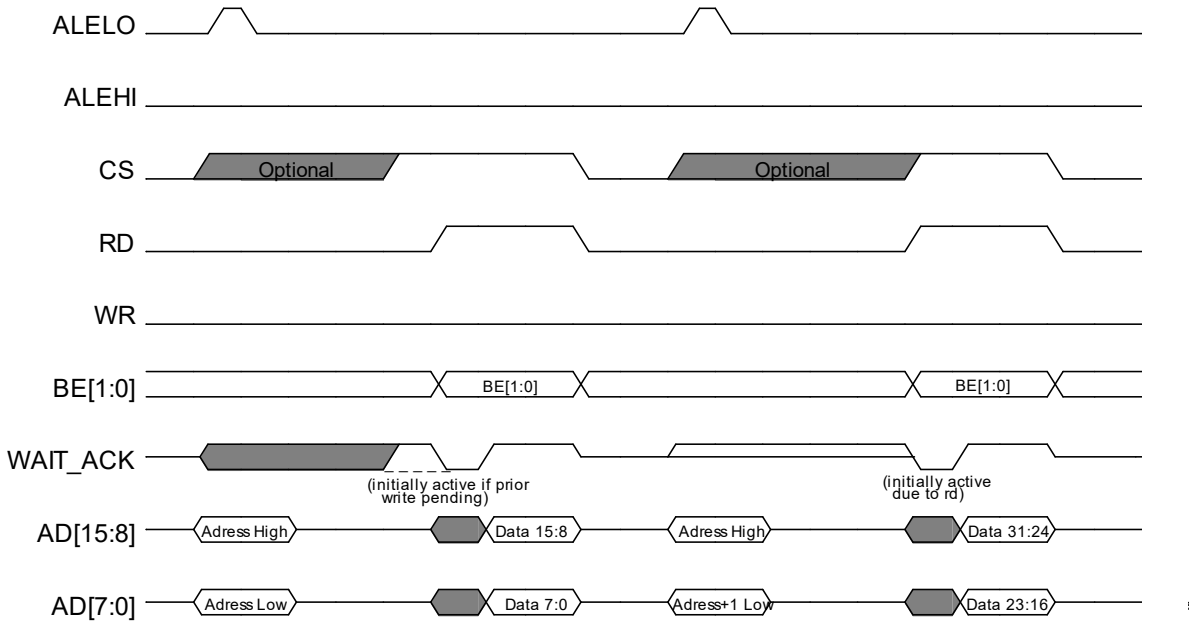


图 7- 44 HBIM1P-16 位读操作

16 位模式 Posted Write

字地址同时从 **AD[7:0]**和 **AD[15:8]**锁存。

基于 **CS** 有效驱动 **WAIT_ACK**。如果有之前的写入，**WAIT_ACK** 是等待状态，否则它开始是应答状态。基于 **WR** 无效驱动 **WAIT_ACK**。**CS** 和 **WR** 可能同时有效，**WAIT_ACK** 这种情况时不会看到等待状态（第二个示例）。

数据在 **AD[15:0]**上，在 **WR** 后沿写入。

如果需要的话，在双字的其他 16 位重复这个周期。

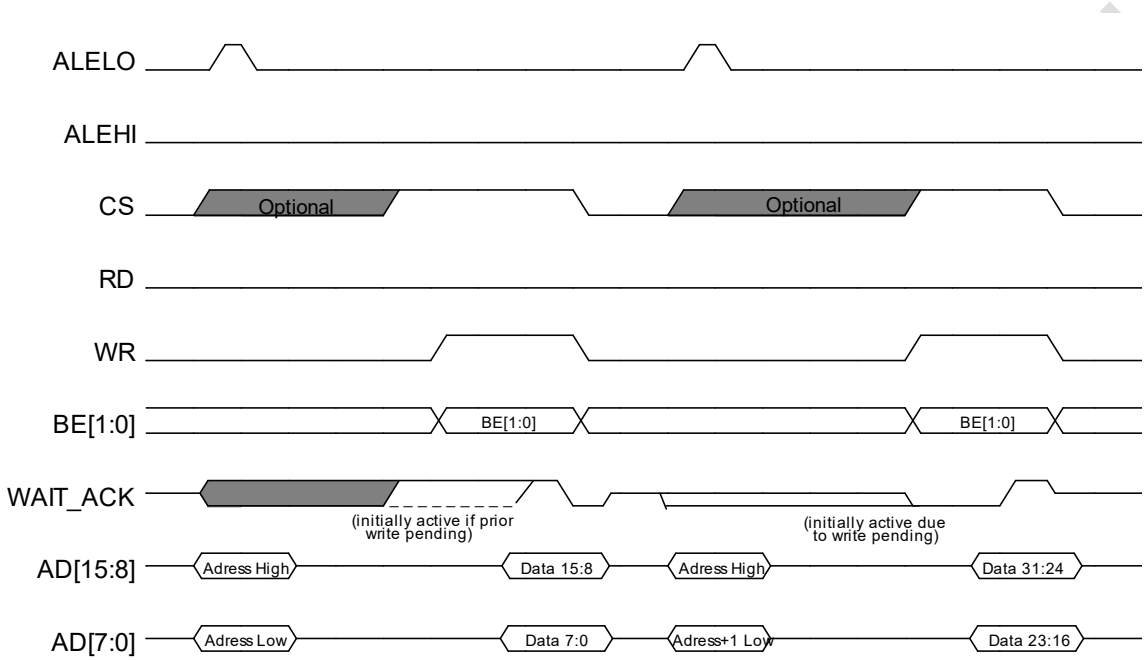


图 7- 45 HBIM1P-16 位 Posted Write

Funcience

16 位模式 non-Posted Write

字地址同时从 **AD[7:0]**和 **AD[15:8]**锁存。

基于 **CS** 有效驱动 **WAIT_ACK**。由于从来不会有之前的写入，则 **WAIT_ACK** 开始是应答状态。基于 **WR** 有效驱动 **WAIT_ACK**。**CS** 和 **WR** 可能同时有效，在这种情况下，**WAIT_ACK** 通常是等待状态（第二个示例）。

数据在 **AD[15:0]**上，在 **WR** 前沿写入。一旦 **WAIT_ACK** 变无效，**WR** 可能变无效。

对于 EtherCAT Core 寄存器和 Process RAM，写周期发生在 WR 有效期间。对于 non-EtherCAT Core 寄存器，写周期发生基于 **WR** 无效。所以数据维持直到 **WR** 无效。

如果需要的话，在双字的其他 16 位重复这个周期。

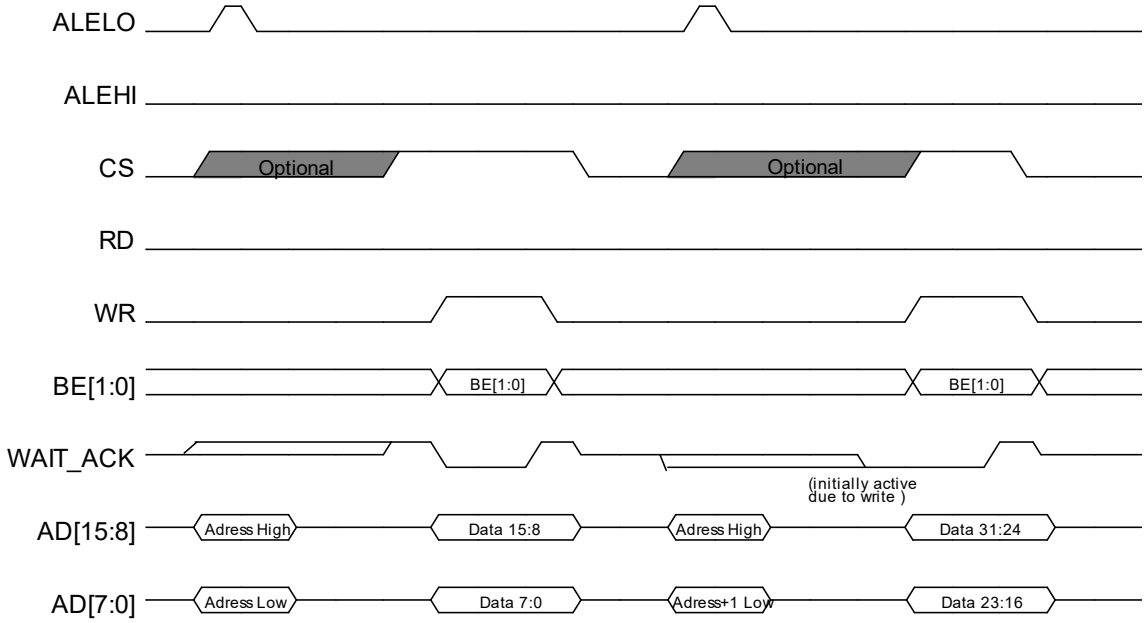


图 7- 46 HBIM1P-16 位 Non-Posted Write

8 位读操作

字节地址同时从 **AD[7:0]**和 **AD[15:8]**锁存。

基于 **CS** 有效驱动 **WAIT_ACK**。如果有之前的写入，**WAIT_ACK** 是等待状态，否则它开始是应答状态。基于 **RD** 有效驱动 **WAIT_ACK**。**WAIT_ACK** 在 **CS** 和 **RD** 可能同时有效这种情况时开始是等待状态（第二个示例）。

AD[7:0]驱动于 **RD** 有效期间。当 **WAIT_ACK** 变为应答状态，**AD[7:0]**读出有效。**AD[15:8]**引脚未使用，或者在数据阶段被驱动，主机可能在这些信号上继续驱动高地址。

如果需要的话，在双字的其他字节重复这个周期。

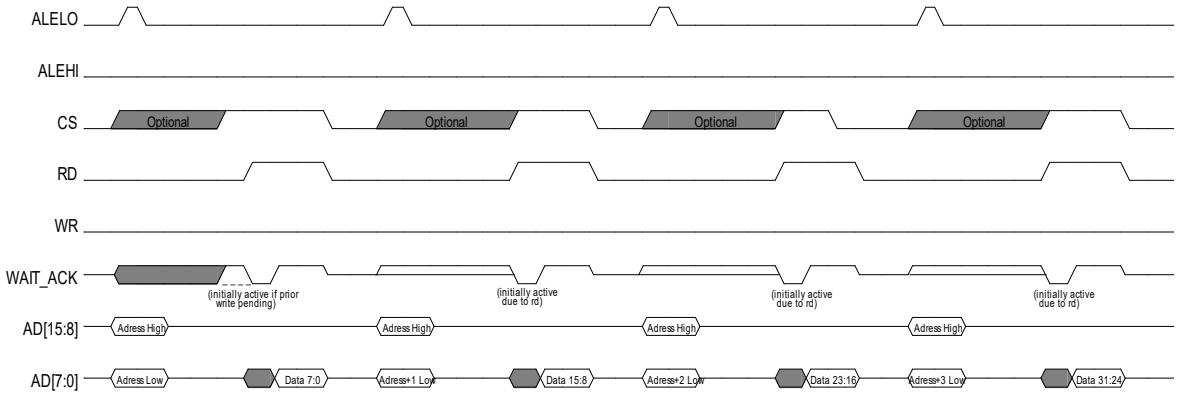


图 7- 47 HBIM1P-8 位读操作

8 位模式 Posted Write

字节地址同时从 **AD[7:0]**和 **AD[15:8]**锁存。

基于 **CS** 有效驱动 **WAIT_ACK**。如果有之前的写入，**WAIT_ACK** 是等待状态，否则它开始是应答状态。基于 **WR** 无效驱动 **WAIT_ACK**。**WAIT_ACK** 在 **CS** 和 **WR** 可能同时有效，这种情况时不会看到等待状态（第二个示例）。

数据在 **AD[7:0]**上，在 **WR** 后沿写入。**AD[15:8]**引脚未使用，或者在数据阶段被驱动，主机可能在这些信号上继续驱动高地址。

如果需要的话，在双字的其他字节重复这个周期。

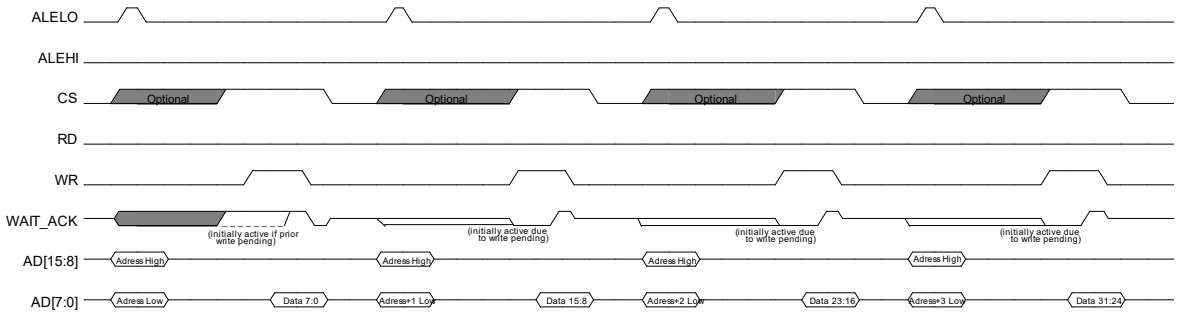


图 7- 48 HBIM1P-8 位 Posted Write

8 位模式 non-Posted Write

字节地址同时从 **AD[7:0]**和 **AD[15:8]**锁存。

基于 **CS** 有效驱动 **WAIT_ACK**。由于从来不会有之前的写入，则 **WAIT_ACK** 开始是应答状态。基于 **WR** 有效驱动 **WAIT_ACK**。**CS** 和 **WR** 可能同时有效，在这种情况下，**WAIT_ACK** 通常是等待状态（第二个示例）。

数据在 **AD[7:0]**上，在 **WR** 前沿写入。一旦 **WAIT_ACK** 变无效，**WR** 可能变无效。**AD[15:8]** 引脚未使用，或者在数据阶段被驱动，主机可能在这些信号上继续驱动高地址。

对于 EtherCAT Core 寄存器和 Process RAM，写周期发生在 **WR** 有效期间。对于 non-EtherCAT Core 寄存器，写周期发生基于 **WR** 无效。所以数据维持直到 **WR** 无效。

如果需要的话，在双字的其他字节重复这个周期。

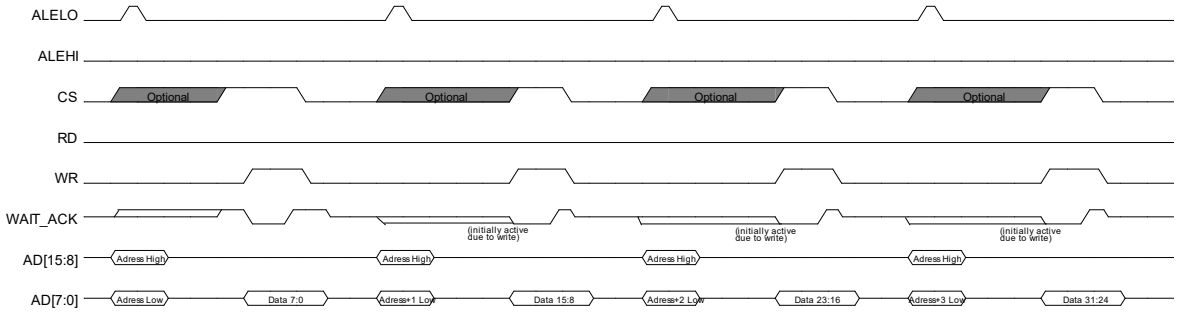


图 7- 49 HBIM1P-8 位 Non-Posted Write

Funcience Confidential

7.6.2 HBID 模式功能时序图

下面的时序图说明了在各种配置和总线大小上读取和编写周期的方法示例。这些图并未涵盖支持的所有主机总线排列，但可用于在 HBID 模式的操作下选择细节的主要配置差异（总线大小）。

对于本节中的时序图，应注意以下几点：

- 本节中的时序图描述了 push-pull 的 **WAIT_ACK**（0 表示等待，1 表示应答）和高电平有效的 **BE1/0**,**CS**,**RD** 以及 **WR** 信号。这些信号的极性可分别通过 PDI 配置寄存器和扩展 PDI 配置寄存器（HBI 模式）的 HBI WAIT_ACK 极性、HBI BE1/BE0 极性、HBI 片选极性、HBI 读取以及读/写极性和 HBI 写入以及使能极性位选择。更多详细信息，请参见章节 7.2.2 “控制线极性和缓冲器类型”。
- 本节中的时序图描述了小尾数法的字节顺序。但通过字节顺序信号，可支持动态的大尾数法和小尾数法的字节顺序。字节顺序仅更改所涉及字节的顺序，而非全部时序要求。更多信息，请参见章节 7.4.4 “主机字节顺序”。
- 本节中的时序图利用 **RD** 和 **WR** 信号，另外还支持备用的 **RD_WR** 和 **ENB** 信号，与章节 7.5.2.1 “RD_WR/ENB 控制模式示例”中的复用示例类似。HBI 读/写 模式可通过 PDI 配置寄存器的 HBI 读/写模式位选择。**RD_WR** 和 **ENB** 信号的极性可通过 PDI 配置寄存器的 HBI 读取以及读/写极性和 HBI 写入以及使能极性位配置。
- 当访问 non-EtherCAT Core 寄存器时，对于适当的双字汇编，必须在同一双字周期内执行多个连续的地址周期，直至完成双字访问（上述寄存器除外）。尽管可以按任意顺序访问字节和字，但本节中的时序图描述的是首先访问低地址字节或字的情况。
- 当在 16 位模式下访问 EtherCAT Core 寄存器时，**BE1/ BE0** 未使用，所有周期都是 16 位宽。在 16 位模式下访问 EtherCAT Core 寄存器和过程 RAM 时，8 或 16 位传输可以通过 **BE1 / BE0** 引脚选择。

Funcience confidential

16 位读操作

字地址、字节使能和字节顺序可以与控制同时输入。

基于 **CS** 有效驱动 **WAIT_ACK**。如果有之前的写入，**WAIT_ACK** 是等待状态，否则它开始是应答状态。基于 **RD** 有效驱动 **WAIT_ACK**。**WAIT_ACK** 在 **CS** 和 **RD** 可能同时有效这种情况时开始是等待状态（第二个示例）。

D[15:8]和 **D[7:0]**驱动于 **RD** 有效期间。当 **WAIT_ACK** 变为应答状态，**D[15:8]**和 **D[7:0]**读出有效。如果需要的话，在双字的其他 16 位重复这个周期。

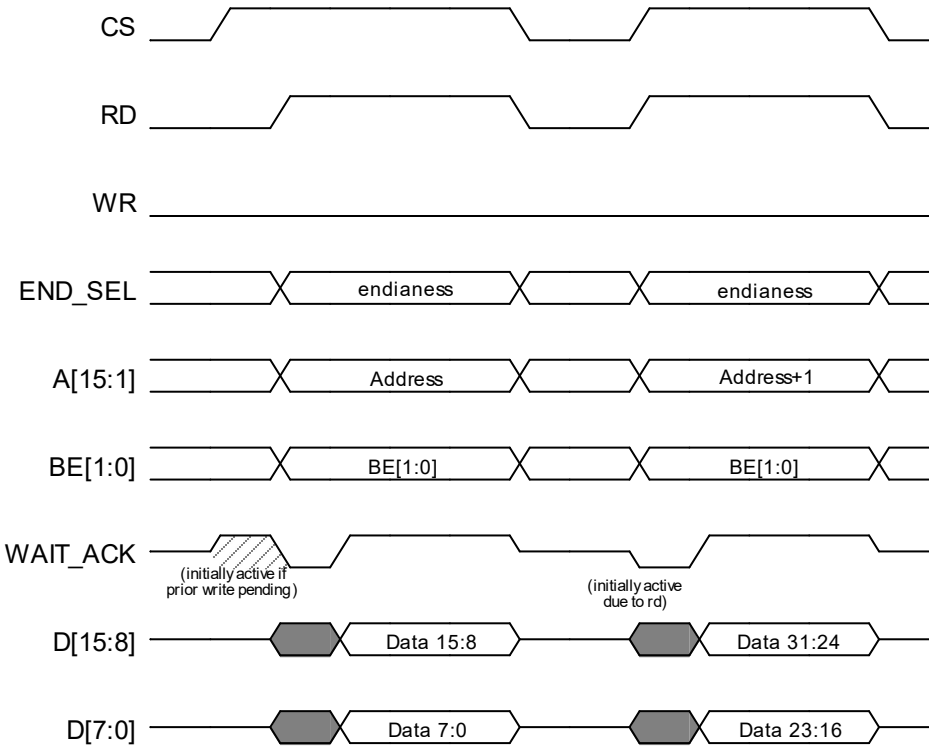


图 7- 50 HBID-16 位读

16 位 Posted Write

字地址、字节使能和字节顺序可以与控制同时输入。

基于 **CS** 有效驱动 **WAIT_ACK**。如果有之前的写入，**WAIT_ACK** 是等待状态，否则它开始是应答状态。**WAIT_ACK** 驱动于 **WR** 无效状态。**WAIT_ACK** 在应答情况下，**CS** 和 **WR** 可能同时无效(第二个示例)。**D[15:0]**数据在 **WR** 后沿写入。如果需要的话，在双字的其他 16 位重复这个周期。

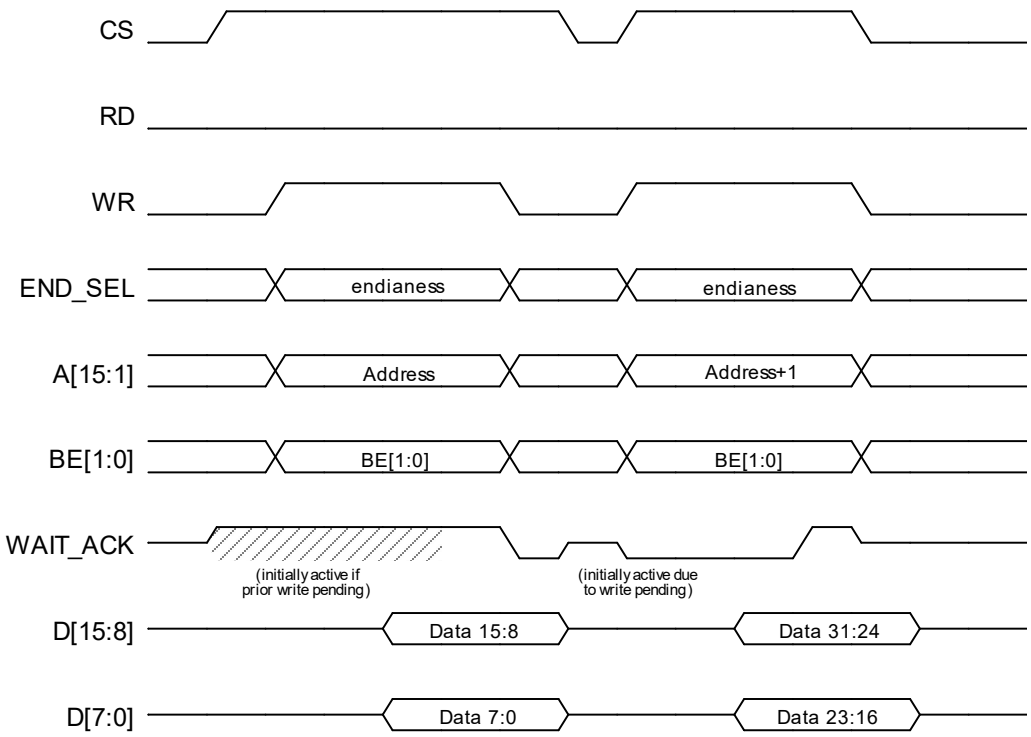


图 7- 51 HBID-16 位 Posted Write

Funcience

16 位 Non-Posted Write

字地址、字节使能和字节顺序可以与控制同时输入。

基于 **CS** 有效驱动 **WAIT_ACK**。由于从来不会有之前的写入，则 **WAIT_ACK** 开始是应答状态。**WAIT_ACK** 驱动于 **WR** 有效状态。**WAIT_ACK** 在 **CS** 和 **WR** 可能同时有效这种情况时开始是等待状态(第二个示例)。

D[15:0]的数据开始于 **WR** 的前沿。一旦 **WAIT_ACK** 不活跃，**WR** 可能变无效。

对于 EtherCAT 内核寄存器和过程 RAM，写入循环发生在 **WR** 有效期间。对于非 EtherCAT 内核寄存器，写入循环在 **WR** 无效中发生。因此，数据被保存直到 **WR** 无效。

如果需要的话，在双字的其他 16 位重复这个周期。

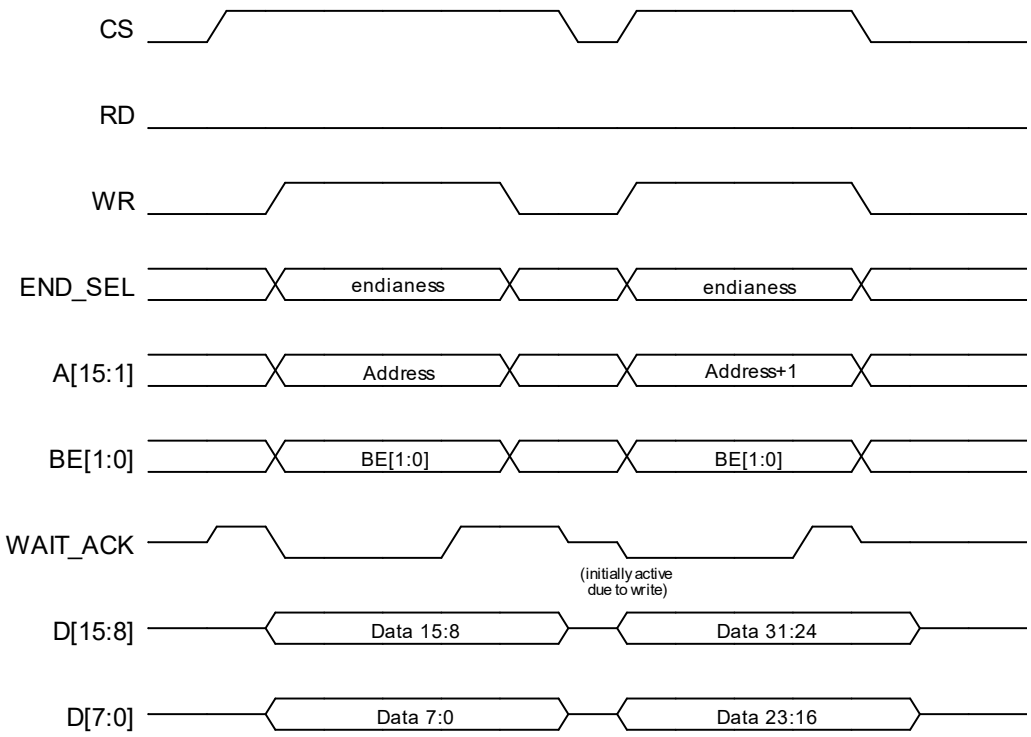


图 7- 52 HBID-16 位 Non-Posted Write

8 位读操作

字节地址可以与控制同时输入。

基于 **CS** 有效驱动 **WAIT_ACK**。如果有之前的写入，**WAIT_ACK** 是等待状态，否则它开始是应答状态。基于 **RD** 有效驱动 **WAIT_ACK**。**WAIT_ACK** 在 **CS** 和 **RD** 可能同时有效这种情况时开始是等待状态（第二个示例）。

D[7:0]驱动于 **RD** 有效期间。当 **WAIT_ACK** 变为应答状态，**D[7:0]**读出有效。

D[15:8]引脚没有使用或驱动。如果需要的话，在双字的其他字节重复这个周期。

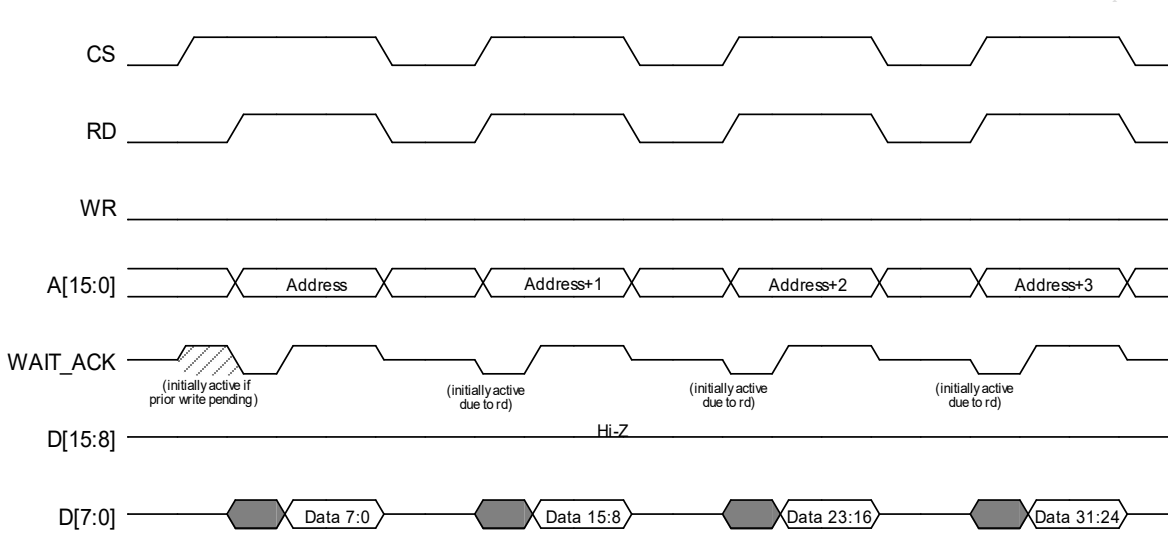


图 7- 53 HBID-8 位读

Funcience

8 位 Posted Write

字节地址可以与控制同时输入。

基于 **CS** 有效驱动 **WAIT_ACK**。如果有之前的写入，**WAIT_ACK** 是等待状态，否则它开始是应答状态。**WAIT_ACK** 驱动于 **WR** 无效状态。**WAIT_ACK** 应答状态下，**CS** 和 **WR** 可能同时无效(第二个示例)。**D[7:0]**数据在 **WR** 后沿写入。**D[15:8]**引脚没有使用或驱动。如果需要的话，在双字的其他字节重复这个周期。

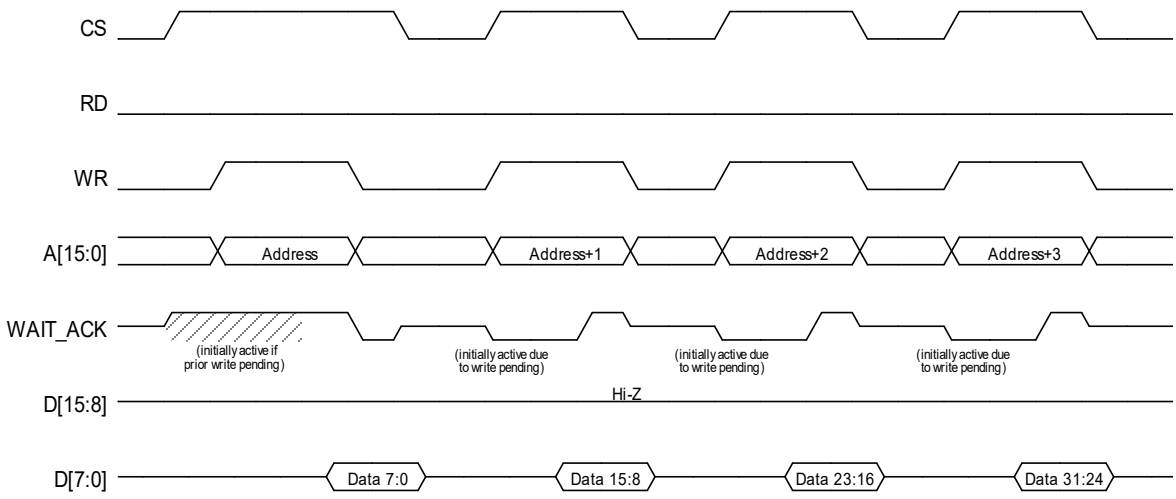


图 7- 54 HBID-8 位 Posted Write

Funcience

8 位 Non-Posted Write

字节地址可以与控制同时输入。

基于 **CS** 有效驱动 **WAIT_ACK**。由于从来不会有之前的写入，则 **WAIT_ACK** 开始是应答状态。**CS** 和 **WR** 可能同时活跃，在这种情况下，**WAIT_ACK** 通常是等待状态(第二个示例)。

D[7:0]的数据开始于 **WR** 的前沿。一旦 **WAIT_ACK** 不活跃，**WR** 可能变无效。**D[15:8]**引脚没有使用或驱动。

对于 EtherCAT 内核寄存器和过程 RAM，写入循环发生在 **WR** 有效期间。对于非 EtherCAT 内核寄存器，写入循环在 **WR** 无效中发生。因此，数据被保存直到 **WR** 无效。

如果需要的话，在双字的其他字节重复这个周期。

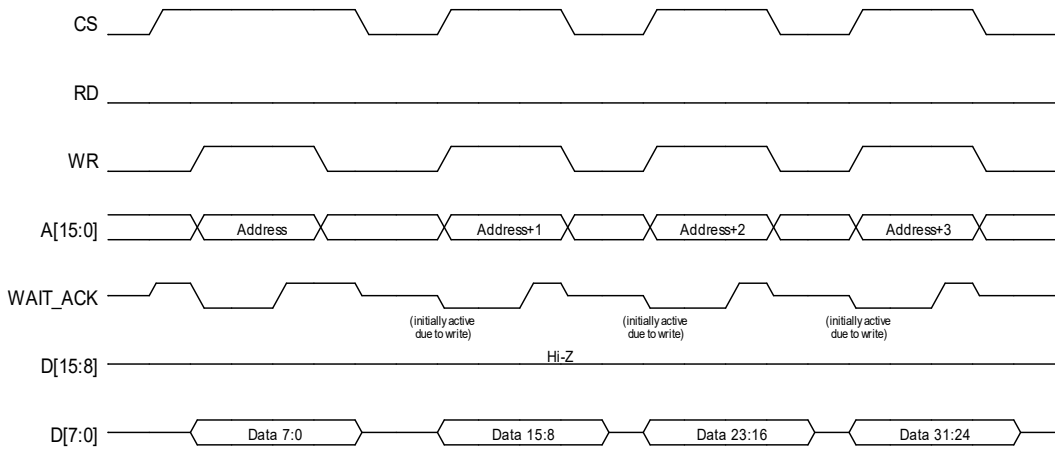


图 7- 55 HBID-8 位 Non-Posted Write

7.6.3 HBII 模式功能时序图

以下各时序图给出了不同配置和总线大小条件下的示例 HBII（non-multiplexed）模式读写周期。这些图并未涵盖支持的所有主机总线排列，但可选用于详细介绍 HBII 工作模式下的主要配置差异（总线大小和配置/Index/数据/周期）。

对于本节中的时序图，应注意以下几点：

- 本节中的时序图描述了 push-pull 的 **WAIT_ACK**（0 表示等待，1 表示应答）和高电平有效的 **CS**、**RD** 和 **WR** 信号。这些信号极性可分别通过 PDI 配置寄存器（HBI 模式）的 HBI WAIT_ACK 极性、HBI ALE 极性、 HBI 片选极性、 HBI 读取以及读/写极性和 HBI 写入以及使能极性位选择。更多详细信息，请参见请参见章节 7.2.2 “控制线极性和缓冲器类型”。
- 本节中的时序图描述了小尾数法的字节顺序。但通过字节顺序信号，可支持动态的大尾数法和小尾数法的字节顺序。字节顺序仅更改所涉及字节的顺序，而非全部时序要求。更多信息，请参见章节 7.4.4 “主机字节顺序”。
- 本节的时序图利用 **RD** 和 **WR** 信号，另外还支持备用的 **RD_WR** 和 **ENB** 信号，如章节 7.5.2.1 “RD_WR/ENB 控制模式示例”所示。HBI 读/写模式可通过 PDI 配置寄存器（HBI 模式）的 HBI 读/写模式位选择。**RD_WR** 和 **ENB** 信号的极性可通过 PDI 配置寄存器（HBI 模式）的 HBI 读取以及读/写极性和 HBI 写入以及使能极性位选择。
- 当访问 non-EtherCAT Core 寄存器时，对于适当的双字汇编，必须在同一双字周期内执行多个连续的地址周期，直至完成双字访问（上述寄存器除外）。尽管可以按任意顺序访问字节和字，但本节中的时序图描述的是首先访问低地址字节或字的情况。
- 在 16 位模式下访问 Index 和配置寄存器时,所有的周期都是 16 位的,内部的 **BE1/BE0** 未使用。在 16 位模式下访问 non-EtherCAT 寄存器时,所有周期都是 16 位的,内部的 **BE1/BE0** 未使用。当在 16 位模式下访问 EtherCAT 核心寄存器和进程 RAM 时,可以通过内部 **BE1/BE0** 选择 8 或 16 位传输。

Funcience confidential

7.6.3.1 配置寄存器数据访问

本节中的各图详细描述了 HBII 模式下对配置寄存器的 16 位和 8 位模式读操作和写操作。

16 位读操作和写操作

Posted Writes

在 Posted Writes 中,地址将被设置为访问配置寄存器。

基于 **CS** 有效驱动 **WAIT_ACK**。如果有之前的写入，**WAIT_ACK** 是等待状态，否则它开始是应答状态。基于 **WR** 无效驱动 **WAIT_ACK**。**CS** 和 **WR** 可能同时有效，在这种情况下，**WAIT_ACK** 通常是不会看到等待状态（第三个示例）。

数据在 **D[15:0]**上，在 **WR** 后沿写入。

如果主机需要配置寄存器另一个字，重复该周期。

Non-Posted Writes

在 non-Posted Writes 中,地址将被设置为访问配置寄存器。

基于 **CS** 有效驱动 **WAIT_ACK**。由于从来不会有之前的写入，则 **WAIT_ACK** 开始是应答状态。**WAIT_ACK** 在 **WR** 活动中被驱动。**CS** 和 **WR** 可以同时激活,在这种情况下,WAIT_ACK 开始是等待状态(第五个例子)。

D[15:0]的数据开始于 **WR** 的前沿。一旦 **WAIT_ACK** 变得不活跃,**WR** 可能会变得不活动。在 WR 不活动的情况下,写入循环,因此在 WR 不活动之前保存数据。

如果主机需要配置寄存器另一个字，重复该周期。

Reads

对于读取操作,地址将被设置为访问配置寄存器。

基于 **CS** 有效驱动 **WAIT_ACK**。如果有之前的写入，**WAIT_ACK** 是等待状态，否则它开始是应答状态。基于 **RD** 有效驱动 **WAIT_ACK**。**WAIT_ACK** 在 **CS** 和 **RD** 可能同时有效这种情况时开始是等待状态（第二个示例）。

D[15:0]驱动于 **RD** 有效期间。当 **WAIT_ACK** 变为应答状态，**D[15:0]**读出有效。

如果主机需要配置寄存器另一个字，重复该周期。

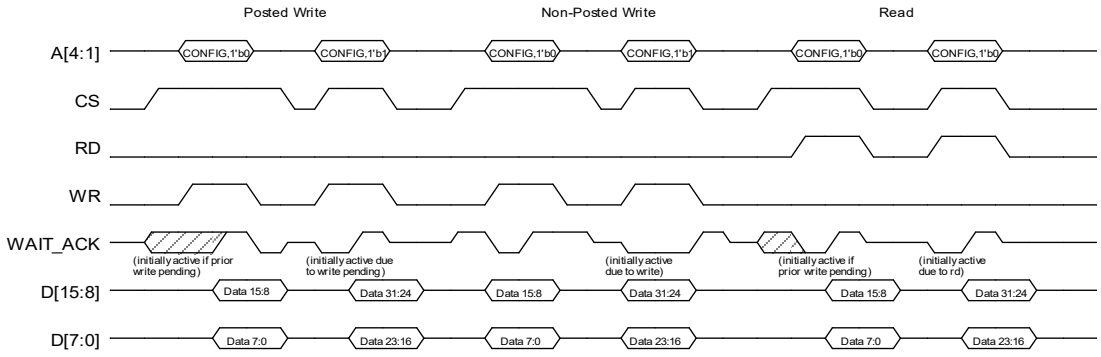


图 7- 56 HBII 配置寄存器访问-16 位 POSTED WRITE NON-POSTED WRITE/READ

8 位读操作和写操作

Posted Writes

在 Posted Writes 中,地址将被设置为访问配置寄存器。

基于 **CS** 有效驱动 **WAIT_ACK**。如果有之前的写入，**WAIT_ACK** 是等待状态，否则它开始是应答状态。基于 **WR** 无效驱动 **WAIT_ACK**。**CS** 和 **WR** 可能同时有效，在这种情况下，**WAIT_ACK** 这种情况时不会看到等待状态（第二个示例）。

数据在 **D[7:0]**上，在 **WR** 后沿写入。**D[15:8]**引脚未使用并且未驱动。

如果主机需要，可为配置寄存器重复该周期。

如果主机需要配置寄存器另一个字节，重复该周期。高字节和低字节循环输入。

Non-Posted Writes

在 non-Posted Writes 中,地址将被设置为访问配置寄存器。

基于 **CS** 有效驱动 **WAIT_ACK**。由于从来不会有之前的写入，则 **WAIT_ACK** 开始是应答状态。**WAIT_ACK** 在 **WR** 活动中被驱动。**CS** 和 **WR** 可以同时激活,在这种情况下,**WAIT_ACK** 开始是等待状态(第四个例子)。

D[7:0]的数据开始于 **WR** 的前沿。一旦 **WAIT_ACK** 变得不活跃,**WR** 可能会变得不活动。

D[15:8]不使用或驱动。在 **WR** 不活动的情况下,写入循环,因此在 **WR** 不活动之前保存数据。

如果主机需要配置寄存器另一个字节，重复该周期。高字节和低字节循环输入。

Reads

对于读取操作,地址将被设置为访问配置寄存器。

基于 **CS** 有效驱动 **WAIT_ACK**。如果有之前的写入，**WAIT_ACK** 是等待状态，否则它开始是应答状态。基于 **RD** 有效驱动 **WAIT_ACK**。**CS** 和 **RD** 可能同时有效，在这种情况下，**WAIT_ACK** 通常是等待状态（第六个示例）。

D[7:0]在 **RD** 活动中被驱动,一旦 **WAIT_ACK** 变得不活跃,它就会活跃和有效。**D[15:8]**端口不使用或驱动。

如果主机需要配置寄存器另一个字节，重复该周期。高字节和低字节循环输入。

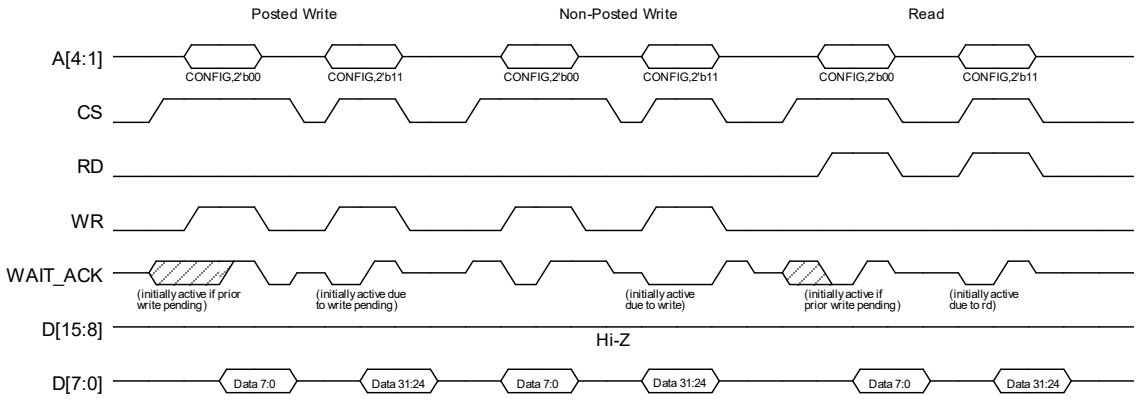


图 7- 57 HBII 配置寄存器访问-8 位 POSTED WRITE/NON-POSTED WRITE/READ

Funcience confidential

7.6.3.2 Index 寄存器数据访问

本节中的各图详细描述了 HBII 模式下对 Index 寄存器的 16 位和 8 位模式读操作和写操作。

16 位读操作和写操作

Posted Writes

在 Posted Writes 中,地址将被设置为访问 Index 寄存器中的一个。

基于 **CS** 有效驱动 **WAIT_ACK**。如果有之前的写入，**WAIT_ACK** 是等待状态，否则它开始是应答状态。基于 **WR** 无效驱动 **WAIT_ACK**。**CS** 和 **WR** 可能同时有效，在这种情况下，**WAIT_ACK** 这种情况时不会看到等待状态（第二个示例）。

数据在 **D[15:0]**上，在 **WR** 后沿写入。

如果主机需要，可为 Index 寄存器重复该周期。

Non-Posted Writes

在 non-Posted Writes 中,地址将被设置为访问 Index 寄存器。

基于 **CS** 有效驱动 **WAIT_ACK**。因为之前没有写入，**WAIT_ACK** 最初是应答状态。**WAIT_ACK** 在 **WR** 活动中被驱动。**CS** 和 **WR** 可以同时激活,在这种情况下,**WAIT_ACK** 总是最初驱动的活动(第四个例子)。

D[15:0]的数据开始于 **WR** 的前沿。一旦 **WAIT_ACK** 变为应答状态,WR 可能会变为无效。在 **WR** 不活动的情况下,写入循环,因此在 **WR** 不活动之前保存数据。

如果主机需要，可为 Index 寄存器的高位字重复该周期。

Reads

对于读取操作,地址将被设置为访问 Index 寄存器。

基于 **CS** 有效驱动 **WAIT_ACK**。如果有之前的写入，**WAIT_ACK** 是等待状态，否则它开始是应答状态。基于 **RD** 有效驱动 **WAIT_ACK**。**CS** 和 **RD** 可能同时有效，在这种情况下，**WAIT_ACK** 通常是等待状态（第六个示例）。

D[15: 0]驱动于 **RD** 有效期间。当 **WAIT_ACK** 变为应答状态，**D[15: 0]**读出有效。

如果主机需要，可为 Index 寄存器的高位字重复该周期。

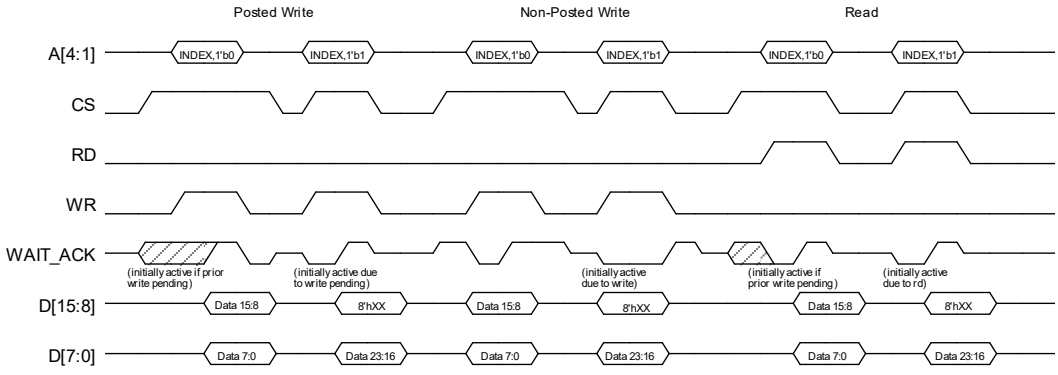


图 7- 58 HBII Index 寄存器访问-16 位 POSTED WRITE/NON-POSTED WRITE/READ

8 位读操作和写操作

Posted Writes

在 Posted Writes 中，地址设置为访问其中一个 Index 寄存器。

基于 **CS** 有效驱动 **WAIT_ACK**。如果有之前的写入，**WAIT_ACK** 是等待状态，否则它开始是应答状态。基于 **WR** 无效驱动 **WAIT_ACK**。**CS** 和 **WR** 可能同时有效，**WAIT_ACK** 这种情况时不会看到等待状态（第二个示例）。

数据在 **D[7:0]**上，在 **WR** 后沿写入。**D[15:8]**引脚未使用并且未驱动。

如果主机需要，可为 Index 寄存器的高位字重复该周期。

Non-Posted Writes

在 non-Posted Writes 中，地址设置为访问其中一个 Index 寄存器。

基于 **CS** 有效驱动 **WAIT_ACK**。由于从来不会有之前的写入，则 **WAIT_ACK** 开始是应答状态。**WAIT_ACK** 在 **WR** 活动中被驱动。**CS** 和 **WR** 可以同时激活,在这种情况下,**WAIT_ACK** 总是最初驱动的活动(第四个例子)。

D[7:0]的数据开始于 **WR** 的上升沿。一旦 **WAIT_ACK** 变得不活跃，**WR** 可能会变得不活动。**D[15:8]**不使用或驱动。在 **WR** 不活动的情况下,写入循环,因此在 **WR** 不活动之前保存数据。

如果主机需要，可为 Index 寄存器的高位字重复该周期。

Reads

对于读取操作，地址设置为访问其中一个 Index 寄存器。

基于 **CS** 有效驱动 **WAIT_ACK**。如果有之前的写入，**WAIT_ACK** 最初是驱动的。否则它最初是驱动无效的。基于 RD 有效驱动 **WAIT_ACK**。**CS** 和 **RD** 可能同时有效，在这种情况下，**WAIT_ACK** 通常等待状态（第六个示例）。

D[7:0]驱动于 **RD** 有效期间。当 **WAIT_ACK** 变为应答状态，**D[7:0]**读出有效。**D[15:8]**端口不使用或驱动。

如果主机需要，可为 Index 寄存器的高位字重复该周期。

提示：Index 寄存器的高位字保留且无关。因此，对该字的读操作和写操作不起作用。

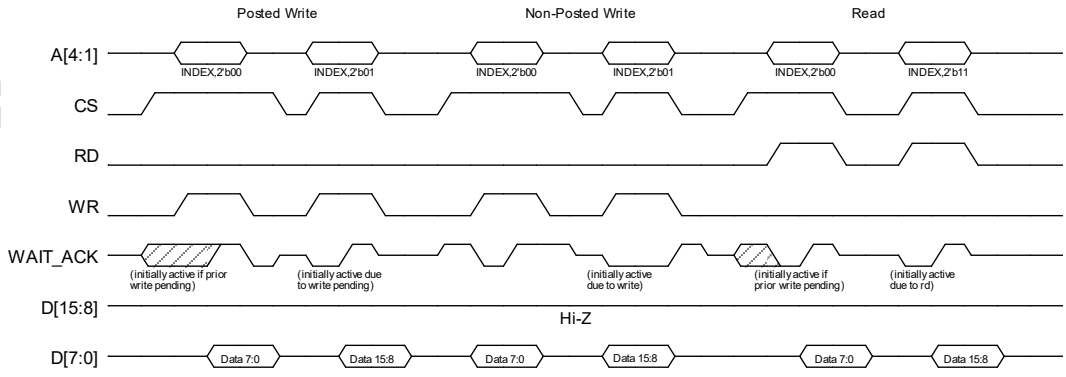


图 7- 59 HBII Index 寄存器访问-8 位 POSTED WRITE/NON-POSTED WRITE/READ

7.6.3.3 内部寄存器数据访问

本节中的各图详细描述了 HBII 模式下对典型内部寄存器的 16 位和 8 位模式数据读周期和写周期。虽然在此处不显示，但是通常一个数据的读或写之前需要一个 Index 寄存器的写操作。

16 位读操作和写操作

其中一个 Index 寄存器按上述方式设置。

Posted Writes

在 Posted Writes 中，通过设置地址来访问相应的数据寄存器。

基于 **CS** 有效驱动 **WAIT_ACK**。如果有之前的写入，**WAIT_ACK** 是等待状态，否则它开始是应答状态。基于 **WR** 无效驱动 **WAIT_ACK**。**WAIT_ACK** 在 **CS** 和 **WR** 可能同时有效这种情况时不会看到等待状态（第二个示例）。

数据在 **D[15:0]**上，在 **WR** 后沿写入。**D[15:8]**端口不使用或驱动

如果主机需要，可为数据寄存器重复该周期。

Non-Posted Writes

在 non-Posted Writes 中，通过设置地址来访问相应的数据寄存器。

基于 **CS** 有效驱动 **WAIT_ACK**。由于从来不会有之前的写入，则 **WAIT_ACK** 开始是应答状态。基于 **WR** 有效驱动 **WAIT_ACK**。**WAIT_ACK** 在 **CS** 和 **WR** 可能同时有效这种情况时是等待状态(第四个例子)。

D[15:0]的数据开始于 **WR** 的前沿。一旦 **WAIT_ACK** 变为应答状态，**WR** 可能会变得无效。**D[15:8]**不使用或驱动。在 **WR** 不活动的情况下，写入循环,因此在 WR 不活动之前保存数据。

如果主机需要，可为数据寄存器重复该周期。

Reads

对于读取操作，通过设置地址来访问相应的数据寄存器。

基于 **CS** 有效驱动 **WAIT_ACK**。如果有之前的写入，**WAIT_ACK** 是等待状态，否则它开始是应答状态。基于 **RD** 有效驱动 **WAIT_ACK**。**WAIT_ACK** 在 **CS** 和 **RD** 可能同时有效这种情况时开始是等待状态（第六个示例）。

D[15: 0]驱动于 **RD** 有效期间。当 **WAIT_ACK** 变为应答状态，**D[15: 0]**读出有效。

如果主机需要，可为数据寄存器重复该周期。

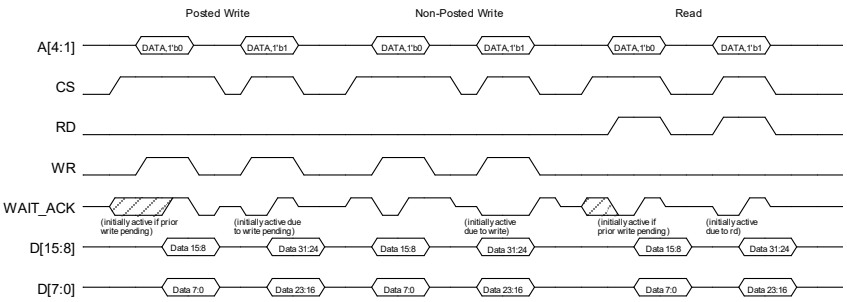


图 7- 60 HBII 内部寄存器数据访问-16 位 POSTED WRITE/NON-POSTED WRITE/READ

Funcience confidential

8 位读操作和写操作

其中一个 Index 寄存器按上述方式设置。

Posted Writes

在 Posted Writes 中, 通过设置地址来访问相应的数据寄存器。

基于 **CS** 有效驱动 **WAIT_ACK**。如果有之前的写入，**WAIT_ACK** 是等待状态，否则它开始是应答状态。基于 **WR** 有效驱动 **WAIT_ACK**。**WAIT_ACK** 在 **CS** 和 **WR** 可能同时有效这种情况时不会看到等待状态（第二个示例）。

数据在 **D[7:0]**上，在 **WR** 后沿写入。**D[15:8]**引脚未使用并且未驱动。

如果主机需要，可为数据寄存器重复该周期。

Non-Posted Writes

在 non-Posted Writes 中, 通过设置地址来访问相应的数据寄存器。

基于 **CS** 有效驱动 **WAIT_ACK**。由于从来不会有之前的写入，则 **WAIT_ACK** 开始是应答状态。基于 **WR** 有效驱动 **WAIT_ACK**。**WAIT_ACK** 在 **CS** 和 **WR** 可能同时有效这种情况时是等待状态(第四个例子)。

D[7:0]的数据开始于 **WR** 的上升沿。一旦 **WAIT_ACK** 变为应答状态,**WR** 可能会变为无效。**D[15:8]**不使用或驱动。在 **WR** 不活动的情况下,写入循环,因此在 **WR** 不活动之前保存数据。

如果主机需要，可为数据寄存器重复该周期。

Reads

对于读取操作, 通过设置地址来访问相应的数据寄存器。

基于 **CS** 有效驱动 **WAIT_ACK**。如果有之前的写入，**WAIT_ACK** 是等待状态，否则它开始是应答状态。基于 **RD** 有效驱动 **WAIT_ACK**。**WAIT_ACK** 在 **CS** 和 **RD** 可能同时有效这种情况时开始是等待状态（第六个示例）。

D[7:0]驱动于 **RD** 有效期间。当 **WAIT_ACK** 变为应答状态，**D[7:0]**读出有效 **D[15:8]**端口不使用或驱动。

如果主机需要，可为数据寄存器重复该周期。

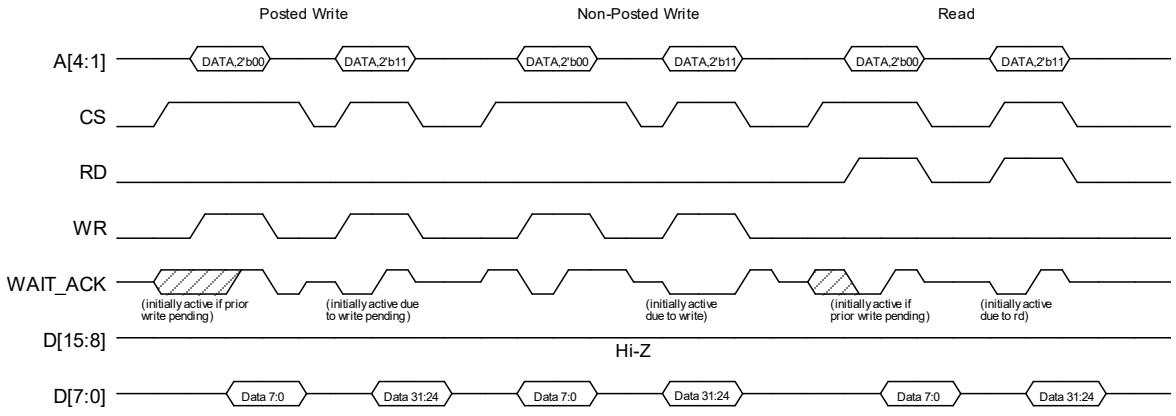


图 7- 61 HBII 内部寄存器数据访问-8 位 POSTED WRITE NON-POSTED WRITE/READ

7.7 时序要求

7.7.1 HBIM 模式时序要求

以下图表规定了 HBIM 模式期间的时序要求。由于不同操作（例如，双阶段和单阶段，8 位和 16 位）间的时序要求是类似的，因此许多时序要求在相同的图中进行了说明，而不必针对任何特定的功能操作单独说明。

对于本节中的时序规范，应注意以下几点：

- 本节中的时序图描述了 push-pull 的 **WAIT_ACK**（0 表示等待，1 表示应答）、下降沿有效的 **ALEHI/ALELO** 和高电平有效的 **CS**、**RD**、**WR**、**RD_WR** 和 **ENB** 信号。这些信号的极性可分别通过 PDI 配置寄存器（HBI 模式）的 HBI ALE 极性、HBI 片选极性、HBI 读取以及读/写极性和 HBI 写入以及使能极性位选择。更多详细信息参见章节 7.2.2 “控制线极性和缓冲器类型”。。
- 可选择通过 PDI 配置寄存器（HBI 模式）的 HBI ALE 限定位用 **CS** 信号限定 **ALELO** 和/或 **ALEHI**。**ALELO/ALEHI** 和 **CS** 间的时序要求仅适用于该模式有效的情况。
- 在双阶段地址锁存模式下，**ALEHI** 和 **ALELO** 周期的顺序可以是任意的。
- 读周期后可能跟着地址周期、写周期或另一个读周期。写周期后可能跟着读周期或另一个写周期。

Funcience confidential

7.7.1.1 读时序要求 - EtherCAT 间接访问模式

下面部分介绍在 EtherCAT 间接访问模式（不是在 EtherCAT 直接映射模式）时的时序要求。字节使能 **BE1/BE0** 在 EtherCAT 间接访问模式不使用并且不显示。如果 **WAIT_ACK** 使能输出，则显示始终保持无效。

如果使用 **RD** 和 **WR** 信号，当 **CS** 有效时将 **RD** 置为有效，主机读周期启动。当将 RD 置为无效时，该周期结束。**CS** 可能与 **RD** 一起置为有效和无效，而并非在 RD 有效期间。

或者，如果使用 **RD_WR** 和 **ENB** 信号，当 **CS** 有效时将 **ENB** 置为有效且 **RD_WR** 指示读操作时，主机读周期启动。当将 **ENB** 置为无效时，该周期结束。**CS** 可能与 **ENB** 一起置为有效和无效，而并非在 **ENB** 有效期间。

有关功能说明的信息，请参见章节 7.5.1 “HBIM 模式功能时序图”。

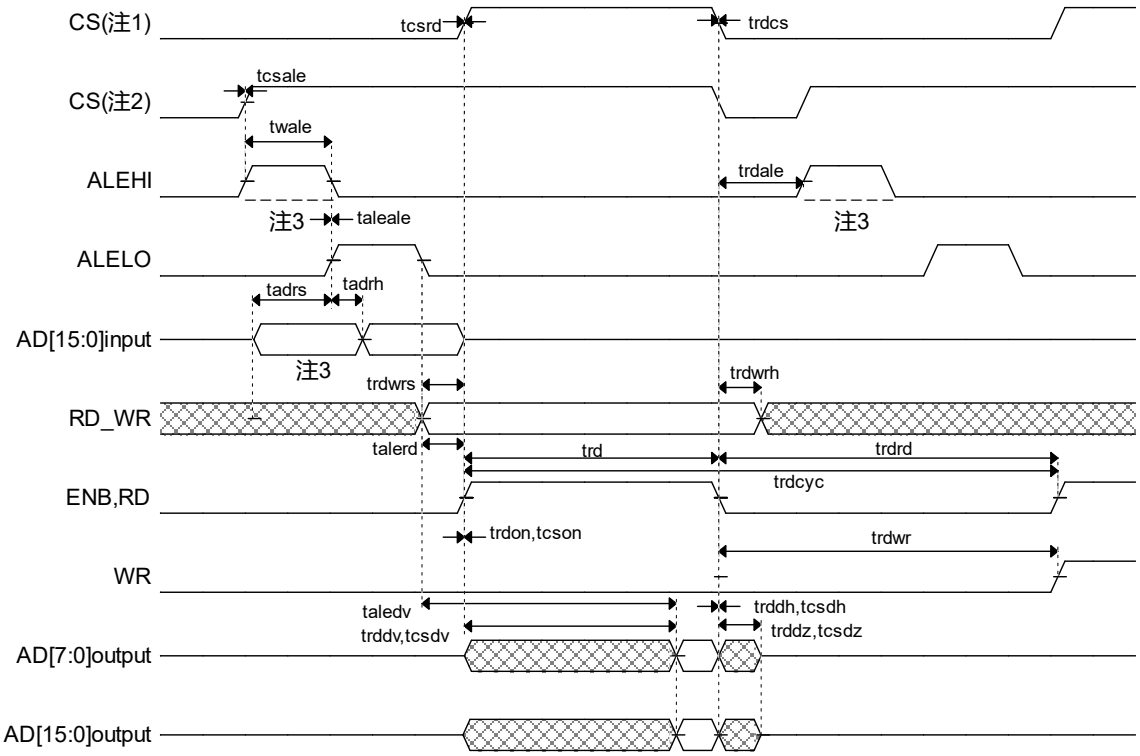


图 7- 62 复用寻址读周期时序

注 1：地址被 **ALEHI** 和 **ALELO** 锁存时，无 **CS** 要求。

注 2：地址被 **ALEHI** 和 **ALELO** 锁存时，仅要求 **CS** 有效。

注 3：在 HBIM1P 模式下，**ALELO** 对 **AD[15:0]**锁存得到地址，不使用 **ALEHI**。在 HBIM2P 模式下，**ALEHI** 和 **ALELO** 周期的顺序可以是任意的，即可以先 **ALEHI** 锁存高位地址再 **ALELO** 锁存低位地址；也可以先 **ALELO** 锁存低位地址再 ALEHI 锁存高位地址。图中表示的是先 **ALEHI** 锁存高位地址再 **ALELO** 锁存低位地址，其中 **ALELO** 对 **AD[7:0]**锁存得到低位地址，**ALEHI** 对 **AD[7:0]**锁存得到高位地址，**AD[15:8]**不作为地址。复用情况详见第 7.3.1.5 中的 HBIM 模式地址锁存以及数据复用总结。

注：本图描述了下降沿有效的 **ALEHI/ALELO** 和高电平有效的 **CS**、**RD**、**WR**、**RD_WR** 和 **ENB** 信号。

符号	说明	最小值	典型值	最大值	单位
tcsale	**CS** Setup to **ALELO**, **ALEHI** Active 注 3, 注 2	0			nS
tcsrd	**CS** Setup to **RD** or **ENB** Active	0			nS
trdcs	**CS** Hold from **RD** or **ENB** Inactive	0			nS
twale	**ALELO**, **ALEHI** Pulse Width	10			nS
tadrs	Address Setup to **ALELO**, **ALEHI** Active	10			nS
tadrh	Address Hold from **ALELO**, **ALEHI** Inactive	5			nS
taleale	**ALELO** Inactive to **ALEHI** Active **ALEHI** Inactive to **ALELO** Active 注 1, 注 2	0			nS
talerd	**ALELO**, **ALEHI** Inactive to **RD** or **ENB** Active 注 2	5			nS
trdwrs	**RD_WR** Setup to **ENB** Active 注 4	5			nS
trdwrh	**RD_WR** Hold from **ENB** Inactive 注 4	5			nS
trdon	**RD** or **ENB** to Data Buffer Turn On	0			nS
trddv	**RD** or **ENB** Active to Data Valid			30	nS
trddh	Data Output Hold Time from **RD** or **ENB** Inactive	0			nS
trddz	Data Buffer Turn Off Time from **RD** or **ENB** Inactive			9	nS
tcson	**CS** to Data Buffer Turn On	0			nS
tcsdv	**CS** Active to Data Valid			30	nS
tcsdh	Data Output Hold Time from **CS** Inactive	0			nS
tcsdz	Data Buffer Turn Off Time from **CS** Inactive			9	nS
taledv	**ALELO**, **ALEHI** Inactive to Data Valid 注 2			35	nS
trd	**RD** or **ENB** Active Time	32			nS
trdcyc	**RD** or **ENB** Cycle Time	45			nS
trdale	**RD** or **ENB** De-assertion Time before Address Phase	13			nS
trdrd	**RD** or **ENB** De-assertion Time before Next RD or ENB 注 5	13			nS
trdwr	**RD** De-assertion Time before Next **WR** 注 5, 注 6	13			nS

表 7- 5 复用寻址读周期时序值

注 1: Dual Phase Addressing
注 2: Depends on **ALEHI / ALELO** order.
注 3: **ALELO** and/or **ALEHI** qualified with the **CS.**
注 4: **RD_WR** and **ENB** signaling.
注 5: No interposed address phase.
注 6: **RD** and **WR** signaling.

提示： Timing values are with respect to an equivalent test load of 25 pF.

Funcience confidential

7.7.1.2 读时序要求 - EtherCAT 直接映射模式

下面部分介绍在 EtherCAT 直接映射模式时的功能时序图表。

如果 **WAIT_ACK** 使能输出，则它被使用表明何时有效数据被捕捉，此外主机必须假设列出的数据访问时间的最坏情况。

当 **CS** 有效时 **WAIT_ACK** 输出，并且由于一个之前的写入，**WAIT_ACK** 先前未有效，根据 **RD** 或 **ENB** 变有效。如果 **CS** 和 **RD/ENB** 同时都有效，**WAIT_ACK** 有效驱动。

如果使用 **RD** 和 **WR** 信号，当 **CS** 有效时将 **RD** 置为有效，主机读周期启动。当将 **RD** 置为无效时，该周期结束。**CS** 可能与 **RD** 一起置为有效和无效，而并非在 **RD** 有效期间。

或者，如果使用 **RD_WR** 和 **ENB** 信号，当 **CS** 有效时将 **ENB** 置为有效且 **RD_WR** 指示读操作时，主机读周期启动。当将 **ENB** 置为无效时，该周期结束。**CS** 可能与 **ENB** 一起置为有效和无效，而并非在 **ENB** 有效期间。

有关功能说明的信息，请参见章节 7.6.1 “HBIM 模式功能时序图”。

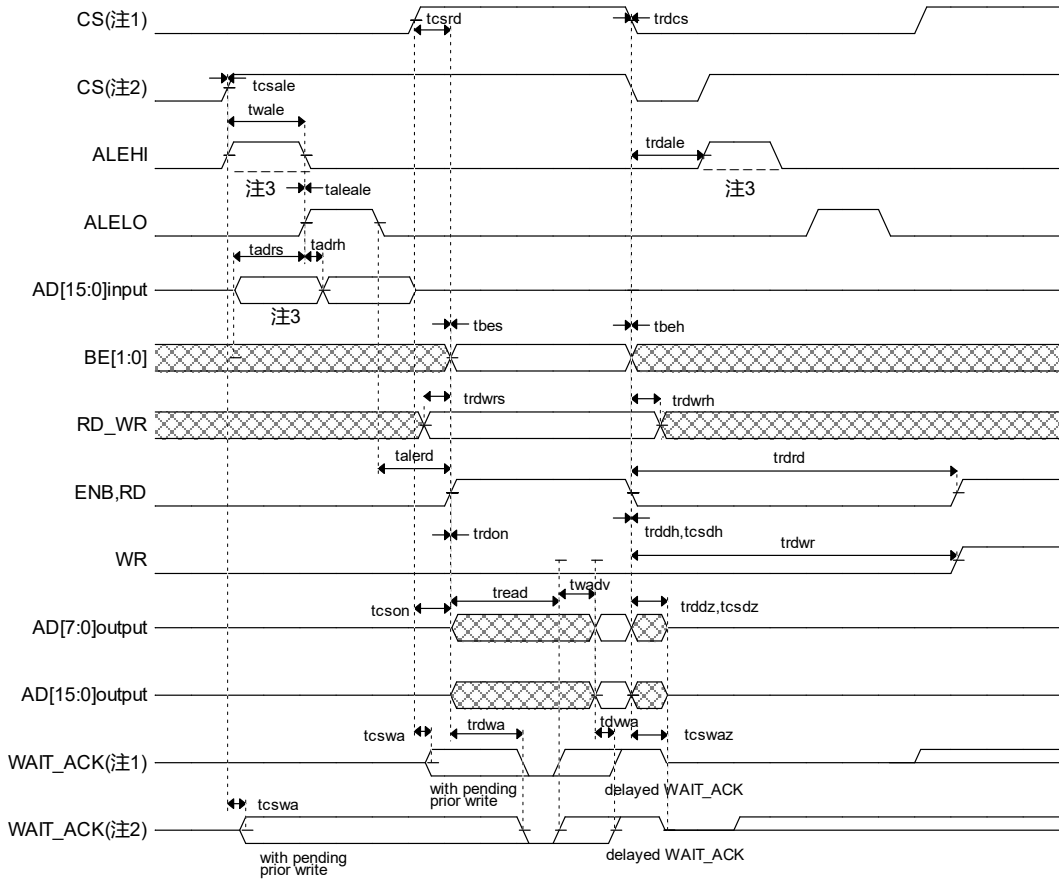


图 7- 63 复用寻址读周期时序

注 1：地址被 **ALEHI** 和 **ALELO** 锁存时，无 **CS** 要求。

注 2：地址被 **ALEHI** 和 **ALELO** 锁存时，仅要求 **CS** 有效。

注 3：在 HBIM1P 模式下，**ALELO** 对 **AD[15:0]**锁存得到地址，不使用 **ALEHI**。在 HBIM2P 模式下，**ALEHI** 和 **ALELO** 周期的顺序可以是任意的，即可以先 **ALEHI** 锁存高位地址再 **ALELO** 锁存低位地址；也可以先 **ALELO** 锁存低位地址再 ALEHI 锁存高位地址。图中表示的是先 **ALEHI** 锁存高位地址再 **ALELO** 锁存低位地址，其中 **ALELO** 对 **AD[7:0]**锁存得到低位地址，**ALEHI** 对 **AD[7:0]**锁存得到高位地址，**AD[15:8]**不作为地址。复用情况详见第 7.3.1.5 中的 HBIM 模式地址锁存以及数据复用总结。

注：本图描述了 push-pull 的 **WAIT_ACK**（0 表示等待，1 表示应答）、下降沿有效的 **ALEHI/ALELO** 和高电平有效的 **CS**、**RD**、**WR**、**RD_WR** 和 **ENB** 信号。

符号	说明	最小值	典型值	最大值	单位
tcsale	**CS** Setup to **ALELO**, **ALEHI** Active 注 9, 注 8	0			ns
tcsrd	**CS** Setup to **RD** or **ENB** Active	0			ns
trdcs	**CS** Hold from **RD** or **ENB** Inactive	0			ns
twale	**ALELO**, **ALEHI** Pulse Width	10			ns
tadrs	Address Setup to **ALELO**, **ALEHI** Active	10			ns
tadrh	Address Hold from **ALELO**, **ALEHI** Inactive	5			ns
taleale	**ALELO** Inactive to **ALEHI** Active **ALEHI** Inactive to **ALELO** Active 注 7, 注 8	0			ns
talerd	**ALELO**, **ALEHI** Inactive to **RD** or **ENB** Active 注 8	5			ns
tbes	Byte Enable Setup to **RD** or **ENB** Active	0			ns
tbeh	Byte Enable Hold from **RD** or **ENB** Inactive	0			ns
trdwrs	**RD_WR** Setup to **ENB** Active 注 10	5			ns
trdwrh	**RD_WR** Hold from **ENB** Inactive 注 10	5			ns
trdon	**RD** or **ENB** to Data Buffer Turn On	0			ns
trddh	Data Output Hold Time from **RD** or **ENB** Inactive	0			ns
trddz	Data Buffer Turn Off Time from **RD** or **ENB** Inactive			9	ns
tcson	**CS** to Data Buffer Turn On	0			ns
tcsdh	Data Output Hold Time from **CS** Inactive	0			ns
tcsdz	Data Buffer Turn Off Time from **CS** Inactive			9	ns
trdale	**RD** or **ENB** De-assertion Time before Address Phase	13			ns
trdrd	**RD** or **ENB** De-assertion Time before Next **RD** or **ENB** 注 10	13			ns
trdwr	RD De-assertion Time before Next **WR** 注 11, 注 12	13			ns
tcswa	**CS** Active to **WAIT_ACK** Valid			10	ns
trdwa	**RD** or **ENB** Active to **WAIT_ACK** Active			15.2	ns
tread	**RD** or **ENB** Active to **WAIT_ACK** Inactive - 8-bit read - no pending prior write 注 13			235	ns
	RD or **ENB** Active to **WAIT_ACK** Inactive - 8-bit read - 8-bit pending prior write 注 13			435	ns
	RD or **ENB** Active to **WAIT_ACK** Inactive - 8-bit read - 16-bit pending prior write 注 13			495	ns
	RD or **ENB** Active to **WAIT_ACK** Inactive - 16-bit read - no pending prior write 注 13			315	ns
	RD or **ENB** Active to **WAIT_ACK** Inactive - 16-bit read - 8-bit pending prior write 注 13			515	ns
	RD or **ENB** Active to **WAIT_ACK** Inactive			575	ns

Funcience confidential

	- 16-bit read - 16-bit pending prior write 注 13				
twadv	**WAIT_ACK** Inactive to Data Valid - normal **WAIT_ACK**			5	ns
tdvwa	Data Valid Before **WAIT_ACK** Inactive – delayed **WAIT_ACK**	15			ns
tcswaz	**WAIT_ACK** Turn Off Time from **CS** Inactive			9	ns

表 7- 6 复用寻址写周期时序值

注 7: Dual Phase Addressing

注 8: Depends on **ALEHI / ALELO** order.

注 9: **ALELO** and/or **ALEHI** qualified with the **CS**.

注 10: **RD_WR** and **ENB** signaling.

注 11: No interposed address phase.

注 12: **RD** and **WR** signaling.

注 13: Add 20nS if delayed **WAIT_ACK** is enabled.

提示：Timing values are with respect to an equivalent test load of 25 pF.

Funcience confidential

7.7.1.3 写时序要求 - EtherCAT 间接访问模式

下面部分介绍在 EtherCAT 间接访问模式（不是在 EtherCAT 直接映射模式）时的时序要求。字节使能 **BE1/BE0** 在 EtherCAT 间接访问模式不使用并且不显示。如果 **WAIT_ACK** 使能输出，则显示始终保持无效。

如果使用 **RD** 和 **WR** 信号，当 **CS** 有效时将 **WR** 置为有效，主机写周期启动。当将 **WR** 置为无效时，该周期结束。**CS** 可能与 **WR** 一起置为有效和无效，而并非在 **WR** 有效期间。

或者，如果使用 **RD_WR** 和 **ENB** 信号，当 **CS** 有效时将 **ENB** 置为有效且 **RD_WR** 指示写操作时，主机写周期启动。当将 **ENB** 置为无效时，该周期结束。**CS** 可能与 ENB 一起置为有效和无效，而并非在 **ENB** 有效期间。

有关功能说明的信息，请参见章节 7.5.1 “HBIM 模式功能时序图”。

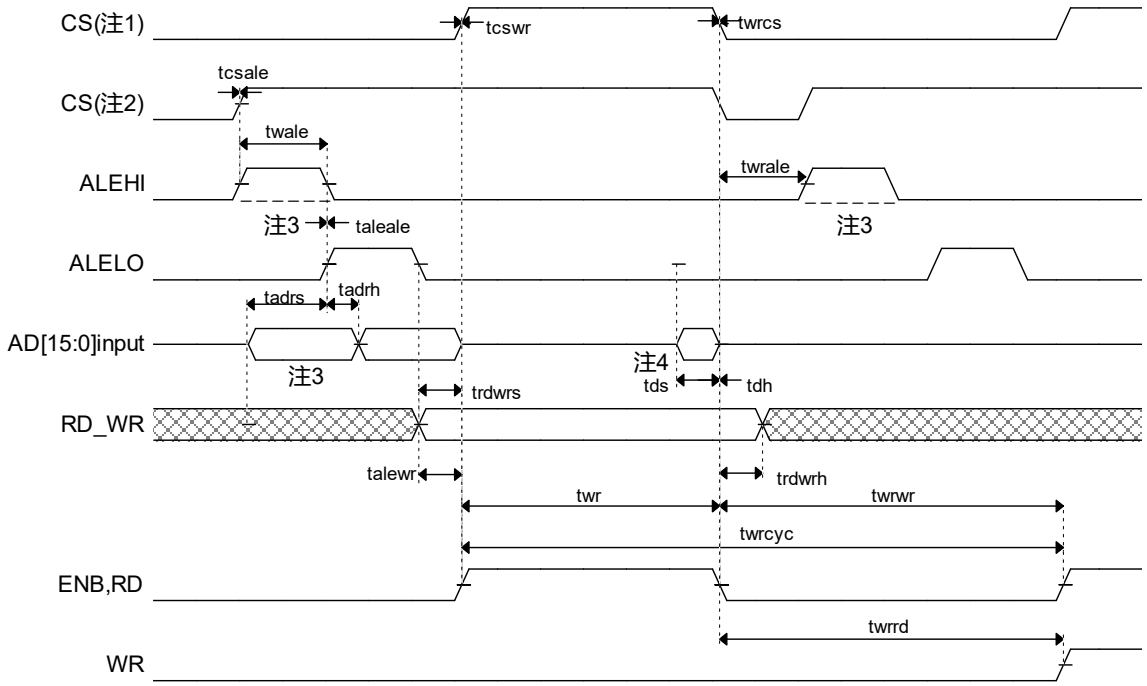


图 7- 64 复用寻址写周期时序

注 1：地址被 **ALEHI** 和 **ALELO** 锁存时，无 **CS** 要求。

注 2：地址被 **ALEHI** 和 **ALELO** 锁存时，仅要求 **CS** 有效。

注 3：在 HBIM1P 模式下，**ALELO** 对 **AD[15:0]**锁存得到地址，不使用 **ALEHI**。在 HBIM2P 模式下，**ALEHI** 和 **ALELO** 周期的顺序可以是任意的，即可以先 **ALEHI** 锁存高位地址再 **ALELO** 锁存低位地址；也可以先 **ALELO** 锁存低位地址再 ALEHI 锁存高位地址。图中表示的是先 **ALEHI** 锁存高位地址再 **ALELO** 锁存低位地址，其中 **ALELO** 对 **AD[7:0]**锁存得到低位地址，**ALEHI** 对 **AD[7:0]**锁存得到高位地址，**AD[15:8]**不作为地址。复用情况详见第 7.3.1.5 中的 HBIM 模式地址锁存以及数据复用总结。

注 4：在 8bit 模式下，数据只使用 **AD[7:0]**；在 16bit 模式下，数据使用 **AD[15:0]**。

注：本图描述了下降沿有效的 **ALEHI/ALELO** 和高电平有效的 **CS**、**RD**、**WR**、**RD_WR** 和 **ENB** 信号。

符号	说明	最小值	典型值	最大值	单位
tcsale	**CS** Setup to **ALELO**, **ALEHI** Active 注 16, 注 15	0			nS
tcswr	**CS** Setup to **WR** or **ENB** Active	0			nS
twrcs	**CS** Hold from **WR** or **ENB** Inactive	0			nS
twale	**ALELO**, **ALEHI** Pulse Width	10			nS
tadrs	Address Setup to **ALELO**, **ALEHI** Active	10			nS
tadrh	Address Hold from **ALELO**, **ALEHI** Inactive	5			nS
taleale	**ALELO** Inactive to **ALEHI** Active **ALEHI** Inactive to **ALELO** Active 注 14, 注 15	0			nS
talewr	**ALELO**, **ALEHI** Inactive to **WR** or **ENB** Active 注 15	5			nS
trdwrs	**RD_WR** Setup to **ENB** Active 注 17	5			nS
trdwrh	**RD_WR** Hold from **ENB** Inactive 注 17	5			nS
tds	Data Setup to **WR** or **ENB** Inactive	10			nS
tdh	Data Hold from **WR** or **ENB** Inactive	0			nS
twr	**WR** or **ENB** Active Time	32			nS
twrcyc	**WR** or **ENB** Cycle Time	45			nS
twrale	**WR** or **ENB** De-assertion Time before Address Phase	13			nS
twrwr	**WR** or **ENB** De-assertion Time before Next **WR** or **ENB** 注 18	13			nS
twrrd	**WR** De-assertion Time before Next RD 注 18, 注 19	13			nS

表 7- 7 复用寻址写周期时序值

注 14: Dual Phase Addressing
注 15: Depends on **ALEHI / ALELO** order.
注 16: **ALELO** and/or **ALEHI** qualified with the **CS**.
注 17: **RD_WR** and **ENB** signaling.
注 18: No interposed address phase.
注 19: **RD** and WR signaling.

Funcience confidential

7.7.1.4 Posted Write 时序要求 - EtherCAT 直接映射模式

下面部分介绍在 EtherCAT 直接映射模式时的功能时序图表。

如果 **WAIT_ACK** 使能输出，则它被使用表明何时写周期可能结束，此外主机必须假设列出的写访问时间的最坏情况。

当 **CS** 有效时 **WAIT_ACK** 输出，并且如果有一个之前的写入，**WAIT_ACK** 将有效。此外它将无效。The write strobe（**WR/ENB**）可能置为有效。一旦 **WAIT_ACK** 置为无效，the write strobe 可能置为无效。**WAIT_ACK** 根据一个有效的 **WR/ENB** 变有效。如果 CS 和 WR/ENB 同时置为无效，**WAIT_ACK** 释放并且可能看不到有效状态。

如果使用 **RD** 和 **WR** 信号，当 **CS** 有效时将 **WR** 置为有效，主机写周期启动。当将 WR 置为无效时，该周期结束。**CS** 可能与 **WR** 一起置为有效和无效，而并非在 **WR** 有效期间。

或者如果使用 **RD_WR** 和 **ENB** 信号，当 **CS** 有效时将 **ENB** 置为有效且 **RD_WR** 指示写操作时，主机写周期启动。当将 **ENB** 置为无效时，该周期结束。**CS** 可能与 **ENB** 一起置为有效和无效，而并非在 ENB 有效期间。

有关功能说明的信息，请参见章节 7.6.1 “HBIM 模式功能时序图”。

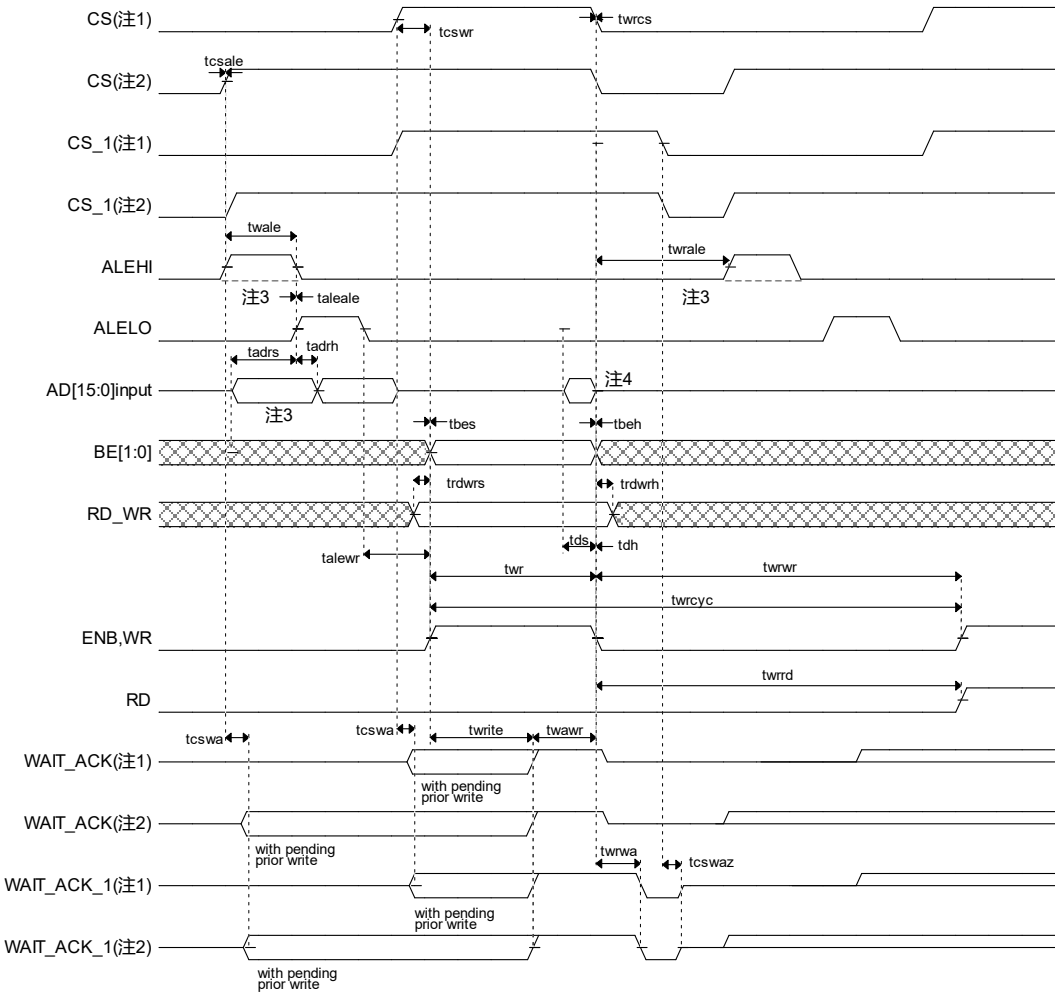


图 7- 65 复用寻址 Posted Write 周期时序

注 1：地址被 **ALEHI** 和 **ALELO** 锁存时，无 **CS** 要求。

注 2：地址被 **ALEHI** 和 **ALELO** 锁存时，仅要求 **CS** 有效。

注 3：在 HBIM1P 模式下，**ALELO** 对 **AD[15:0]**锁存得到地址，不使用 **ALEHI**。在 HBIM2P 模式下，**ALEHI** 和 **ALELO** 周期的顺序可以是任意的，即可以先 **ALEHI** 锁存高位地址再 **ALELO** 锁存低位地址；也可以先 **ALELO** 锁存低位地址再 **ALEHI** 锁存高位地址。图中表示的是先 **ALEHI** 锁存高位地址再 **ALELO** 锁存低位地址，其中 **ALELO** 对 **AD[7:0]**锁存得到低位地址，**ALEHI** 对 **AD[7:0]**锁存得到高位地址，**AD[15:8]**不作为地址。复用情况详见章节 7.3.1.5 中的 HBIM 模式地址锁存以及数据复用总结。

注 4：在 8bit 模式下，数据只使用 **AD[7:0]**；在 16bit 模式下，数据使用 **AD[15:0]**。

注： 本图描述了 push-pull 的 **WAIT_ACK**（0 表示等待，1 表示应答）、下降沿有效的 **ALEHI/ALELO** 和高电平有效的 **CS**、**RD**、**WR**、**RD_WR** 和 **ENB** 信号。

本图描述 EtherCAT 直接映射模式的 posted 写操作。

符号	说明	最小值	典型值	最大值	单位
tcsale	**CS** Setup to **ALELO**, **ALEHI** Active（注 22, 注 21）	0			ns
tcswr	**CS** Setup to **WR** or **ENB** Active	0			ns
twrcs	**CS** Hold from **WR** or **ENB** Inactive	0			ns
twale	**ALELO**, **ALEHI** Pulse Width	10			ns
tadrs	Address Setup to **ALELO**, **ALEHI** Active	10			ns
tadrh	Address Hold from **ALELO**, **ALEHI** Inactive	5			ns
taleale	**ALELO** Inactive to **ALEHI** Active **ALEHI** Inactive to **ALELO** Active 注 20, 注 21	0			ns
talewr	**ALELO**, **ALEHI** Inactive to **WR** or **ENB** Active（注 21）	5			ns
tbes	Byte Enable Setup to **WR** or **ENB** Active	0			ns
tbeh	Byte Enable Hold from **WR** or **ENB** Inactive	0			ns
trdwrs	**RD_WR** Setup to **ENB** Active（注 23）	5			ns
trdwrh	**RD_WR** Hold from **ENB** Inactive（注 23）	5			ns
tds	Data Setup to **WR** or **ENB** Inactive	10			ns
tdh	Data Hold from **WR** or **ENB** Inactive	0			ns
twr	**WR** or **ENB** Active Time - no pending prior write	32			ns
twrcyc	**WR** or **ENB** Cycle Time - no pending prior write	45			ns
twrale	**WR** or **ENB** De-assertion Time before Address Phase	13			ns
twrwr	**WR** or **ENB** De-assertion Time before Next **WR** or **ENB**（注 24）	13			ns
twrrd	**WR** De-assertion Time before Next **RD**（注 24, 注 25）	13			ns
tcswa	**CS** Active to **WAIT_ACK** Valid			10	ns
twrite	**WR** or **ENB** Active to **WAIT_ACK** Inactive - pending prior 8-bit write			200	ns
	WR or **ENB** Active to **WAIT_ACK** Inactive - pending prior 16-bit write			280	ns
twawr	**WAIT_ACK** Inactive to **WR** or **ENB** Inactive	0			ns
twrwa	**WR** or **ENB** Inactive to **WAIT_ACK** Active（注 26）			10	ns
tcswaz	**WAIT_ACK** Turn Off Time from **CS** Inactive			9	ns

表 7- 8 复用寻址 Posted Write 周期时序值

注 20: Dual Phase Addressing

注 21: Depends on **ALEHI / ALELO** order.

注 22: **ALELO** and/or **ALEHI** qualified with the **CS**.

注 23: **RD_WR** and **ENB** signaling.

注 24: No interposed address phase.

注 25: **RD** and **WR** signaling.

注 26: If not three-stated first.

Funcience confidential

7.7.1.5 Non-Posted Write 时序要求 - EtherCAT 直接映射模式

下面部分介绍在 EtherCAT 直接映射模式时的功能时序图表。

如果 **WAIT_ACK** 使能输出，则它被使用表明何时写周期可能结束，此外主机必须假设列出的写访问时间的最坏情况。

当 **CS** 有效时 **WAIT_ACK** 输出。**WAIT_ACK** 将在最初无效并且 write strobe（**WR/ENB**）有效它将有效。一旦 **WAIT_ACK** 置为无效，the write strobe 可能置为无效。

如果使用 **RD** 和 **WR** 信号，当 **CS** 有效时将 WR 置为有效，主机写周期启动。当将 **WR** 置为无效时，该周期结束。**CS** 可能与 **WR** 一起置为有效和无效，而并非在 **WR** 有效期间。

或者如果使用 **RD_WR** 和 **ENB** 信号，当 **CS** 有效时将 **ENB** 置为有效且 **RD_WR** 指示写操作时，主机写周期启动。当将 **ENB** 置为无效时，该周期结束。**CS** 可能与 **ENB** 一起置为有效和无效，而并非在 **ENB** 有效期间。

有关功能说明的信息，请参见章节 7.6.1 “HBIM 模式功能时序图”。

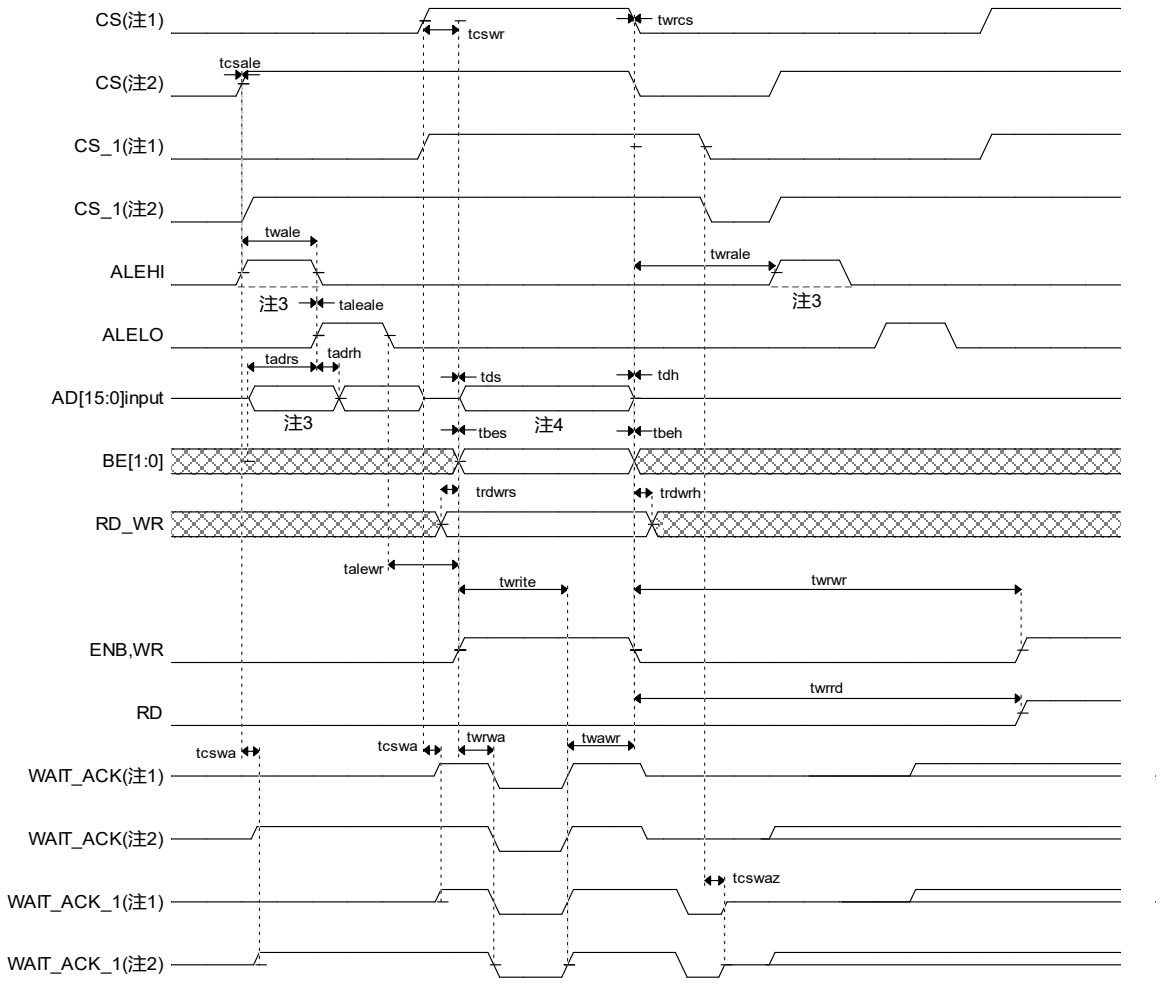


图 7- 66 复用寻址 Non-Posted Write 周期时序

注 1：地址被 **ALEHI** 和 **ALELO** 锁存时，无 **CS** 要求。

注 2：地址被 **ALEHI** 和 **ALELO** 锁存时，仅要求 **CS** 有效。

注 3：在 HBIM1P 模式下，**ALELO** 对 **AD[15:0]**锁存得到地址，不使用 **ALEHI**。在 HBIM2P 模式下，**ALEHI** 和 **ALELO** 周期的顺序可以是任意的，即可以先 **ALEHI** 锁存高位地址再 **ALELO** 锁存低位地址；也可以先 **ALELO** 锁存低位地址再 **ALEHI** 锁存高位地址。图中表示的是先 **ALEHI** 锁存高位地址再 **ALELO** 锁存低位地址，其中 **ALELO** 对 **AD[7:0]**锁存得到低位地址，**ALEHI** 对 **AD[7:0]**锁存得到高位地址，**AD[15:8]**不作为地址。复用情况详见第 7.3.1.5 中的 HBIM 模式地址锁存以及数据复用总结。

注 4：在 8bit 模式下，数据只使用 **AD[7:0]**；在 16bit 模式下，数据使用 **AD[15:0]**。

注：本图描述了 push-pull 的 **WAIT_ACK**（0 表示等待，1 表示应答）、下降沿有效的 **ALEHI/ALELO** 和高电平有效的 **CS**、**RD**、**WR**、**RD_WR** 和 **ENB** 信号。

本图描述 EtherCAT 直接映射模式的 non-posted 写操作。

符号	说明	最小值	典型值	最大值	单位
tcsale	**CS** Setup to **ALELO**, **ALEHI** Active 注 29, 注 28	0			ns
tcswr	**CS** Setup to **WR** or **ENB** Active	0			ns
twrcs	**CS** Hold from **WR** or **ENB** Inactive	0			ns
twale	**ALELO**, **ALEHI** Pulse Width	10			ns
tadrs	Address Setup to **ALELO**, **ALEHI** Active	10			ns
tadrh	Address Hold from **ALELO**, **ALEHI** Inactive	5			ns
taleale	**ALELO** Inactive to **ALEHI** Active **ALEHI** Inactive to **ALELO** Active 注 27, 注 28	0			ns
talewr	**ALELO**, **ALEHI** Inactive to **WR** or **ENB** Active 注 28	5			ns
tbes	Byte Enable Setup to **WR** or **ENB** Active	0			ns
tbeh	Byte Enable Hold from **WR** or **ENB** Inactive	0			ns
trdwrs	**RD_WR** Setup to **ENB** Active 注 30	5			ns
trdwrh	**RD_WR** Hold from **ENB** Inactive 注 30	5			ns
tds	Data Setup to **WR** or **ENB** Inactive	10			ns
tdh	Data Hold from **WR** or **ENB** Inactive	0			ns
twrale	**WR** or **ENB** De-assertion Time before Address Phase	13			ns
twrwr	**WR** or **ENB** De-assertion Time before Next **WR** or **ENB** 注 31	13			ns
twrrd	**WR** De-assertion Time before Next **RD** 注 31, 注 32	13			ns
tcswa	**CS** Active to WAIT_**ACK** Valid			10	ns
twrwa	**WR** or **ENB** Inactive to **WAIT_ACK** Active			14.6	ns
twrite	**WR** or **ENB** Active to **WAIT_ACK** Inactive - 8-bit write			200	ns
	WR or **ENB** Active to **WAIT_ACK** Inactive - 16-bit write			280	ns
twawr	**WAIT_ACK** Inactive to **WR** or **ENB** Inactive	0			ns
tcswaz	**WAIT_ACK** Turn Off Time from **CS** Inactive			9	ns

表 7- 9 复用寻址 Non-Posted Write 周期时序值

注 27: Dual Phase Addressing

注 28: Depends on **ALEHI / ALELO** order.

注 29: **ALELO** and/or **ALEHI** qualified with the **CS**.

注 30: **RD_WR** and **ENB** signaling.

注 31: No interposed address phase.

注 32: **RD** and **WR** signaling.

Funcience confidential

7.7.2 HBID 模式时序要求

以下图表规定了 HBID 模式期间的时序要求。由于不同操作（例如，8 位和 16 位）间的时序要求是类似的，因此许多时序要求在相同的图中进行了说明，而不必针对任何特定的功能操作单独说明。

对于本节中的时序规范，应注意以下几点：

本节中的图表描述了 push-pull 的 **WAIT_ACK**（0 表示等待，1 表示应答）和高电平有效的 **CS**、**RD** 和 **WR** 信号。这些信号的极性可分别通过 PDI 配置寄存器（HBI 模式）的 HBI WAIT_ACK 极性、HBI 片选极性、 HBI 读取以及读/写极性和 HBI 写入以及使能极性位选择。更多详细信息，请参见章节 7.2.2 “控制线极性和缓冲器类型”。

一个读周期可以遵循一个写周期或另一个读周期。一个写周期可以跟着读周期或另一个写周期。这些在斜线阴影部分显示。

7.7.2.1 读时序要求 - EtherCAT 间接访问模式

下面部分介绍在 EtherCAT 间接访问模式（不是在 EtherCAT 直接映射模式）时的时序要求。字节使能 **BE1/BE0** 在 EtherCAT 间接访问模式不使用并且不显示。如果 **WAIT_ACK** 使能输出，则显示始终保持无效。

如果使用 **RD** 和 **WR** 信号，当 **CS** 有效时将 **RD** 置为有效，主机读周期启动。当将 **RD** 置为无效时，该周期结束。**CS** 可能与 **RD** 一起置为有效和无效，而并非在 RD 有效期间。

或者，如果使用 **RD_WR** 和 **ENB** 信号，当 **CS** 有效时将 **ENB** 置为有效且 **RD_WR** 指示读操作时，主机读周期启动。当将 **ENB** 置为无效时，该周期结束。**CS** 可能与 **ENB** 一起置为有效和无效，而并非在 **ENB** 有效期间。

有关功能说明的信息，请参见章节 7.5.2 “HBID 模式功能时序图”。

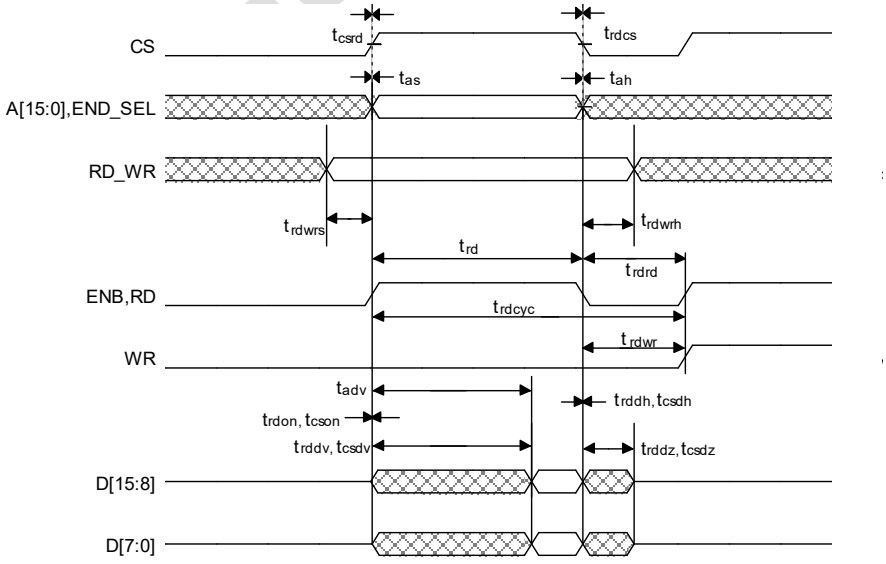


图 7- 67 HBID 读周期时序

注：本图描述了高电平有效的 **CS**、**RD**、**WR**、**RD_WR** 和 **ENB** 信号。

符号	说明	最小值	典型值	最大值	单位
tcsrd	**CS** Setup to **RD** or **ENB** Active	0			ns
trdcs	**CS** Hold from **RD** or **ENB** Inactive	0			ns
tas	Address, **END_SEL** Setup to **RD** or **ENB** Active	0			ns
tah	Address, **END_SEL** Hold from **RD** or **ENB** Inactive	0			ns
trdwrs	**RD_WR** Setup to **ENB** Active 注 33	5			ns
trdwrh	**RD_WR** Hold from **ENB** Inactive 注 33	5			ns
trdon	**RD** or **ENB** to Data Buffer Turn On	0			ns
trddv	**RD** or **ENB** Active to Data Valid			30	ns
trddh	Data Output Hold Time from **RD** or **ENB** Inactive	0			ns
trddz	Data Buffer Turn Off Time from **RD** or **ENB** Inactive			9	ns
tcson	**CS** to Data Buffer Turn On	0			ns
tcsdv	**CS** Active to Data Valid			30	ns
tcsdh	Data Output Hold Time from **CS** Inactive	0			ns
tcsdz	Data Buffer Turn Off Time from **CS** Inactive			9	ns
tadv	Address, **END_SEL** to Data Valid			30	ns
trd	**RD** or **ENB** Active Time	32			ns
trdcyc	**RD** or **ENB** Cycle Time	45			ns
trdrd	**RD** or **ENB** De-assertion Time before Next **RD** or **ENB**	13			ns
trdwr	**RD** De-assertion Time before Next **WR** 注 34	13			ns

表 7- 10 HBID 读周期时序值

注 33: **RD_WR** and **ENB** signaling.

注 34: **RD** and **WR** signaling.

Funcience confidential

7.7.2.2 读时序要求 - EtherCAT 直接映射模式

在 EtherCAT 直接映射模式模式下，以下部分提供时间要求。

如果启用了输出，**WAIT_ACK** 被用来指示数据被捕获，否则主机必须假设最差的数据访问时间。**WAIT_ACK** 在 **CS** 有效的时候输出，并且由于之前的写入未完成不总是有效，就变成在 **RD** 或 **ENB** 上有效。如果 **CS** 和 **RD/ENB** 同时的，**WAIT_ACK** 驱动有效。

如果使用 **RD** 和 **WR** 信号，当 **CS** 有效时将 **RD** 置为有效，主机读周期启动。当将 **RD** 置为无效时，该周期结束。**CS** 可能与 **RD** 一起置为有效和无效，而并非在 **RD** 有效期间。

或者，如果使用 **RD_WR** 和 **ENB** 信号，当 **CS** 有效时将 **ENB** 置为有效且 **RD_WR** 指示读操作时，主机读周期启动。当将 **ENB** 置为无效时，该周期结束。**CS** 可能与 **ENB** 一起置为有效和无效，而并非在 **ENB** 有效期间。

有关功能说明的信息，请参见章节 7.6.2 “HBID 模式功能时序图”。

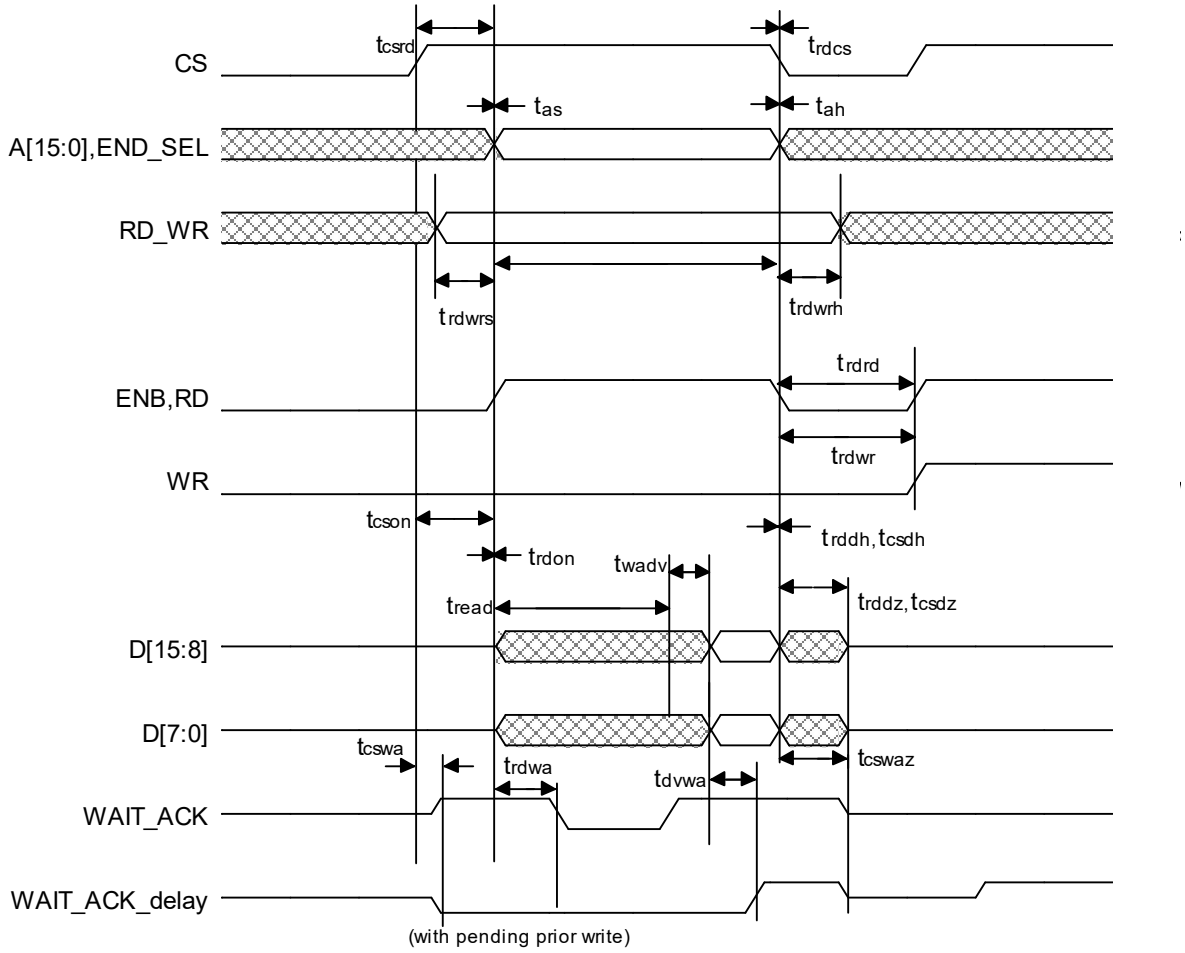


图 7- 68 HBID 读周期时序

注：本图描述了 push-pull 的 **WAIT_ACK**（0 表示等待，1 表示应答）和高电平有效的 **CS**、**RD**、**WR**、**RD_WR** 和 **ENB** 信号。

符号	说明	最小值	典型值	最大值	单位
tcsrd	**CS** Setup to **RD** or **ENB** Active	0			ns
trdcs	**CS** Hold from **RD** or **ENB** Inactive	0			ns
tas	Address, **END_SEL** Setup to **RD** or **ENB** Active	0			ns
tah	Address, **END_SEL** Hold from **RD** or **ENB** Inactive	0			ns
trdwrs	**RD_WR** Setup to **ENB** Active 注 35	5			ns
trdwrh	**RD_WR** Hold from **ENB** Inactive 注 35	5			ns
trdon	**RD** or **ENB** to Data Buffer Turn On	0			ns
trddh	Data Output Hold Time from **RD** or **ENB** Inactive	0			ns
trddz	Data Buffer Turn Off Time from **RD** or **ENB** Inactive			9	ns
tcson	**CS** to Data Buffer Turn On	0			ns
tcsdh	Data Output Hold Time from **CS** Inactive	0			ns
tcsdz	Data Buffer Turn Off Time from **CS** Inactive			9	ns
trdrd	**RD** or **ENB** De-assertion Time before Next **RD** or **ENB**	13			ns
trdwr	**RD** De-assertion Time before Next **WR** 注 36	13			ns
tcswa	**CS** Active to **WAIT_ACK** Valid			10	ns
trdwa	**RD** or **ENB** Active to **WAIT_ACK** Active			15.3	nS
tread	**RD** or **ENB** Active to **WAIT_ACK** Inactive - 8-bit read - no pending prior write 注 37			235	ns
	RD or **ENB** Active to **WAIT_ACK** Inactive - 8-bit read - 8-bit pending prior write 注 37			435	ns
	RD or **ENB** Active to **WAIT_ACK** Inactive - 8-bit read - 16-bit pending prior write 注 37			495	ns
	RD or **ENB** Active to **WAIT_ACK** Inactive - 16-bit read - no pending prior write 注 37			315	ns
	RD or **ENB** Active to **WAIT_ACK** Inactive - 16-bit read - 8-bit pending prior write 注 37			515	ns
	RD or **ENB** Active to **WAIT_ACK** Inactive - 16-bit read - 16-bit pending prior write 注 37			575	ns
twadv	**WAIT_ACK** Inactive to Data Valid - normal **WAIT_ACK**			5	ns
tdvwa	Data Valid Before **WAIT_ACK** Inactive - delayed **WAIT_ACK**	15			ns
tcswaz	**WAIT_ACK** Turn Off Time from **CS** Inactive			9	ns

表 7- 11 HBID 读周期时序值

注 35: **RD_WR** and **ENB** signaling.

注 36: **RD** and **WR** signaling.

注 37: Add 20nS if delayed **WAIT_ACK** is enabled.

提示： Timing values are with respect to an equivalent test load of 25 pF.

Funcience confidential

7.7.2.3 写时序要求 - EtherCAT 间接访问模式

下面部分介绍在 EtherCAT 间接访问模式（不是在 EtherCAT 直接映射模式）时的时序要求。字节使能 **BE1/BE0** 在 EtherCAT 间接访问模式不使用并且不显示。如果 **WAIT_ACK** 使能输出，则显示始终保持无效。

如果使用 **RD** 和 **WR** 信号，当 **CS** 有效时将 **WR** 置为有效，主机写周期启动。当将 **WR** 置为无效时，该周期结束。**CS** 可能与 **WR** 一起置为有效和无效，而并非在 **WR** 有效期间。

或者，如果使用 **RD_WR** 和 **ENB** 信号，当 **CS** 有效时将 **ENB** 置为有效且 **RD_WR** 指示写操作时，主机写周期启动。当将 **ENB** 置为无效时，该周期结束。**CS** 可能与 **ENB** 一起置为有效和无效，而并非在 **ENB** 有效期间。

有关功能说明的信息，请参见章节 7.5.2 “HBID 模式功能时序图”。

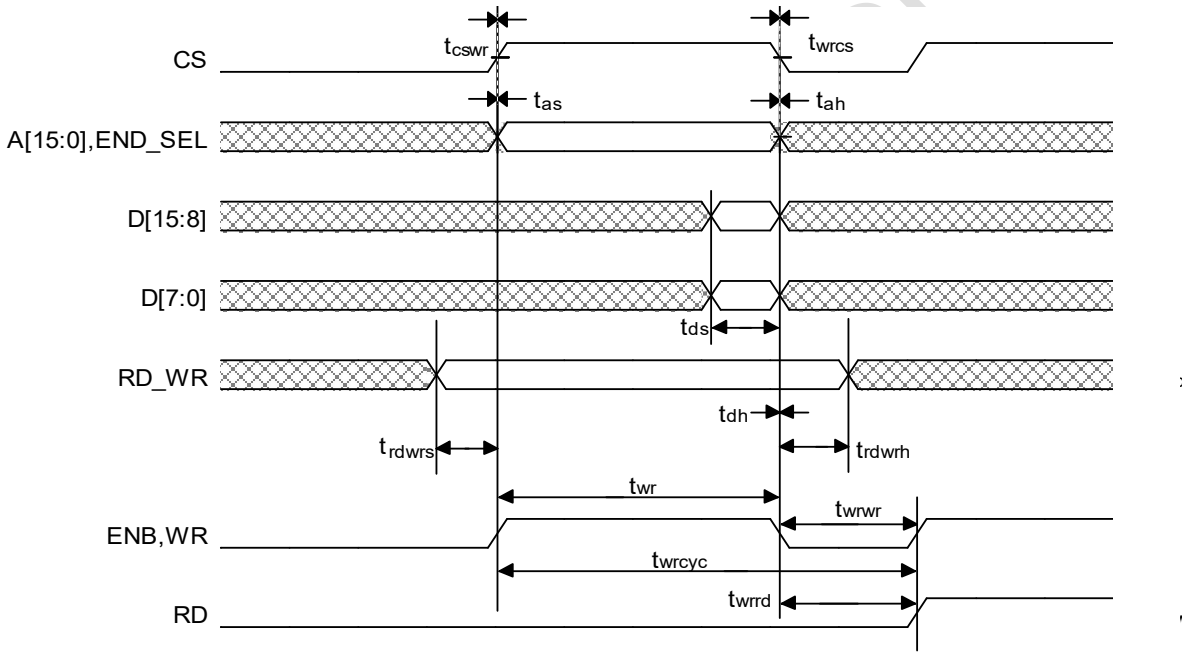


图 7- 69 HBID 写周期时序

注：本图描述了高电平有效的 **CS**、 **RD**、**WR**、**RD_WR** 和 **ENB** 信号。

符号	说明	最小值	典型值	最大值	单位
tcswr	**CS** Setup to **RD** or **ENB** Active	0			ns
twrcs	**CS** Hold from **RD** or **ENB** Inactive	0			ns
tas	Address, **END_SEL** Setup to **RD** or **ENB** Active	0			ns
tah	Address, **END_SEL** Hold from **RD** or **ENB** Inactive	0			ns
trdwrs	**RD_WR** Setup to **ENB** Active 注 38	5			ns
trdwrh	**RD_WR** Hold from **ENB** Inactive 注 38	5			ns
tds	Data Setup to **WR** or **ENB** Inactive	10			ns
tdh	Data Hold from **WR** or **ENB** Inactive	0			ns
twr	**WR** or **ENB** Active Time	32			ns
twrcyc	**WR** or **ENB** Cycle Time	45			ns
twrwr	**WR** or **ENB** De-assertion Time before Next **WR** or **ENB**	13			ns
twrrd	**WR** De-assertion Time before Next **RD** 注 39	13			ns

表 7- 12 HBID 写周期时序值

注 38: **RD_WR** and **ENB** signaling.

注 39: **RD** and **WR** signaling.

Funcience confidential

7.7.2.4 Posted Write 时序要求 - EtherCAT 直接映射模式

下面部分介绍在 EtherCAT 直接映射模式时的功能时序图表。

如果 **WAIT_ACK** 使能输出，则它被使用表明何时写周期可能结束，此外主机必须假设列出的写访问时间的最坏情况。

当 **CS** 有效时 **WAIT_ACK** 输出，并且如果有一个之前的写入，**WAIT_ACK** 将有效。此外它将无效。The write strobe（**WR/ENB**）可能置为有效。一旦 **WAIT_ACK** 置为无效，the write strobe 可能置为无效。**WAIT_ACK** 根据一个有效的 **WR/ENB** 变有效。如果 **CS** 和 **WR/ENB** 同时置为无效，**WAIT_ACK** 释放并且可能看不到有效状态。

如果使用 **RD** 和 **WR** 信号，当 **CS** 有效时将 **WR** 置为有效，主机写周期启动。当将 **WR** 置为无效时，该周期结束。**CS** 可能与 **WR** 一起置为有效和无效，而并非在 **WR** 有效期间。

或者，如果使用 **RD_WR** 和 **ENB** 信号，当 **CS** 有效时将 **ENB** 置为有效且 **RD_WR** 指示写操作时，主机写周期启动。当将 **ENB** 置为无效时，该周期结束。**CS** 可能与 **ENB** 一起置为有效和无效，而并非在 **ENB** 有效期间。

有关功能说明的信息，请参见章节 7.6.2 “HBID 模式功能时序图”。

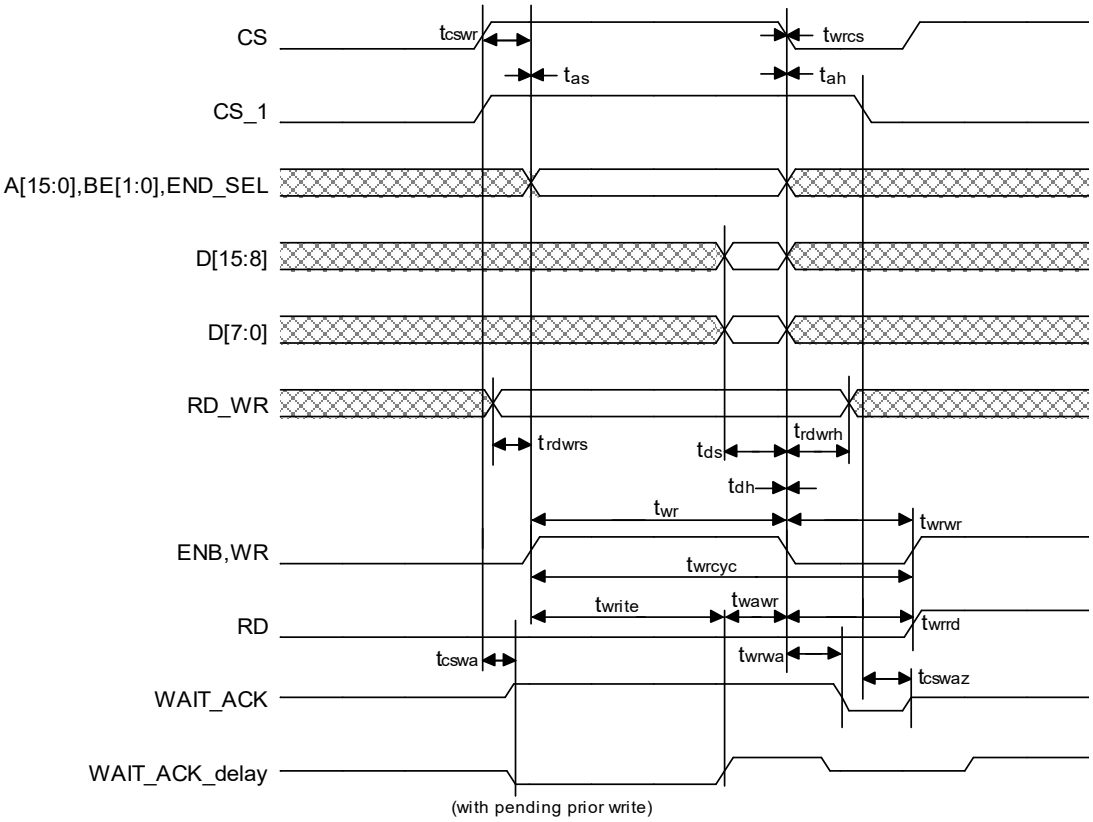


图 7- 70 HBID Posted Write 周期时序

注：本图描述了 push-pull 的 **WAIT_ACK**（0 表示等待，1 表示应答）和高电平有效的 **CS**、**RD**、**WR**、**RD_WR** 和 **ENB** 信号。
本图描述 EtherCAT 直接映射模式的 posted 写操作。

符号	说明	最小值	典型值	最大值	单位
tcswr	**CS** Setup to **RD** or **ENB** Active	0			ns
twrcs	**CS** Hold from **RD** or **ENB** Inactive	0			ns
tas	Address, **END_SEL** Setup to **RD** or **ENB** Active	0			ns
tah	Address, **END_SEL** Hold from **RD** or **ENB** Inactive	0			ns
trdwrs	**RD_WR** Setup to **ENB** Active 注 40	5			ns
trdwrh	**RD_WR** Hold from **ENB** Inactive 注 40	5			ns
tds	Data Setup to **WR** or **ENB** Inactive	10			ns
tdh	Data Hold from **WR** or **ENB** Inactive	0			ns
twr	**WR** or **ENB** Active Time	32			ns
twrcyc	**WR** or **ENB** Cycle Time	45			ns
twrwr	**WR** or **ENB** De-assertion Time before Next **WR** or **ENB**	13			ns
twrrd	**WR** De-assertion Time before Next **RD** 注 41	13			ns
tcswa	**CS** Active to **WAIT_ACK** Valid			10	ns
twrite	**WR** or **ENB** Active to **WAIT_ACK** Inactive - pending prior 8-bit write			200	ns
	WR or **ENB** Active to **WAIT_ACK** Inactive - pending prior 16-bit write			280	ns
twawr	**WAIT_ACK** Inactive to **WR** or **ENB** Inactive	0			ns
twrwa	**WR** or **ENB** Inactive to **WAIT_ACK** Active 注 42			14.4	ns
tcswaz	**WAIT_ACK** Turn Off Time from **CS** Inactive			9	ns

表 7- 13 HBID Posted Write 周期时序值

注 40: **RD_WR** and **ENB** signaling.

注 41: **RD** and **WR** signaling.

注 42: If not three-stated first.

7.7.2.5

Funcience confidential

Funcience confidential

7.7.2.6 Non-Posted Write 时序要求- EtherCAT 直接映射模式

下面部分介绍在 EtherCAT 直接映射模式时的功能时序图表。

如果 **WAIT_ACK** 使能输出，则它被使用表明何时写周期可能结束，此外主机必须假设列出的写访问时间的最坏情况。

当 **CS** 有效时 **WAIT_ACK** 输出。**WAIT_ACK** 将在最初无效并且 write strobe（**WR/ENB**）有效它将有效。一旦 **WAIT_ACK** 置为无效，the write strobe 可能置为无效。

如果使用 **RD** 和 **WR** 信号，当 **CS** 有效时将 **WR** 置为有效，主机写周期启动。当将 **WR** 置为无效时，该周期结束。**CS** 可能与 **WR** 一起置为有效和无效，而并非在 **WR** 有效期间。

或者，如果使用 **RD_WR** 和 **ENB** 信号，当 **CS** 有效时将 **ENB** 置为有效且 **RD_WR** 指示写操作时，主机写周期启动。当将 **ENB** 置为无效时，该周期结束。**CS** 可能与 **ENB** 一起置为有效和无效，而并非在 **ENB** 有效期间。

有关功能说明的信息，请参见章节 7.6.2 “HBID 模式功能时序图”。

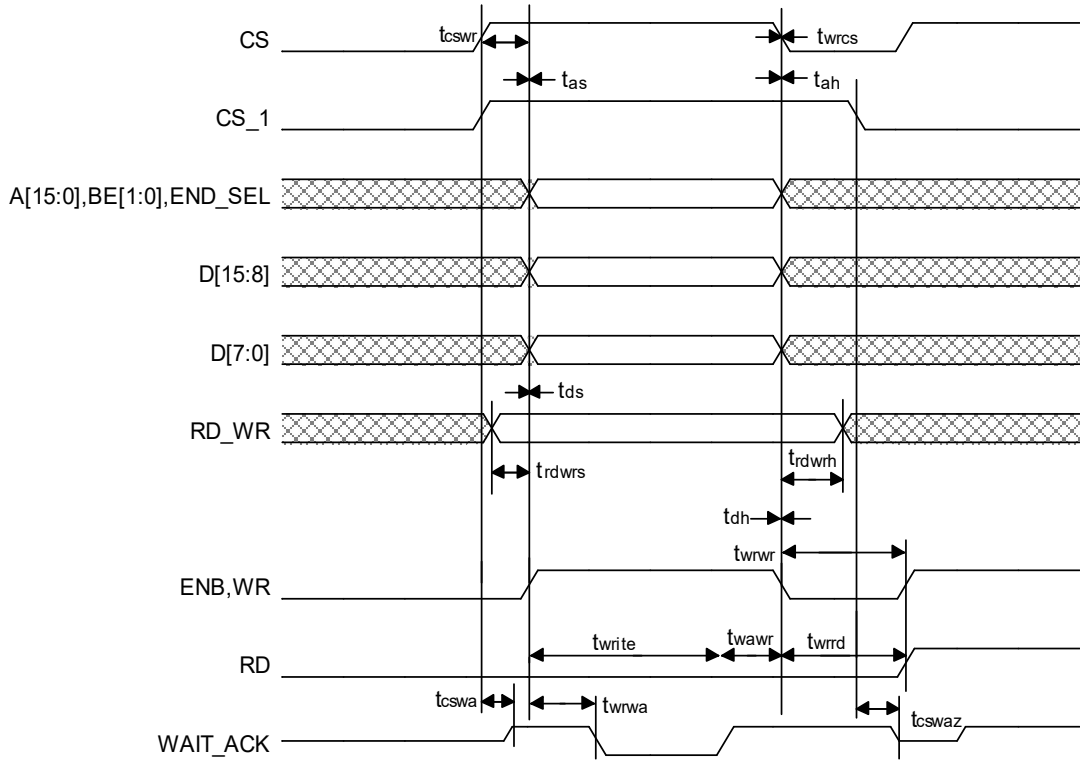


图 7- 71 HBID Non- Posted Write 周期时序

注：本图描述了 push-pull 的 **WAIT_ACK**（0 表示等待，1 表示应答）和高电平有效的 **CS**、**RD**、**WR**、**RD_WR** 和 **ENB** 信号。
本图描述 EtherCAT 直接映射模式的 non-posted 写操作。

符号	说明	最小值	典型值	最大值	单位
tcswr	**CS** Setup to **RD** or **ENB** Active	0			ns
twrcs	**CS** Hold from **RD** or **ENB** Inactive	0			ns
tas	Address, **END_SEL** Setup to **RD** or **ENB** Active	0			ns
tah	Address, **END_SEL** Hold from **RD** or **ENB** Inactive	0			ns
trdwrs	**RD_WR** Setup to **ENB** Active 注 43	5			ns
trdwrh	**RD_WR** Hold from **ENB** Inactive 注 43	5			ns
tds	Data Setup to **WR** or **ENB** Inactive	0			ns
tdh	Data Hold from **WR** or **ENB** Inactive	0			ns
twrwr	**WR** or **ENB** De-assertion Time before Next **WR** or **ENB**	13			ns
twrrd	**WR** De-assertion Time before Next **RD** 注 44	13			ns
tcswa	**CS** Active to **WAIT_ACK** Valid			10	ns
twrwa	**WR** or **ENB** Active to **WAIT_ACK** Active			14.6	ns
twrite	**WR** or **ENB** Active to **WAIT_ACK** Inactive - 8-bit write			200	ns
	WR or **ENB** Active to **WAIT_ACK** Inactive - 16-bit write			280	ns
twawr	**WAIT_ACK** Inactive to **WR** or **ENB** Inactive	0			ns
tcswaz	**WAIT_ACK** Turn Off Time from **CS** Inactive			9	ns

表 7- 14 HBID Non- Posted Write 周期时序值

注 43: **RD_WR** and **ENB** signaling.

注 44: **RD** and **WR** signaling.

Funcience confidential

7.7.3 HBII 模式时序要求

以下图表规定了 HBII 模式期间的时序要求。由于不同操作（例如，8 位和 16 位，Index、配置和数据寄存器，Index 寄存器旁路 FIFO 通道）间的时序要求是类似的，因此许多时序要求在相同的图中进行了说明，而不必针对任何特定的功能操作单独说明。

对于本节中的时序规范，应注意以下几点：

- 本节中的时序图描述了 push-pull 的 **WAIT_ACK**（0 表示等待，1 表示应答）和高电平有效的 **CS**、**RD**、**WR**、**RD_WR** 和 **ENB** 信号。这些信号的极性可分别通过 PDI 配置寄存器（HBI 模式）的 HBI ALE 极性、HBI 片选极性、HBI 读取以及读/写极性和 HBI 写入以及使能极性位选择。更多详细信息参考章节 7.2.2“控制线极性和缓冲器类型”。
- 读周期后可能跟着地址周期、写周期或另一个读周期。写周期后可能跟着读周期或另一个写周期。这些用虚线表示。

7.7.3.1 读时序要求- EtherCAT 间接访问模式

下面部分介绍在 EtherCAT 间接访问模式（不是在 EtherCAT 直接映射模式）时的时序要求。如果 **WAIT_ACK** 使能输出，则显示始终保持无效。

如果使用 **RD** 和 **WR** 信号，当 **CS** 有效时将 **RD** 置为有效，主机读周期启动。当将 **RD** 置为无效时，该周期结束。**CS** 可能与 **RD** 一起置为有效和无效，而并非在 **RD** 有效期间。

或者如果使用 **RD_WR** 和 **ENB** 信号，当 **CS** 有效时将 **ENB** 置为有效且 **RD_WR** 指示读操作时，主机读周期启动。当将 **ENB** 置为无效时，该周期结束。**CS** 可能与 **ENB** 一起置为有效和无效，而并非在 **ENB** 有效期间。

有关功能说明的信息，请参见章节 7.5.3 “HBII 模式功能时序图”。

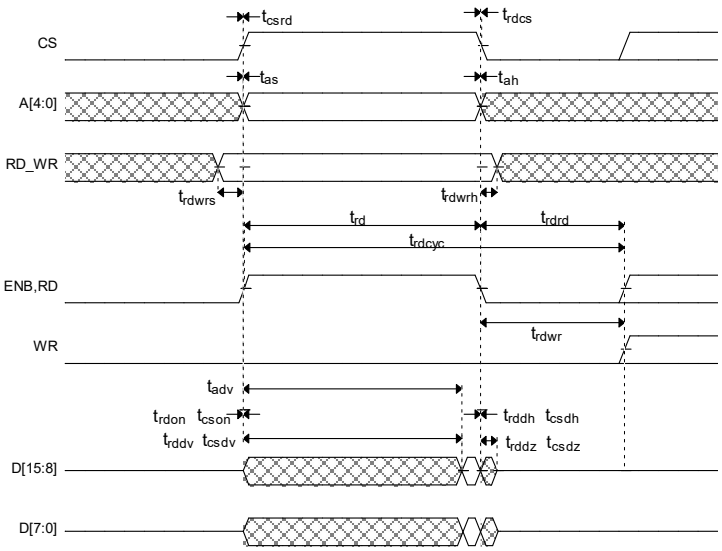


图 7- 72 HBII 读周期时序

注：本图描述了 push-pull 的 WAIT_ACK（0 表示等待，1 表示应答）和高电平有效的 **CS**、**RD**、**WR**、**RD_WR** 和 **ENB** 信号。

符号	说明	最小值	典型值	最大值	单位
tcsrd	**CS** Setup to **RD** or **ENB** Active	0			ns
trdcs	**CS** Hold from **RD** or **ENB** Inactive	0			ns
tas	Address Setup to **RD** or **ENB** Active	0			ns
tah	Address Hold from **RD** or **ENB** Inactive	0			ns
trdwrs	**RD_WR** Setup to **ENB** Active 注 45	5			ns
trdwrh	**RD_WR** Hold from **ENB** Inactive 注 45	5			ns
trdon	**RD** or **ENB** to Data Buffer Turn On	0			ns
trddv	**RD** or **ENB** Active to Data Valid			30	ns
trddh	Data Output Hold Time from **RD** or **ENB** Inactive	0			ns
trddz	Data Buffer Turn Off Time from **RD** or **ENB** Inactive			9	ns
tcson	**CS** to Data Buffer Turn On	0			ns
tcsdv	**CS** Active to Data Valid			30	ns
tcsdh	Data Output Hold Time from **CS** Inactive	0			ns
tcsdz	Data Buffer Turn Off Time from **CS** Inactive			9	ns
tadv	Address to Data Valid			30	ns
trd	**RD** or **ENB** Active Time	32			ns
trdcyc	**RD** or **ENB** Cycle Time	45			ns
trdrd	**RD** or **ENB** De-assertion Time before Next **RD** or **ENB**	13			ns
trdwr	**RD** De-assertion Time before Next **WR** 注 46	13			ns

表 7- 15 HBII 读周期时序值

注 45: **RD_WR** and **ENB** signaling.
注 46: **RD** and **WR** signaling.

提示: Timing values are with respect to an equivalent test load of 25 pF.

Funcience confidential

7.7.3.2 读时序要求- EtherCAT 直接映射模式

下面部分介绍在 EtherCAT 直接映射模式时的功能时序图表。

如果 **WAIT_ACK** 使能输出，则它被使用表明何时有效数据被捕捉，此外主机必须假设列出的数据访问时间的最坏情况。

当 **CS** 有效时 **WAIT_ACK** 输出，并且由于一个之前的写入，**WAIT_ACK** 先前未有效，根据 **RD** 或 **ENB** 变有效。如果 **CS** 和 **RD/ENB** 同时都有效，**WAIT_ACK** 有效驱动。

如果使用 **RD** 和 **WR** 信号，当 **CS** 有效时将 **RD** 置为有效，主机读周期启动。当将 **RD** 置为无效时，该周期结束。**CS** 可能与 **RD** 一起置为有效和无效，而并非在 **RD** 有效期间。

或者，如果使用 **RD_WR** 和 **ENB** 信号，当 **CS** 有效时将 **ENB** 置为有效且 **RD_WR** 指示读操作时，主机读周期启动。当将 **ENB** 置为无效时，该周期结束。**CS** 可能与 **ENB** 一起置为有效和无效，而并非在 **ENB** 有效期间。

有关功能说明的信息，请参见章节 7.6.3 “HBII 模式功能时序图”。

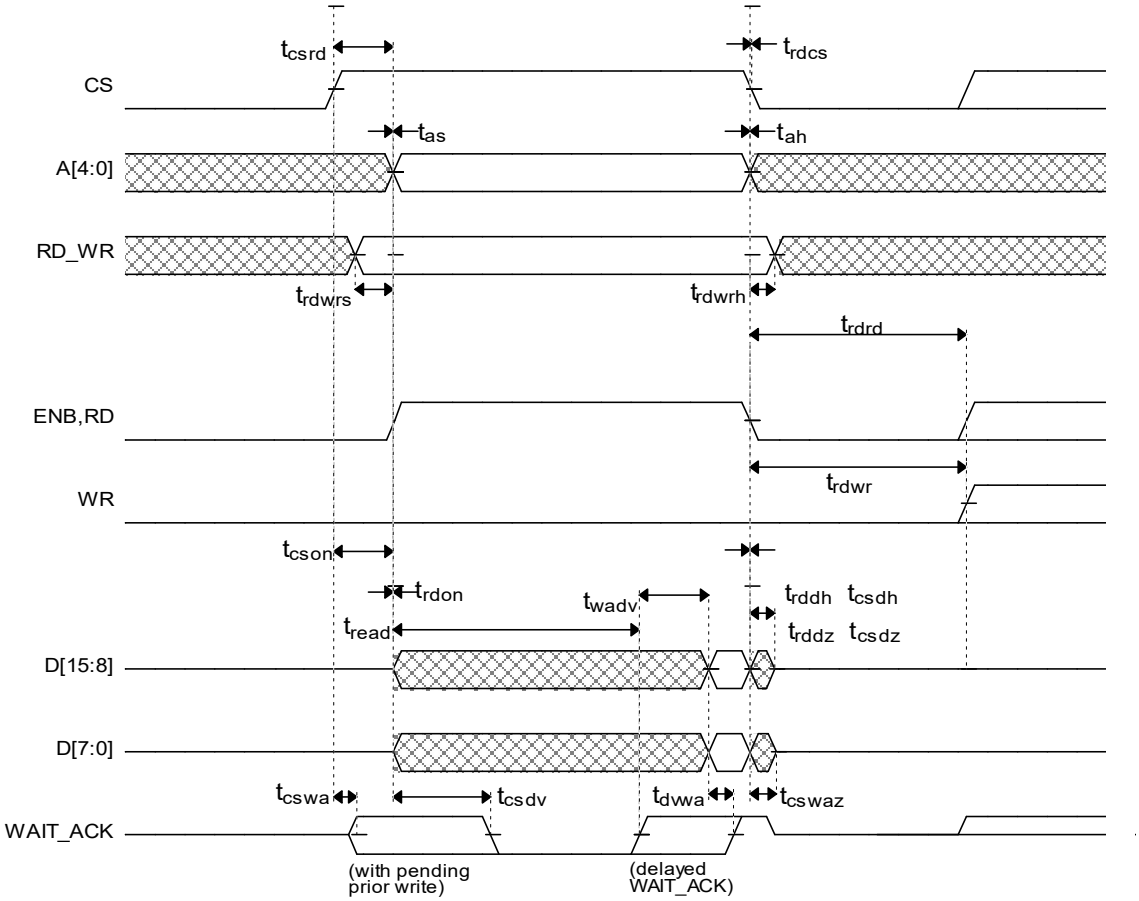


图 7- 73 HBII 读周期时序

注：本图描述了 push-pull 的 **WAIT_ACK**（0 表示等待，1 表示应答）和高电平有效的 **CS**、**RD**、**WR**、**RD_WR** 和 **ENB** 信号。

符号	说明	最小值	典型值	最大值	单位
tcsrd	**CS** Setup to **RD** or **ENB** Active	0			ns
trdcs	**CS** Hold from **RD** or **ENB** Inactive	0			ns
tas	Address, **END_SEL** Setup to **RD** or **ENB** Active	0			ns
tah	Address, **END_SEL** Hold from **RD** or **ENB** Inactive	0			ns
trdwrs	**RD_WR** Setup to **ENB** Active	5			ns
trdwrh	**RD_WR** Hold from **ENB** Inactive	5			ns
trdon	**RD** or **ENB** to Data Buffer Turn On	0			ns
trddh	Data Output Hold Time from **RD** or **ENB** Inactive	0			ns
trddz	Data Buffer Turn Off Time from **RD** or **ENB** Inactive			9	ns
tcson	**CS** to Data Buffer Turn On	0			ns
tcsdh	Data Output Hold Time from **CS** Inactive	0			ns
tcsdz	Data Buffer Turn Off Time from **CS** Inactive			9	ns
trdrd	**RD** or **ENB** De-assertion Time before Next **RD** or **ENB**	13			ns
trdwr	**RD** De-assertion Time before Next **WR**	13			ns
tcswa	**CS** Active to **WAIT_ACK** Valid			10	ns
trdwa	**RD** or **ENB** Active to **WAIT_ACK** Active			15.2	ns
tread	**RD** or **ENB** Active to **WAIT_ACK** Inactive - 8-bit read - no pending prior write **注 49**			235	ns
	RD or **ENB** Active to **WAIT_ACK** Inactive - 8-bit read - 8-bit pending prior write **注 49**			435	ns
	RD or **ENB** Active to **WAIT_ACK** Inactive - 8-bit read - 16-bit pending prior write **注 49**			495	ns
	RD or **ENB** Active to **WAIT_ACK** Inactive - 16-bit read - no pending prior write **注 49**			315	ns
	RD or **ENB** Active to **WAIT_ACK** Inactive - 16-bit read - 8-bit pending prior write **注 49**			515	ns
	RD or **ENB** Active to **WAIT_ACK** Inactive - 16-bit read - 16-bit pending prior write **注 49**			575	ns
twadv	**WAIT_ACK** Inactive to Data Valid - normal **WAIT_ACK**			5	ns
tdvwa	Data Valid Before **WAIT_ACK** Inactive - delayed **WAIT_ACK**	15			ns
tcswaz	**WAIT_ACK** Turn Off Time from **CS** Inactive			9	ns

表 7- 16 HBII 读周期时序值

注 49: Add 20nS if delayed **WAIT_ACK** is enabled.

提示: Timing values are with respect to an equivalent test load of 25 pF.

Funcience confidential

7.7.3.3 写时序要求- EtherCAT 间接访问模式

下面部分介绍在 EtherCAT 间接访问模式（不是在 EtherCAT 直接映射模式）时的时序要求。字节使能 **BE1/BE0** 在 EtherCAT 间接访问模式不使用并且不显示。如果 **WAIT_ACK** 使能输出，则显示始终保持无效。

如果使用 **RD** 和 **WR** 信号，当 **CS** 有效时将 **WR** 置为有效，主机写周期启动。当将 **WR** 置为无效时，该周期结束。**CS** 可能与 **WR** 一起置为有效和无效，而并非在 **WR** 有效期间。

或者如果使用 **RD_WR** 和 **ENB** 信号，当 **CS** 有效时将 **ENB** 置为有效且 **RD_WR** 指示写操作时，主机写周期启动。当将 **ENB** 置为无效时，该周期结束。**CS** 可能与 **ENB** 一起置为有效和无效，而并非在 **ENB** 有效期间。

有关功能说明的信息，请参见章节 7.5.3 “HBII 模式功能时序图”。

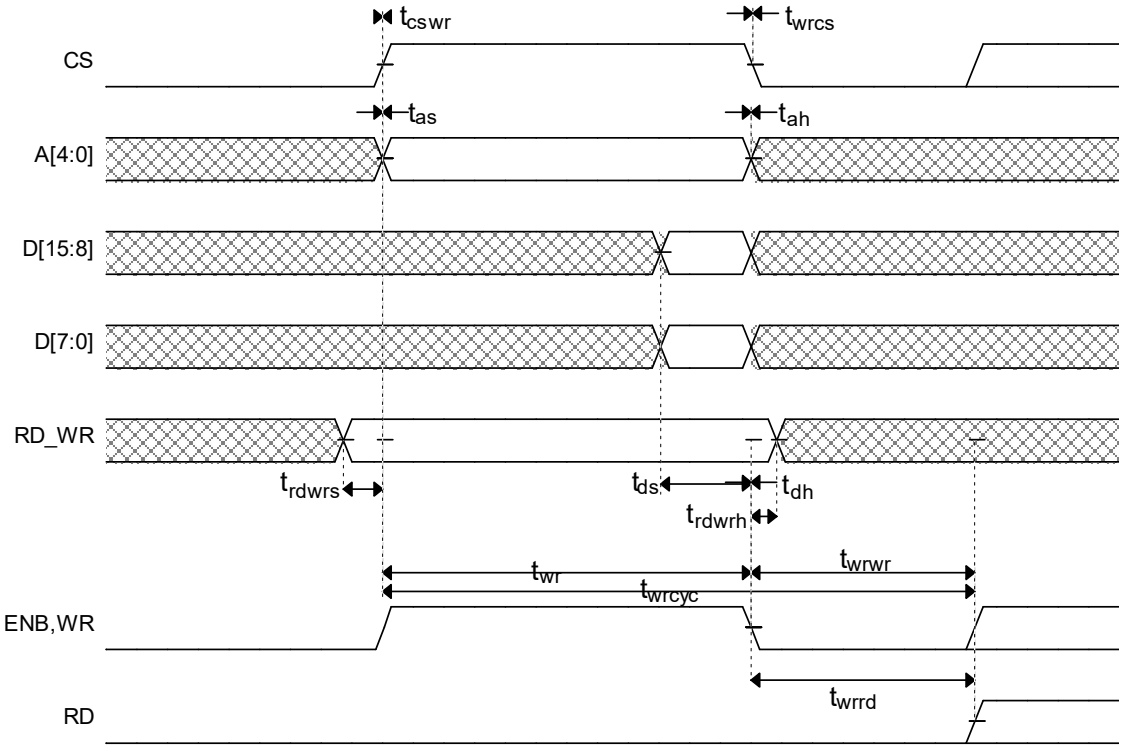


图 7- 74 HBII 写周期时序

注：本图描述了 push-pull 的 **WAIT_ACK**（0 表示等待，1 表示应答）和高电平有效的 **CS**、**RD**、**WR**、**RD_WR** 和 **ENB** 信号。

符号	说明	最小值	典型值	最大值	单位
tcswr	**CS** Setup to **WR** or **ENB** Active	0			ns
twrcs	**CS** Hold from **WR** or **ENB** Inactive	0			ns
tas	Address Setup to **WR** or **ENB** Active	0			ns
tah	Address Hold from **WR** or **ENB** Inactive	0			ns
trdwrs	**RD_WR** Setup to **ENB** Active 注 50	5			ns
trdwrh	**RD_WR** Hold from **ENB** Inactive 注 50	5			ns
tds	Data Setup to **WR** or **ENB** Inactive	10			ns
tdh	Data Hold from **WR** or **ENB** Inactive	0			ns
twr	**WR** or **ENB** Active Time	32			ns
twrcyc	**WR** or **ENB** Cycle Time	45			ns
twrwr	**WR** or **ENB** De-assertion Time before Next **WR** or **ENB**	13			ns
twrrd	**WR** De-assertion Time before Next **RD** 注 51	13			ns

表 7- 17 HBII 写周期时序值

注 50: **RD_WR** and **ENB** signaling.

注 51: **RD** and **WR** signaling.

Funcience confidential

7.7.3.4 Posted Write 时序要求 - EtherCAT 直接映射模式

下面部分介绍在 EtherCAT 直接映射模式时的功能时序图表。

如果 **WAIT_ACK** 使能输出，则它被使用表明何时写周期可能结束，此外主机必须假设列出的写访问时间的最坏情况。

当 **CS** 有效时 **WAIT_ACK** 输出，并且如果有一个之前的写入，**WAIT_ACK** 将有效。此外它将无效。The write strobe（**WR/ENB**）可能置为有效。一旦 **WAIT_ACK** 置为无效，the write strobe 可能置为无效。**WAIT_ACK** 根据一个有效的 **WR/ENB** 变有效。如果 **CS** 和 **WR/ENB** 同时置为无效，**WAIT_ACK** 释放并且 可能看不到有效状态。

如果使用 **RD** 和 **WR** 信号，当 **CS** 有效时将 **WR** 置为有效，主机写周期启动。当将 **WR** 置为无效时，该周期结束。**CS** 可能与 **WR** 一起置为有效和无效，而并非在 **WR** 有效期间。

或者如果使用 **RD_WR** 和 **ENB** 信号，当 **CS** 有效时将 **ENB** 置为有效且 **RD_WR** 指示写操作时，主机写周期启动。当将 **ENB** 置为无效时，该周期结束。**CS** 可能与 **ENB** 一起置为有效和无效，而并非在 **ENB** 有效期间。

有关功能说明的信息，请参见章节 7.6.3 “HBII 模式功能时序图”。

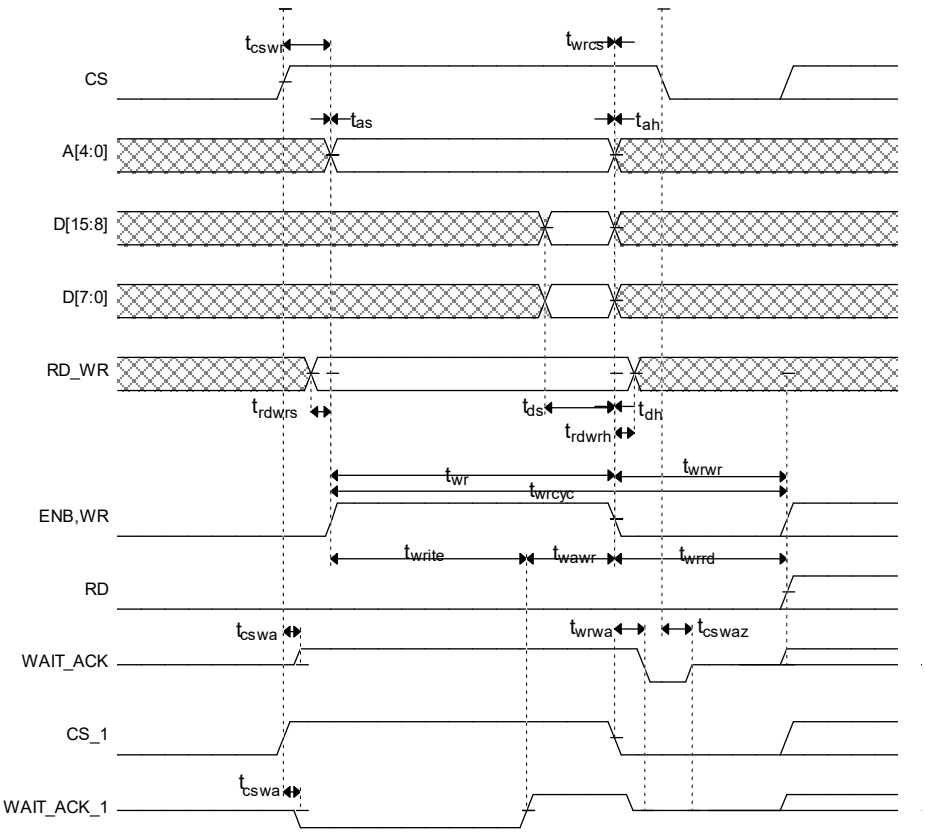


图 7- 75 HBII Posted Write 周期时序

注：本图描述了 push-pull 的 **WAIT_ACK**（0 表示等待，1 表示应答）和高电平有效的 **CS**、**RD**、**WR**、**RD_WR** 和 **ENB** 信号。

符号	说明	最小值	典型值	最大值	单位
tcswr	**CS** Setup to **WR** or **ENB** Active	0			ns
twrcs	**CS** Hold from **WR** or **ENB** Inactive	0			ns
tas	Address Setup to **WR** or **ENB** Active	0			ns
tah	Address Hold from **WR** or **ENB** Inactive	0			ns
trdwrs	**RD_WR** Setup to **ENB** Active 注 52	5			ns
trdwrh	**RD_WR** Hold from **ENB** Inactive 注 52	5			ns
tds	Data Setup to **WR** or **ENB** Inactive	10			ns
tdh	Data Hold from **WR** or **ENB** Inactive	0			ns
twr	**WR** or **ENB** Active Time	32			ns
twrcyc	**WR** or **ENB** Cycle Time - no pending prior write	45			ns
twrwr	**WR** or **ENB** De-assertion Time before Next **WR** or **ENB**	13			ns
twrrd	**WR** De-assertion Time before Next **RD** 注 53	13			ns
tcswa	**CS** Active to **WAIT_ACK** Valid			10	ns
twrite	**WR** or **ENB** Active to **WAIT_ACK** Inactive - pending prior 8-bit write			200	ns
	WR or **ENB** Active to **WAIT_ACK** Inactive - pending prior 16-bit write			280	ns
twawr	**WAIT_ACK** Inactive to **WR** or **ENB** Inactive	0			ns
twrwa	**WR** or **ENB** Inactive to **WAIT_ACK** Active 注 54			11.4	ns
tcswaz	**WAIT_ACK** Turn Off Time from **CS** Inactive			9	ns

表 7- 18 HBII Posted Write 周期时序值

注 52: **RD_WR** and **ENB** signaling.

注 53: **RD** and **WR** signaling.

注 54: If not three-stated first.

Funcience confidential

7.7.3.5 Non-Posted Write 时序要求 - EtherCAT 直接映射模式

下面部分介绍在 EtherCAT 直接映射模式时的功能时序图表。

如果 **WAIT_ACK** 使能输出，则它被使用表明何时写周期可能结束，此外主机必须假设列出的写访问时间的最坏情况。

当 **CS** 有效时 **WAIT_ACK** 输出。**WAIT_ACK** 将在最初无效并且 write strobe（**WR/ENB**）有效它将有效。一旦 **WAIT_ACK** 置为无效，the write strobe 可能置为无效。

如果使用 **RD** 和 **WR** 信号，当 **CS** 有效时将 **WR** 置为有效，主机写周期启动。当将 **WR** 置为无效时，该周期结束。**CS** 可能与 **WR** 一起置为有效和无效，而并非在 **WR** 有效期间。

或者，如果使用 **RD_WR** 和 **ENB** 信号，当 **CS** 有效时将 **ENB** 置为有效且 **RD_WR** 指示写操作时，主机写周期启动。当将 **ENB** 置为无效时，该周期结束。**CS** 可能与 **ENB** 一起置为有效和无效，而并非在 **ENB** 有效期间。

有关功能说明的信息，请参见章节 7.6.3 “HBII 模式功能时序图”。

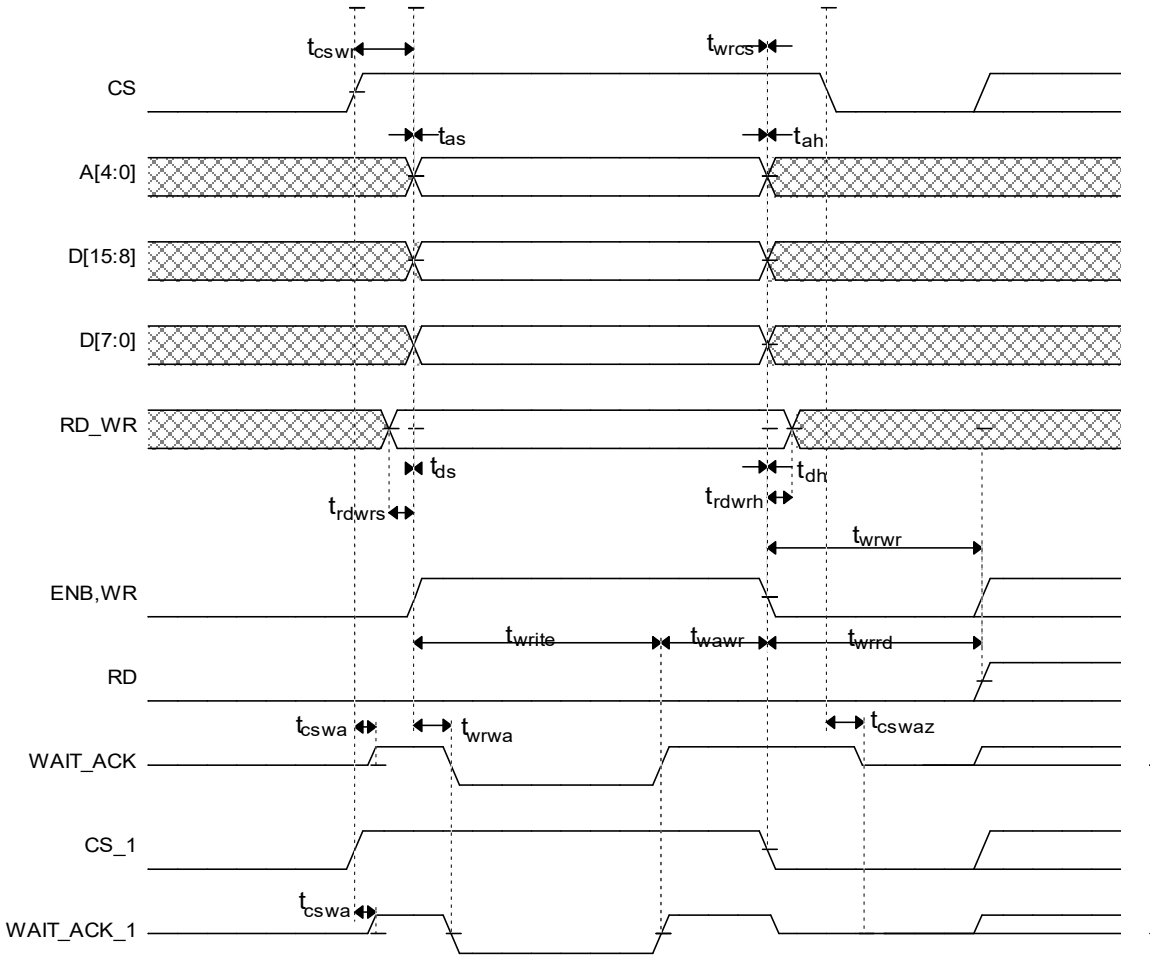


图 7- 76 HBII Non-Posted Write 周期时序

注：本图描述了 push-pull 的 **WAIT_ACK**（0 表示等待，1 表示应答）和高电平有效的 **CS**、**RD**、**WR**、**RD_WR** 和 **ENB** 信号。

符号	说明	最小值	典型值	最大值	单位
tcswr	**CS** Setup to **WR** or **ENB** Active	0			ns
twrcs	**CS** Hold from **WR** or **ENB** Inactive	0			ns
tas	Address Setup to **WR** or **ENB** Active	0			ns
tah	Address Hold from **WR** or **ENB** Inactive	0			ns
trdwrs	**RD_WR** Setup to **ENB** Active 注 55	5			ns
trdwrh	**RD_WR** Hold from **ENB** Inactive 注 55	5			ns
tds	Data Setup to **WR** or **ENB** Active	0			ns
tdh	Data Hold from **WR** or **ENB** Inactive	0			ns
twrwr	**WR** or **ENB** De-assertion Time before Next **WR** or **ENB**	13			ns
twrrd	**WR** De-assertion Time before Next **RD** 注 56	13			ns
tcswa	**CS** Active to **WAIT_ACK** Valid			10	ns
twrwa	**WR** or **ENB** Active to **WAIT_ACK** Active			15.2	ns
twrite	**WR** or **ENB** Active to **WAIT_ACK** Inactive - 8-bit write			200	ns
	WR or **ENB** Active to **WAIT_ACK** Inactive - 16-bit write			280	ns
twawr	**WAIT_ACK** Inactive to **WR** or **ENB** Inactive	0			ns
tcswaz	**WAIT_ACK** Turn Off Time from **CS** Inactive			9	ns

表 7- 19 HBII Non-Posted Write 周期时序值

注 55: **RD_WR** and **ENB** signaling.
注 56: **RD** and **WR** signaling.

Funcience confidential

8 SPI/SQI 从设备

8.1 功能概述

SPI/SQI 从模块提供低引脚数同步从接口，便于器件与主机系统之间的通信。SPI/SQI 从器件可访问系统 CSR、内部 FIFO 和存储器。该器件支持一条和多条采用递增、递减和静态寻址的寄存器读写命令。SPI 模式支持单、双和四位通道，时钟速率最高达 80 MHz。SQI 模式始终使用四位通道，其工作时钟速率最高也为 80 MHz。

提示：单通道-1bit:SIO[3:2]-未使用；SIO[1]-SO；SIO[0]-SI；

双通道-2bit:SIO[3:2]-未使用；SIO[1:0]-SIO；

四通道-4bit:SIO[3:0]-SIO。

以下内容概述了 SPI/SQI 从器件提供的功能，采用递增、递减和静态寻址实现单次或多次寄存器读操作/写操作：

读操作

- **Serial Read:**

以最高 30 MHz 的频率进行 4 线(时钟、选择、数据输入和数据输出)读操作。串行命令、地址和数据。

- **Fast Read:**

以最高 80 MHz 的频率进行 4 线(时钟、选择、数据输入和数据输出)读操作。串行命令、地址和数据。

- **Dual / Quad Output Read:**

以最高 80 MHz 的频率进行 4 线或 6 线(时钟、选择、数据输入/数据输出)读操作。串行命令和地址以及并行数据。

- **Dual / Quad I/O Read:**

以最高 80 MHz 的频率进行 4 线或 6 线(时钟、选择、数据输入/数据输出)读操作。串行命令、并行地址和数据。首次访问为空字节。

- **SQI Read:**

以最高 80 MHz 的频率进行 6 线(时钟、选择、数据输入/数据输出)写操作。并行命令、地址和数据。首次访问为空字节。

写操作

- **Write:**

以最高 80 MHz 的频率进行 4 线(时钟、选择、数据输入和数据输出)写操作。串行命令、地址和数据。

Funcience confidential

- **Dual / Quad Data Write**:

以最高 80 MHz 的频率进行 4 线或 6 线(时钟、选择、数据输入/数据输出)读操作。串行命令、地址和并行数据。首次访问为空字节。

- **Dual / Quad Address / Data Write**:

以最高 80 MHz 的频率进行 4 线或 6 线(时钟、选择、数据输入/数据输出)写操作。串行命令、并行地址和数据。

- **SQI Write**:

以最高 80 MHz 的频率进行 6 线时钟、选择、数据输入/数据输出)写操作。并行命令、地址和数据。

8.2 SPI/SQI 从设备操作

SIO[3:0]引脚上的输入数据在 **SCK** 输入时钟的上升沿被采样。**SIO[3:0]**引脚上的输出数据在时钟的下降沿被采样。**SCK** 输入时钟可以是高电平有效脉冲或低电平有效脉冲。当 SCS#片选输入为高电平(无效)时，**SIO[3:0]**输入被忽略，**SIO[3:0]输出为高阻态**。

在 SPI 模式下，8 位指令在 SCS#变为有效后从输入时钟的第一个上升沿开始。该指令始终以串行方式输入 **SI/SIO0**。

对于读指令和写指令，指令字节后跟两个地址字节。根据指令的不同，地址字节可以串行方式输入，或者以每个时钟 2 或 4 位的方式输入。某些寄存器虽然按 4 字节对齐的完整 32 位访问，但地址字段被视为字节地址。使用十四个地址位指定地址。地址字段的 bit15 和 14 用于指定连续访问时地址自动递减(address[15:14]=10b)还是自动递增(address[15:14]=01b)。

对于读命令 (除 READ 指令之外)，地址字节之后还需跟随一或两个传输长度字节。取决于传输指令，传输长度字节以串行方式输入，或者以每个时钟 2 位或 4 位的方式输入。虽然有的寄存器按 4 字节对齐的完整 32 位访问，但传输长度字段被视为字节长度。对于一个字节传输长度格式，bit7 是低电平并且 bits6-0 指定了最大 127 字节的长度。对于两字节传输长度格式，第一个字节的 bit7 是高电平并且 bits6-0 指定了低七位的长度。第二个字节段的 bits6-0 指定了具有一个最大的 16,383 字节(16K-1)的传输长度的高 7 位。传输长度不包括任何空字节。

对于读指令和写指令，地址字节或传输长度字节之后会插入大量的可编程的（起始）空字节。这些空字节数量由寄存器或配置决定。

对于读指令和写指令，如果存在空字节，则一个或多个 32 位数据字段跟在空字节后面，否则将跟在地址字节后面。数据以串行方式输入，或者以每个时钟 2 位或 4 位的方式输入。

每个 32 位数据之间，也可单独插入可编程的空字节（可为 0）。在地址字节后的空字节字段以及写指令中的所有空字节字段内，设备均不驱动输出，处于高阻态。对于读命令，设备会在后续的空字节周期内驱动输出。写命令的空字节周期仍保持高阻。主机在发送空字节时应将其置为 0x00，以保证未来兼容性。模块在空字节周期输出的数据无定义、可忽略。空字节以串行输入并且串行输出，或者以每个时钟 2 位或 4 位的方式并行输入或输出。

每种读/写命令所需的空字节数量都可以单独设定，具体通过 Set SPI Config（SPICFG）指令 进行配置。SPICFG 指令自身不带任何空字节，它的格式始终不变。

可通过使能四 I/O（EQIO）指令从 SPI 模式切换至 SQI 模式。一旦处于 SQI 模式，后续的所有

Funience confidential

命令、地址、空字节和数据字节均以每个时钟 4 位的方式输入。可通过复位四 I/O（RSTQIO）指令退出 SQI 模式。

所有指令、地址、转移长度和数据均以最高有效位（msb）、最高双位（msd）或最高半字节（msn）在前的方式传输。地址以最高有效字节（MSB）在前的方式传输。转移长度以最高有效字节（LSB）在前的方式传输。多字节数据以最低有效字节（LSB）在前（小尾数法）的方式传输。

说明：详细讲解可参考文档“SPI 传输过程数据描述”。

SPI 接口支持 80MHz 输入时钟。正常（非高速）读指令是被限制在 30MHz。可通过编程空字节数量用于降低数据速率或者增加初始读访问时间。

SPI 接口支持最短 50 ns 的连续命令间隔时间（最短 SCS#无效时间为 50 ns）。

表格 8-1 列出了 SPI 模式下支持的指令。 表格 8-2 列出了 SQI 指令。不得使用不受支持的命令。

指令	说明	位宽度 注 1	指令代码	地址字节	长度字节	起始空字节 注 2 注 3	每字节或字空字节 注 4	数据字节 注 5	最大频率
配置									
SETCFG	设置配置	1-0-1	01h	0	0	0	0	39	80MHZ
EQIO	使能 SQI	1-0-0	38h	0	0	0	0	0	80MHZ
RSTQIO	复位 SQI	1-0-0	FFh	0	0	0	0	0	80MHZ
读									
READ	读操作	1-1-1	03h	2	0	0 to 255	0 to 255	4 to ∞/ 1 to ∞	30MHZ
FASTREAD	以较高速度进行读操作	1-1-1	0Bh	2	1 or 2	1 to 255	0 to 255	4 to 16K / 1 to 16K	80MHZ
SDOR	SPI 双输出读操作	1-1-2	3Bh	2	1 or 2	1 to 255	0 to 255	4 to 16K / 1 to 16K	80MHZ
SDIOR	SPI 双 I/O 读操作	1-2-2	BBh	2	1 or 2	2 to 255	0 to 255	4 to 16K / 1 to 16K	80MHZ
SQOR	SPI 四输出读操作	1-1-4	6Bh	2	1 or 2	1 to 255	0 to 255	4 to 16K / 1 to 16K	80MHZ
SQIOR	SPI 四 I/O 读操作	1-4-4	EBh	2	1 or 2	4 to 255	0 to 255	4 to 16K / 1 to 16K	80MHZ
写									
WRITE	写操作	1-1-1	02h	2	0	0 to 255	0 to 255	4 to ∞/ 1 to ∞	80MHZ
SDDW	SPI 双数据写操作	1-1-2	32h	2	0	0 to 255	0 to 255	4 to ∞/ 1 to ∞	80MHZ
SDADW	SPI 双地址/数据写操作	1-2-2	B2h	2	0	0 to 255	0 to 255	4 to ∞/ 1 to ∞	80MHZ
SQDW	SPI 四数据写操作	1-1-4	62h	2	0	0 to 255	0 to 255	4 to ∞/ 1 to ∞	80MHZ
SQADW	SPI 四地址/数据写操作	1-4-4	E2h	2	0	0 to 255	0 to 255	4 to ∞/ 1 to ∞	80MHZ

表 8- 1 SPI 指令

注 1：位宽度格式是：地址/传输长度/初始空字节位宽、数据/后续空字节位宽。

注 2：尽管最小值被设置为默认值，但不应该由硬件强制执行，应该被软件使用。EtherCAT 间接访问模式支持最小频率为 80MHZ。EtherCAT 直接映射模式应使用章节 8.3 “EtherCAT 直接映射模式”中的最小值。

注 3：初始空字节的位宽与地址的位宽一致。

注 4：数据之间的空字节的位宽与数据的位宽一致。

注 5：在 EtherCAT 间接访问模式下，数据字节的最小值是 4，因为所有的寄存器必须是双字访问。在 EtherCAT 直接映射模式下，对于 non-EherCAT Core CSRs，数据字节的最小值依旧是 4。对于 EherCAT Core CSRs 或过程存储器，数据字节的最小值是 1。

Funcience confidential

指令	说明	位宽度 注 6	指令代码	地址字节	长度字节	起始空字 注 7 注 8	每字节或字空字节 注 9	数据字节 注 10	最大频率
配置									
SETCFG	设置配置	4-0-4	01h	0	0	0	0	39	80MHZ
RSTQIO	复位 SQI	4-0-0	FFh	0	0	0	0	0	80MHZ
读									
FASTREAD	以较高速度进行读操作	4-4-4	0Bh	2	1 or 2	3 to 255	0 to 255	4 to 16K/ 1 to 16K	80MHZ
写									
WRITE	写操作	4-4-4	02h	2	0	0 to 255	0 to 255	4 to / 1 to	80MHZ

表 8- 2 SQI 指令

注 6：位宽度格式是：地址/传输长度/初始空字节位宽、数据/后续空字节位宽。

注 7：硬件只是把这些最小值设为默认值，软件必须主动使用这些最小值，否则可能导致操作失败或不稳定。EtherCAT 间接访问模式支持最小频率 80MHZ。EtherCAT 直接映射模式应使用章节 8.3 “EtherCAT 直接映射模式”中的备用最小值。

注 8：初始空字节的位宽与地址的位宽一致。

注 9：数据之间的空字节的位宽与数据的位宽一致。

注 10：在 EtherCAT 间接访问模式下，数据字节的最小值是 4，因为所有的寄存器必须是双字节使用的。在 EtherCAT 直接映射模式下，对于 non-EherCAT Core CSRs，数据字节的最小值依旧是 4。对于 EherCAT Core CSRs 或过程存储器，数据字节的最小值是 1。

8.2.1 设备初始化

成初始化、所有配置输入引脚生效之前，SPI/SQI 接口既不会响应也不会被任何外部引脚动作所影响。模块初始化完成后，SPI/SQI 接口会暂时忽略所有输入引脚，直到检测到 SCS# 的上升沿 才重新开始响应。

8.2.1.1 初始化完成的 SPI/SQI 从器件读轮询

在设备初始化前，SPI/SQI 接口将无法返回有效数据。为确定 SPI/SQI 接口何时起作用，应轮询字节顺序测试寄存器（BYTE_TEST）一旦读到正确的特征值，即可认为接口为工作状态。在这一点上，可以通过轮询硬件配置寄存器（HW_CFG） 的器件就绪（READY）位来确定器件何时完全配置。

提示：在轮询 BYTE_TEST 寄存器时，主机应该只使用单寄存器读操作（每次 SCS#为低电平时发生一个数据周期）。

8.2.2 功耗管理期间以及功耗管理之后的访问

除 D0 以外的任何电源管理模式期间，读和写将被忽略，SPI/SQI 接口将不响应，不受任何外部引脚活动的影响。

一旦电源管理模式切换回 D0，SPI/SQI 接口将忽略引脚，直到检测到 **SCS#**的上升沿。

为确定 SPI/SQI 接口何时起作用，应轮询字节顺序测试寄存器（BYTE_TEST）。一旦读到正确的特征值，即可认为接口为工作状态。在这一点上，可以通过轮询硬件配置寄存器（HW_CFG） 的器件就绪（READY）来确定器件何时完全配置。

Funcience confidential

提示：在轮询 BYTE_TEST 寄存器时，主机应该只使用单寄存器读操作（每次 SCS#为低电平时发生一个数据周期）。

8.2.3 等待/应答操作

在 EtherCAT 直接映射模式下时 (见第 8.3 节，EtherCAT 直接映射模式)，主机系统必须满足设备时序访问要求。对于从 EtherCAT Core CSR 或 Process Data RAM 中读取数据，读周期必须等到读数据被内部检索到。所有写周期必须等待之前对 EtherCAT Core CSR 或 Process Data RAM 的写访问在内部完成。主机系统可以等待指定的最差情况的访问时间，也可以使用 WAIT_ACK 信号。

WAIT_ACK 引脚通过 PDI 配置寄存器（SPI 模式）的 SPI WAIT_ACK 极性和 SPI WAIT_ACK 缓冲器类型位的组合启用。

WAIT_ACK 仅在 EtherCAT 直接映射模式下使用。当不在 EtherCAT 直接映射模式时， 如果启用 **WAIT_ACK**，则始终处于无效状态。(显示 ACK)。WAIT_ACK 可以设置为低电平有效的开漏输出或者三态推挽输出。这由 PDI 配置寄存器（SPI 模式）的 SPI WAIT_ACK 缓冲器类型位控制。若设为推挽输出，其极性由 PDI 配置寄存器（SPI 模式）的 SPI WAIT_ACK 极性位控制。WAIT_ACK 操作在章节 8.3.2.3 “等待状态”，等待状态中描述。

提示：PDI 配置寄存器 0x0150[1:0]（SPI 模式）：

0x0150[1:0]=2’b01， WAIT_ACK 表示 push-pull 输出，并且 WAIT_ACK 为 0 表示等待，1 表示应答；
0x0150[1:0]=2’b11， WAIT_ACK 表示 push-pull 输出，并且 WAIT_ACK 为 1 表示等待，0 表示应答；
0x0150[1:0]=2’b10，WAIT_ACK 表示开漏输出，并且 WAIT_ACK 为 0 表示等待(需上拉)，1 表示应答；
0x0150[1:0]=2’b00，WAIT_ACK 无法输出

8.2.4 SPI 配置指令

8.2.4.1 设置配置

设置配置指令可设定每条指令的空字节数量。该指令支持 SPI 和 SQI 总线协议，时钟频率最高支持 80 MHz。

通过首先激活 **SCS#**来选择 SPI/SQI 从站接口，8-bitSETCFG 指令为 01h，在 SPI 模式下,输入到 **SI/SIO[0]**引脚，每个时钟一位;在 SQI 模式下,输入到 **SIO[3:0]**引脚，每个时钟 4 位。

命令字节后跟随数据字节，对于 SPI 模式，从第一个字节的 msb 开始，数据输入到 **SI/SIO[0]** 引脚。对于 SQI 模式，从第一个字节的 msn 开始，数据输入到 **SIO[3:0]**引脚。剩余的 bits/nibbles 在后续的时钟边沿被移位。

当 **SCS#**输入无效时，结束。

空字节的顺序和默认值如下。每个指令有 3 个值。第一个是在第一个数据字节之前的空字节数；第二个是在双字中的字节之间的空字节数；第三个是在双字之间的空字节数。注意，在一条命令的最后一个数据字节之后不再插入（无）空字节。

硬件默认支持在 EtherCAT 间接访问模式下，操作频率最高 80 MHz。在 EtherCAT 直接映射模式下，替代的最小值应按照章节 8.3“EtherCAT 直接映射模式”中所述设置。

Funcience confidential

字节顺序	指令	起始 注 1	一个双字中 注 2	双字之间 注 3
		默认值		
SPI				
0	READ cmd:0X03	0 注 4	-	-
1		-	0	-
2			-	0
3	FASTREAD cmd:0X0B	1	-	-
4		-	0	-
5			-	0
6	SDOR cmd:0X3B	1	-	-
7		-	0	-
8			-	0
9	SDIOR cmd:0XBB	2	-	-
10		-	0	-
11			-	0
12	SQOR cmd:0X6B	1	-	-
13		-	0	-
14			-	0
15	SQIOR cmd:0XEB	4	-	-
16		-	0	-
17		-	-	0
18	WRITE cmd:0X02	0	-	-
19		-	0	-
20			-	0
21	SDDW cmd:0X32	0	-	-
22		-	0	-
23			-	0
24	SDADW cmd:0XB2	0	-	-
25		-	0	-
26			-	0
27	SQDW cmd:0X62	0	-	-
28		-	0	-
29			-	0
30	SQADW cmd:0XE2	0	-	-
31		-	0	-
32			-	0
SQI				
33	FASTREAD cmd:0X0B	3	-	-
34		-	0	-
35			-	0
36	WRITE cmd:0X02	0	-	-
37		-	0	-
38			-	0

表 8- 3 空字节顺序和默认值

注 1：指发送寄存器地址和传输数据之间的空字节数，当前的 **SIO[3:0]**使用的 bit 位数量与发送寄存器地址的 SIO 数量相同。

注 2：指传输数据双字内部各个字节间的空字节数量，当前 **SIO[3:0]**使用的 bit 位数量与传输 data 的 SIO 数量相同。

Funcience confidential

注 3：指传输双字数据之间的空字节数量（各个双字之间），当前 **SIO[3:0]**使用的 bit 位数量与传输数据的 SIO 数量相同。

图 8-1 举例说明 SPI 模式的配置指令。图 8-2 举例说明了 SQI 模式的配置指令。

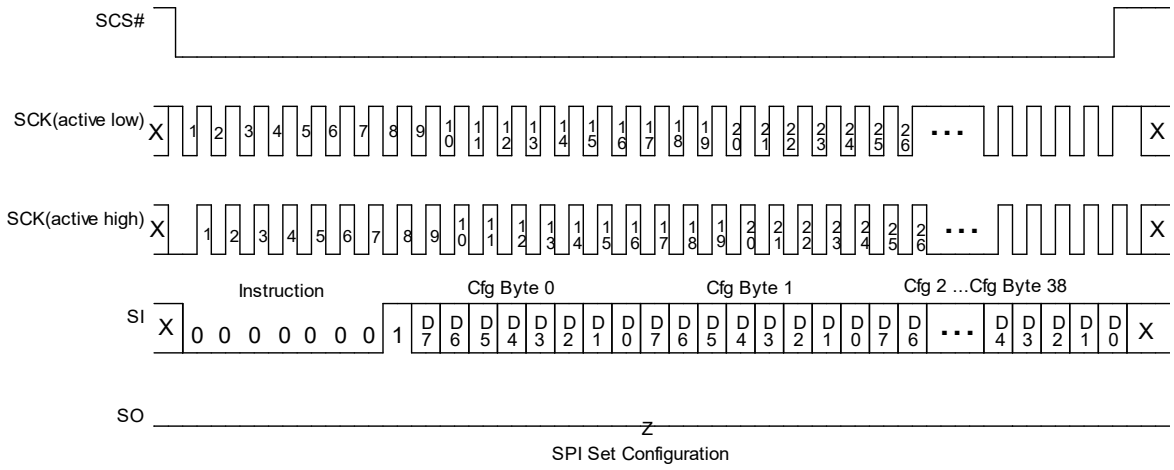


图 8- 1 SPI 模式设置配置

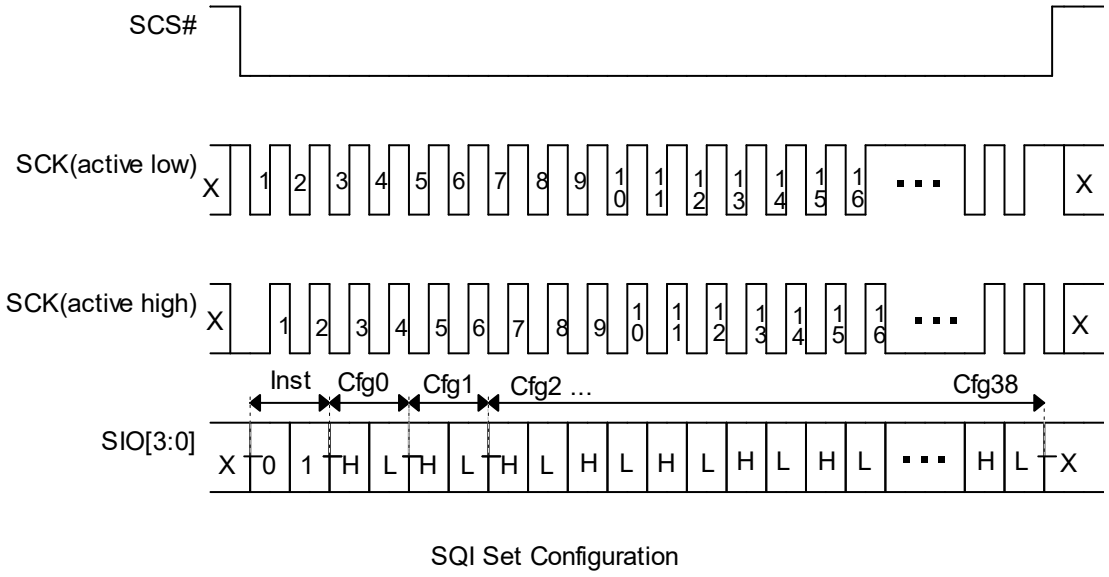


图 8- 2 SQI 模式设置配置

8.2.4.2 使能 SQI

使能 SQI 指令只能在 SPI 模式下使用，时钟频率最高支持 80MHz ，用于把接口切换为 SQI 模式。一旦进入 SQI 模式，SQI 总线协议不支持该指令。

首先将 **SCS#**置为有效，选择 SPI 从接口。8 位 EQIO 指令（38h）以每个时钟 1 位的方式输入 **SI/SIO[0]**引脚。要结束该周期，需将 **SCS#**输入置为无效。

图 8-3 给出了使能 SQI 指令图示。

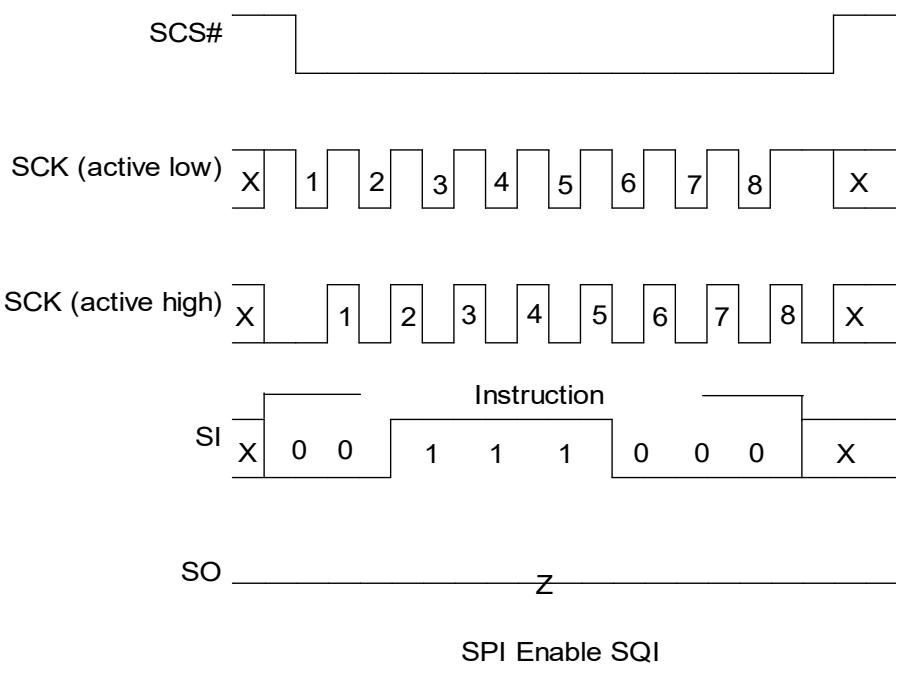


图 8- 3 使能 SQI

8.2.4.3 复位 SQI

复位 SQI 指令可将接口从 SQI 模式切回 SPI 模式。该指令时钟频率最高 80MHz。SPI 和 SQI 两种总线协议均支持该指令。

首先将 **SCS#**置为有效，选择 SPI/SQI 从接口。8 位 RSTQIO 指令（FFh）在 SPI 模式下以每个时钟 1 位的方式输入 **SI/SIO[0]**引脚，在 SQI 模式下以每个时钟 4 位的方式输入 **SIO[3:0]**引脚。要结束该周期，需将 **SCS#**输入置为无效。

图 8-4 给出了 SPI 模式下的复位 SQI 指令图示。图 8-5 给出了 SQI 模式下的复位 SQI 指令图示。

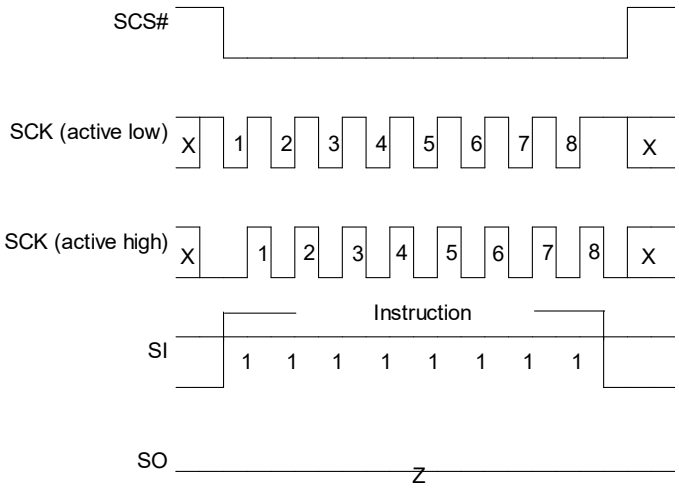


图 8- 4 SPI 模式复位 SQI

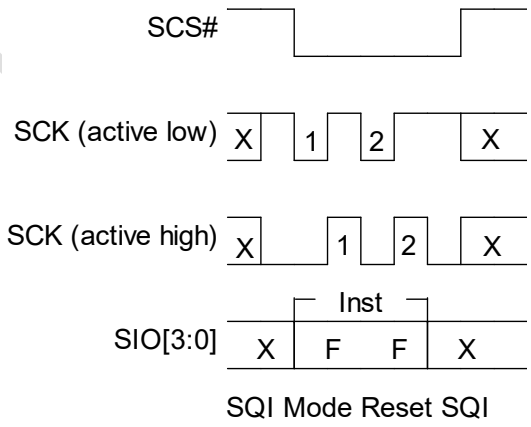


图 8- 5 SQI 模式复位 SQI

8.2.5 SPI 读命令

SPI/SQI 从器件支持各种读命令。以下内容适用于所有读命令。

多次读操作

当 **SCS#**有效时，可通过继续提供时钟脉冲来执行除第一次读操作外的其他读操作。地址的高 2 位用于指定自动递增（address[15:14]=01b）或自动递减（address[15:14]=10b）。内部双字地址基于这两位递增、递减或保持不变。保持固定内部地址对于寄存器轮询很有用。

对于当前输出转换结束，地址递增或递减，如果合适的话，并行完成另一个同步操作。

对于多次双字常量地址和自动递增/递减操作如下。注意双字地址保持常数或者它是递增或递减的。在双字内的字节地址一直递增：

Dec/inc=00：常量双字匹配地址

读 4 字节在双字内的递增的字节命令

内部地址重复每个双字。

起始地址：yyyy

内部地址：yyyy				
字节地址：	yyyy	+1	+2	+3
第一个数据输出：	valid	valid	valid	valid
内部地址：yyyy				
字节地址：	yyyy	+1	+2	+3
第二数据输出：	valid	valid	valid	valid
内部地址：yyyy				
字节地址：	yyyy	+1	+2	+3
最终数据输出：	valid	valid	valid	valid

Dec/inc=01：递增双字匹配起始地址

在每个双字中递增的读取 4 字节

内部地址是每 4 个增加一个双字递增

起始地址：yyyy

内部地址：yyyy				
字节地址：	yyyy	+1	+2	+3
第一个数据输出：	valid	valid	valid	valid
下一个内部地址：下一个双字				
字节地址：	+4	+5	+6	+7

Funcience confidential

第二数据输出：	valid	valid	valid	valid

下一个内部地址：下一个双字

字节地址：	+8	+9	+10	+11
最终数据输出：	valid	valid	valid	valid

Dec/inc=10：递减的双字匹配起始地址

在每个双字中递增的读取 4 字节

内部地址是每 4 个增加一个双字递减

起始地址：yyyy

内部地址：yyyy

字节地址：	yyyy	+1	+2	+3
第一个数据输出：	valid	valid	valid	valid

下一个内部地址：前一个双字

字节地址：	-4	-3	-2	-1
第二数据输出：	valid	valid	valid	valid

下一个内部地址：前一个双字

字节地址：	-8	-7	-6	-5
最终数据输出：	valid	valid	valid	valid

Dec/inc=11：保留

上述规则仅适用于按 4 字节对齐的完整 32 位寄存器访问。若需进行 32 位寄存器的部分字节访问或非 4 字节对齐的寄存器地址操作（在 EtherCAT 直接映射模式），请参考第 8.3.2.1 节。

读结束

为了避免在内部提前预取超出最终输出数据的额外内容，采用了两种机制来限制预取范围，确保不会读到无用数据。

对于读指令，使用 **SI** 输入。在最后输出字节期间，SPI 主站必须设置 SI 位高电平（输入字节=FFh），否则器件会误认为还有后续地址，再次产生一次内部预取（读出），可能导致数据异常。

对于其他读指令（FASTREAD, SDOR, SDIOR, SQOR, SQIOR），地址字段之后必须紧跟着给出本次传输的字节长度字段，用于告诉器件要读多少字节。

空字节

为了提供充足的时间去获得寄存器的数据（尤其的当从 EtherCAT 直接映射模式下的 EtherCAT Core CSRs and Process RAM 读出的时候）可在命令中插入空字节。空字节的数量可通过设置配置 指令分别针对每种读命令类型进行单独配置。

每个指令有三个数值。第一是在第一数据字节之前的空字节数。第二是在双字之内（intra-双字）的空字节数。第三是存在双字之间（inter-双字）的空字节数。注意，在一条命令的最后一个数据字

Funcience confidential

节之后不再插入（无）空字节。

应用提示 1：双字之间的空字节数量就是第三个配置值本身，不会与第二个配置值累加或并行出现。

应用提示 2：即使命令使用字节缓冲模式，双字边界适用于所有读命令。如果合适的话，内部空字节数可以设置为相同的。

应用提示 3：对于读命令，一个有第二参数（intra-双字）等于零和第三参数（inter-双字）不等于零的空字节配置是不被支持的。正常来说在这个情况下这两个参数是相同值。

应用提示 4：按 4 字节对齐的寄存器地址判定依据是最后一次读出的那个字节的地址，而不是累计的字节计数（即并非简单的“每四个字节一次”）。在 EtherCAT 直接映射模式下尤为重要，因为此时的起始地址可能并非是按 4 字节对齐的完整 32 位寄存器地址操作。参考章节 8.3.2.1 的地址说明如何更新地址。

应用提示 5：空字节的时钟周期因指令的位宽度而变化。

特殊 CSR 处理

即时位

由于数据以串行方式读取，因此所选寄存器的值在每次 32 位读操作开始时进行保存，以防止主机读取中间值。多次读序列中将进行多次保存。

8.2.5.1 读

读操作指令以每个时钟 1 位的方式输入指令代码、地址字节以及可能的起始空字节，并以每个时钟 1 位的方式输出数据。该指令仅在 SPI 总线协议下可用，时钟频率最高支持 30MHz。SQI 总线协议不支持该指令。

首先将 **SCS#**置为有效，选择 SPI 从接口。8 位 READ 指令（03h）输入到 **SI/SIO[0]**引脚，其后跟两个地址字节并且 0-255 的空字节。地址字节用于指定设备内的字节地址。

在最后一个地址位的上升沿后的时钟下降沿，**SO/SIO[1]**引脚将以所选寄存器的 LSB 的 msb 在前的方式驱动。其余寄存器位在后续的时钟下降沿移出。对于多个字节寄存器，下一个字节遵循之前字节或者空字节。对于多个寄存器的读操作，下一个寄存器的第一位遵循之前字节或者空字节的最后位。

为了避免模块把下一个地址的数据提前预取（读出）进来，主机必须在 SI 脚上给出明确的结束标志。当最后一个输出字节正在移出时，主机必须把 SI 拉高（输入字节 ＝FFh）。除最后一个输出字节外，主机的 SI 必须保持低电平（输入字节 ＝00h）。如果主机未在最后字节期间拉高 SI，模块会误以为自己还要读下一个地址，从而触发内部预取（读出），可能导致当前数据丢失或出错。

要结束该周期，需将 SCS#输入置为无效。此时 **SO/SIO[1]**引脚被置为高阻态。

图 8-6 和图 8-7 给出了单次寄存器读操作和多次寄存器读操作的典型图示。显示一个地址按 4 字节对齐的 32 位寄存器。最后的双字之后不再加任何空字节。部分双字寄存器读操作在读完最后一个数据字节之后立即结束没有后续空字节。多次寄存器读操作同样没有空字节。

应用提示：一个空字节配置，他有第二个参数（intra-双字）等于 0 和第三个不支持不等于 0 的参数（intra-双字）。通

Funcience confidential

常情况下常第二和第三参数是相同的数值。

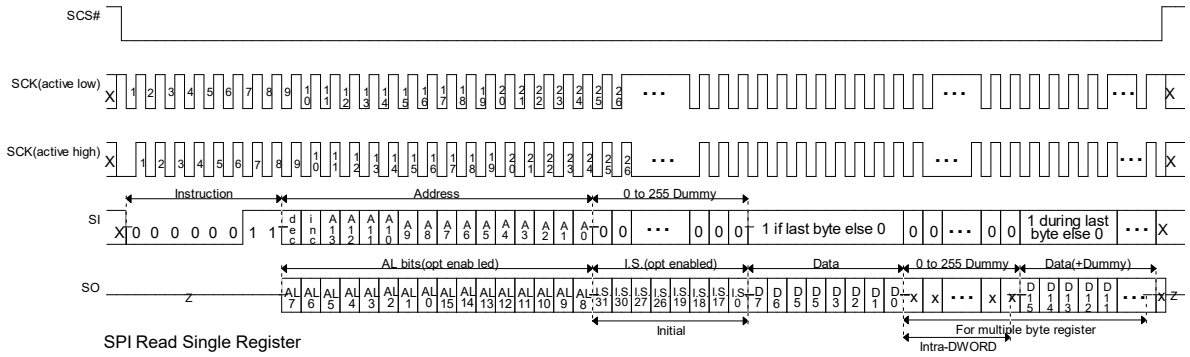


图 8- 6 SPI READ Single Register

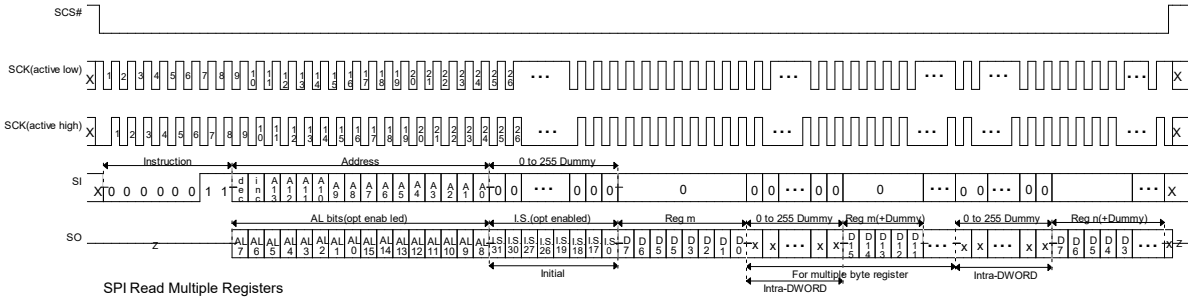


图 8- 7 SPI READ Multiple Registers

8.2.5.2 快速读操作

以较高速度进行读操作指令以每个时钟 1 位的方式输入指令代码、地址、传输长度和起始空字节，并以每个时钟 1 位的方式输出数据并且每个时钟 1 位的方式输出随后的空字节。在 SQI 模式下，以每个时钟 4 位的方式输入指令代码、地址、传输长度和起始空字节，并以每个时钟 4 位的方式输出数据并且每个时钟 4 位的方式输出随后的空字节。该指令在 SPI 和 SQI 两种总线协议下均受支持，最高时钟频率可达 80MHz。

首先将 **SCS#**置为有效，选择 SPI/SQI 从接口。对于 SPI 模式，8 位 FASTREAD 指令（0Bh）输入到 SI/SIO[0]引脚，其后跟 2 个地址字节、1 或 2 个传输长度字节、1 到 255 的空字节。对于 SQI 模式， 8 位 FASTREAD 指令输入到 **SIO[3:0]**引脚，其后跟 2 个地址字节、1 或 2 个传输长度字节以及 3 到 255 空字节。地址字节用于指定器件内的字节地址。传输长度字节指定在字节内的数据字节并且传输长度字节不包括任何空字节。长度为 7 位（最大 127B）或 14 位（最大 16 383B）。

在最后一个空位（或半字节）的上升沿后的时钟下降沿，**SO/SIO[1]**引脚将以所选寄存器的 LSB 的 msb 在前的方式驱动。对于 SQI 模式，**SIO[3:0]**将以所选寄存器的 LSB 的 msn 在前的方式驱动。对于对齐的非双字在前的地址，1 到 3 个填补字节（可能是每个填补字节的空字节）发生在数据字节之前。填补字节不会被记在传输长度上。

剩下的寄存器位在后续的下降沿移出。对于多个字节寄存器，下一个字节跟在在前字节或空字节的最后一位后面。对于多个寄存器读操作，下一个寄存器的第一位跟在字节或在前空字节的最后一位后面。

要结束该周期，需将 **SCS#**输入置为无效。此时，**SO/SIO[3:0]**引脚被置为高阻态。

图 8-8 和图 8-9 说明了对于 SPI 模式的典型单个寄存器的快速读操作和多次寄存器的快速读操作。图 8-10 和图 8-11 对于 SQI 模式的典型单一寄存器的快速读操作和多次寄存器的快速读操作。传输长度段可能是 1 个或者 2 个字节。显示一个起始地址为 4 字节对齐的 32 位寄存器。最后一个双字读完后不再附加（无）空字节。也可以进行部分双字寄存器读取：在最后一个有效数据字节结束后即终止，不再追加空字节。此外，部分双字读取还可以从非 4 字节对齐的地址开始。

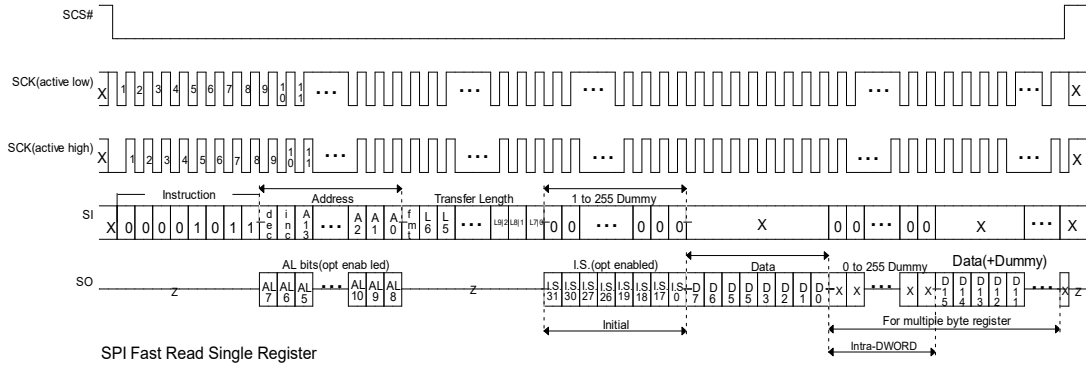


图 8- 8 SPI FAST READ Single Register

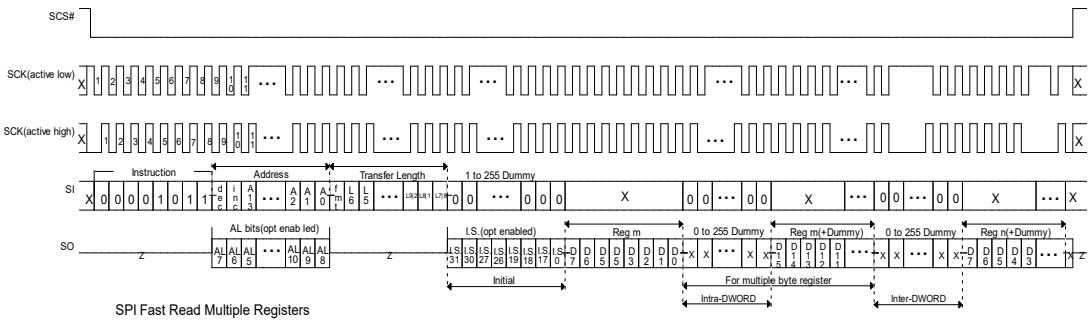


图 8- 9 SPI FAST READ Multiple Registers

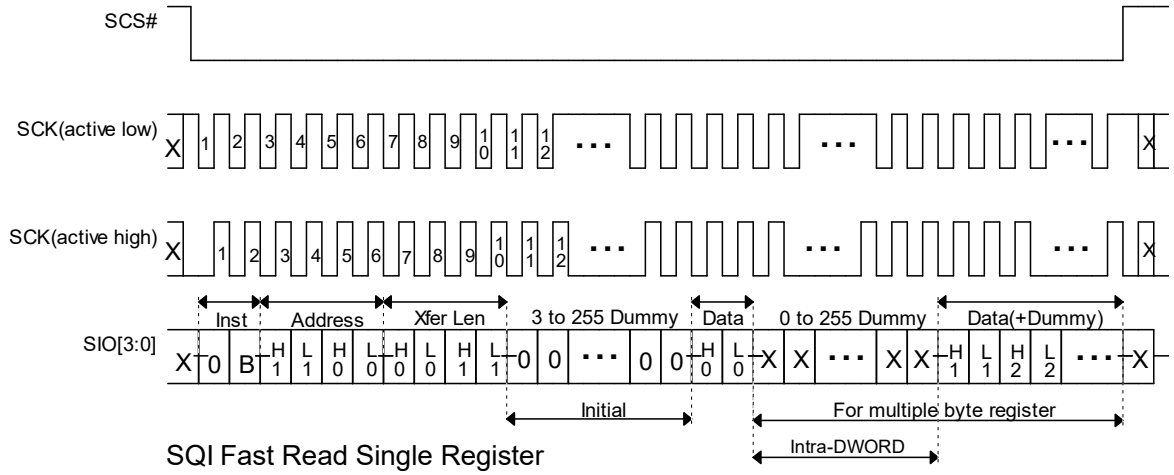


图 8- 10 SQI FAST READ Single Register

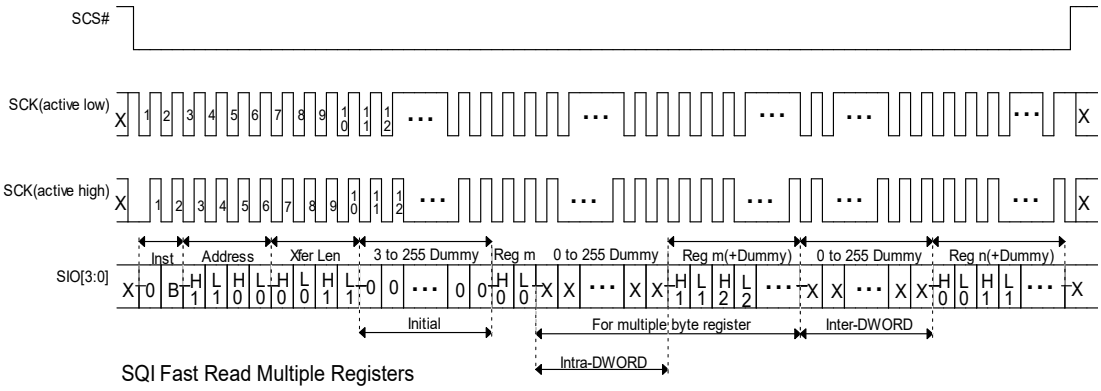


图 8- 11 SQI FAST READ Multiple Registers

8.2.5.3 双输出读操作

SPI 双输出读操作指令以每个时钟 1 位的方式输入指令代码、地址、传输长度和起始空字节，并以每个时钟 2 位的方式输出数据和随后的空字节。该指令仅在 SPI 总线协议下可用，时钟频率最高支持 80MHz。不支持 SQI 总线协议。

首先将 **SCS#**置为有效，选择 SPI 从接口。8 位 SDOR 指令（3Bh）输入到 **SIO[0]**引脚，其后跟 2 个地址字节、1 或 2 个转换长度字节以及 1-255 的空字节。地址字节用于指定器件内的字节地址。传输长度字节指定了字节里的数据长度并且不包括任何空字节。传输长度为 7 位（最大 127 B）或 14 位（最大 16 383 B）。

在最后一个空双位的上升沿后的时钟下降沿，**SIO[1:0]**引脚将以所选寄存器的 **LSB** 的 **msb** 开始驱动。

对非 4 字节对齐的起始地址，会插入 1 – 3 个填充字节（每字节后还可能跟空字节）来完成对齐。这些填充字节不计入传输长度，仅用于地址调整。

剩余寄存器数据以两位为一组，在后续每个下降沿继续移出。多字节寄存器，当前字节的最后两位（或其后空字节）结束后，立即输出下一字节的最高两位。连续寄存器读取，前一寄存器的最后两位（或其后空字节）结束后，立即开始输出下一寄存器的最高两位。

要结束该周期，需将 **SCS#**输入置为无效。此时，**SIO[1:0]**引脚被置为高阻态

图 8-12 和图 8-13 说明了一个典型的单一寄存器和多倍寄存器双输出读操作。传输长度段可能是 1 个或 2 个字节。显示一个从 4 字节对齐地址开始，完整读完 4 字节后不再追加空字节。也可以只读部分双字，读完最后一个有效字节即结束；若起始地址非 4 字节对齐，同样支持，但会在首个数据前插入 1-3 填充字节（不计入长度）。

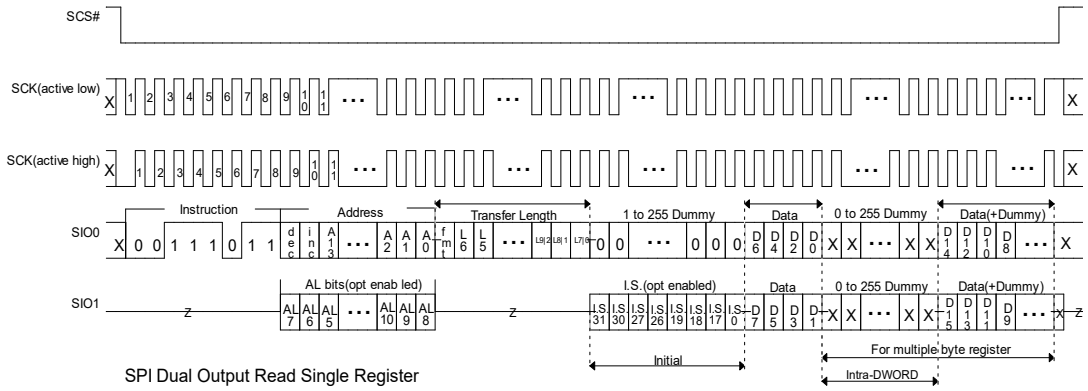


图 8- 12 SPI DUAL OUTPUT READ Single Register

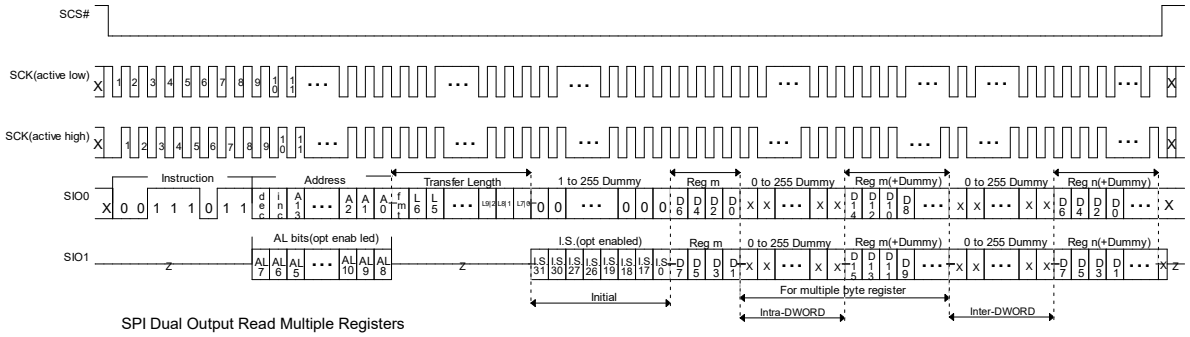


图 8- 13 SPI DUAL OUTPUT READ Multiple Registers

8.2.5.4 四输出读操作

SPI 四输出读操作指令以每个时钟 1 位的方式输入指令代码、地址、传输长度和起始空字节，并以每个时钟 4 位的方式输出数据、每个时钟 4 位的方式输出随后的空字节。该指令仅在 SPI 总线协议下可用，时钟频率最高支持 80MHz，不支持 SQI 总线协议。

首先将 **SCS#**置为有效，选择 SPI 从接口。8 位 SQOR 指令（6Bh）输入到 **SIO[0]**引脚，其后跟

2 个地址字节、1 个或 2 个传输地址字节以及 1-255 的空字节。地址字节用于指定器件内的字节地址。传输长度字节指定在字节内的数据字节，并且传输长度字节不包括任何空字节。长度为 7 位（最大 127B）或 14 位（最大 16 383B）。

在最后一个空双位的上升沿后的时钟下降沿，**SIO[1:0]**引脚将以所选寄存器的 LSB 的 msb 在前的方式驱动。如果起始地址未按 4 字节对齐，则在真正数据字节之前会先插入 1 – 3 个填充字节（每个填充字节后还可能跟相应的 空字节）。这些填充字节不计入传输长度字段。

其余寄存器双位在后续的时钟下降沿移出。对于多个字节寄存器，下一个字节遵循前一个字节或空字节。对于多个寄存器读操作，下一个寄存器的第一位遵循前一个寄存器或在前空字节的最后一位后面。

要结束该周期，需将 **SCS#**输入置为无效。此时，**SIO[3:0]**引脚被置为高阻态。

图 8-14 和图 8-15 说明了一个典型的单一寄存器和多次寄存器四输出读操作。传输长度段可能是 1 个或 2 个字节。显示一个 4 字节对齐的双字寄存器。最后的双字数据后不会追加空字节。部分双字寄存器读操作也可能在最后一个数据字节之后结束，而没有追加空字节。起始地址若不是 4 字节对齐，同样不会追加空字节，但会在真正数据前插入 1 – 3 个对齐填充字节（不计入传输长度）。

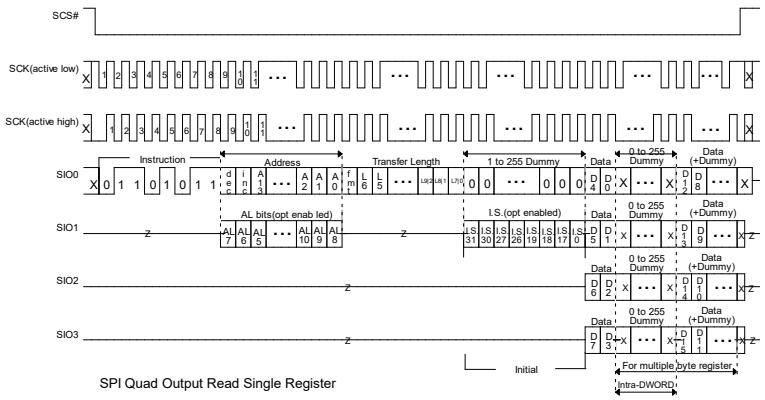


图 8- 14 SPI QUAD OUTPUT READ Single Register

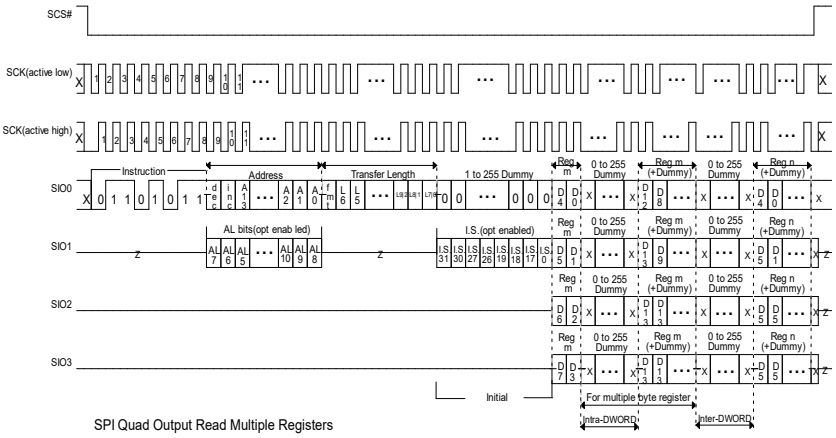


图 8- 15 SPI QUAD OUTPUT READ Multiple Registers

8.2.5.5 双 I/O 读操作

SPI 双 I/O 读操作指令以每个时钟 1 位的方式从 SI/SIO0 串行输入指令代码，地址、传输长度及初始空字节均以每个时钟 2 位并行输入 SIO[1:0]。并以每个时钟 2 位的方式输出数据和随后的空字节。仅在 SPI 总线协议下可用，时钟频率最高支持 80 MHz；不支持 SQI 总线协议。

首先将 **SCS#**置为有效，选择 SPI 从接口。8 位 SDIOR 指令（BBh）输入到 **SIO[0]**引脚，其后跟的 2 个地址字节、1 或 2 个传输长度字节以及 2-255 的空字节输入到 **SIO[1:0]**引脚。地址字节用于指定器件内的字节地址。传输长度字节指定在字节内的数据字节 并且传输长度字节不包括任何空字节。长度为 7 位（最大 127 B）或 14 位（最大 16 383 B）。

在最后一个空双位的上升沿后的时钟下降沿，**SIO[1:0]**引脚将以所选寄存器的 LSB 的 msb 在前的方式驱动。如果起始地址未按 4 字节对齐，则在真正数据字节之前会先插入 1 – 3 个填充字节（每个填充字节后还可能跟相应的空字节）。这些填充字节不计入传输长度字段。

其余寄存器双位在后续的时钟下降沿移出。对于多个字节寄存器，下一个字节遵循前一个字节或空字节的最后一位后面。对于多个寄存器读操作，下一个寄存器遵循前一位字节或在前空字节的最后一位后面。

要结束该周期，需将 **SCS#**输入置为无效。此时，**SIO[1:0]**引脚为高阻态。

图 8-16 和图 8-17 说明了一个典型的单一寄存器和多倍寄存器双 I/O 读操作。传输长度段可能是 1 个或 2 个字节。显示一个 4 字节对齐地址开始，一次读完完整双字。最后一个双字数据后 不再追加空字节。也支持部分双字读取，只需读 1 – 3 字节时，读完最后一个有效字节即结束，同样没有后续空字节。起始地址若非 4 字节对齐，同样没有后续空字节。但会在真正数据前插入 1 – 3 个对齐填充字节（不计入传输长度）。

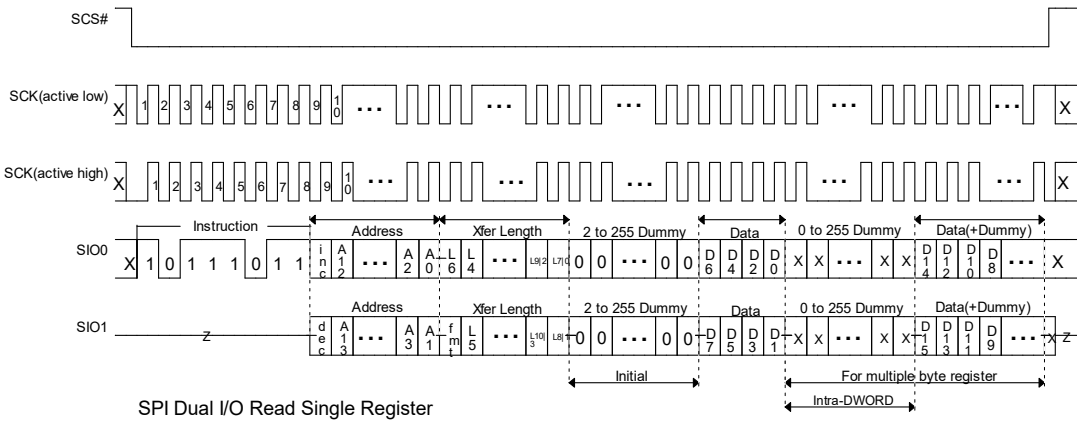


图 8- 16 SPI DUAL I_O READ Single Register

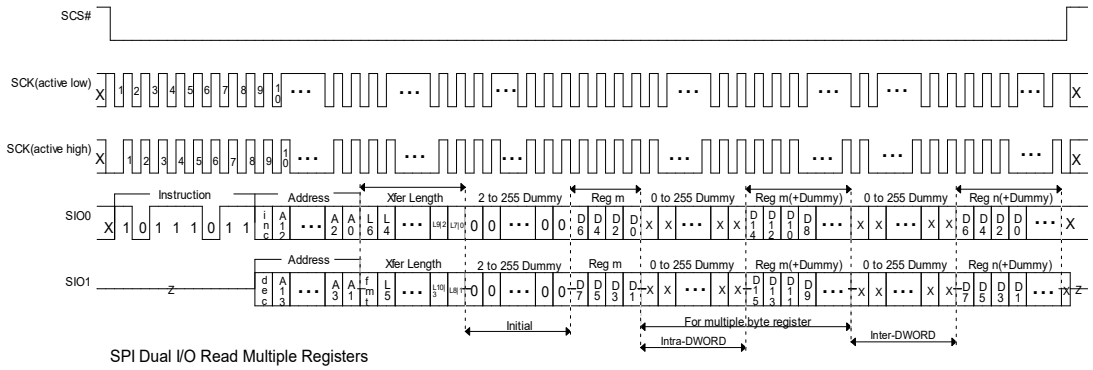


图 8- 17 SPI DUAL I_O READ Multiple Registers

8.2.5.6 四 I/O 读操作

SPI 四 I/O 读操作指令以每个时钟 1 位的方式输入指令代码，以每个时钟 4 位的方式输入地址、传输长度以及起始空字节，并以每个时钟 4 位的方式输出数据和随后的空字节。仅在 SPI 总线协议下有效，时钟频率最高支持 80MHz。SQI 总线协议不支持该指令。

首先将 **SCS#**置为有效，选择 SPI 从接口。8 位 SQIOR 指令（EBh）输入到 **SIO[0]**引脚，其后跟的 2 个地址字节、1 或 2 个传输长度字节以及 4-255 个空字节输入到 **SIO[3:0]**引脚。地址字节用于指定器件内的字节地址。传输长度字节指定在字节内的数据字节并且传输长度字节不包括任何空字节。长度为 7 位（最大 127B）或 14 位（最大 16 383B）。

在最后一个空双位的上升沿后的时钟下降沿，**SIO[1:0]**引脚将以所选寄存器的 LSB 的 msb 在前的方式驱动。如果起始地址未按 4 字节对齐，则在真正数据字节之前会先插入 1 - 3 个填充字节（每个填充字节后还可能跟相应的空字节）。这些填充字节不计入传输长度字段。

其余寄存器双位在后续的时钟下降沿移出。对于多个字节寄存器，下一个字节遵循前一个字节或空字节的最后一位后面。对于多个寄存器读操作，下一个寄存器遵循前一个字节或在前空字节的最后一位后面。

要结束该周期，需将 SCS#输入置为无效。此时，**SIO[1:0]**引脚为高阻态。

图 8-18 和图 8-19 说明了一个典型的单一寄存器和多倍寄存器四 I/O 读操作。传输长度段可能是 1 个或 2 个字节。显示示例为一个 4 字节对齐寄存器。一次读完完整双字，最后一个双字数据后不再追加 空字节。也支持部分双字读取，读完最后一个所需字节即结束，同样没有后续空字节。起始地址若非 4 字节对齐，同样没有后续空字节。但在真正数据之前会插入 1 - 3 个对齐填充字节（不计入传输长度）。

Funcience confidential

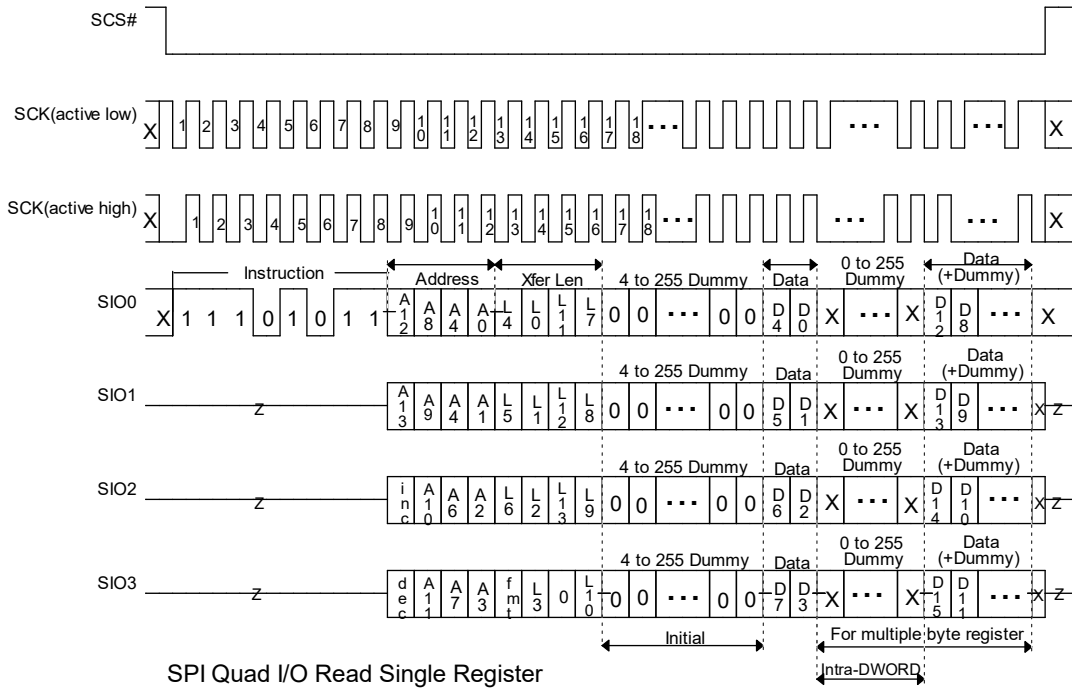


图 8- 18 SPI QUAD I_O READ Single Register

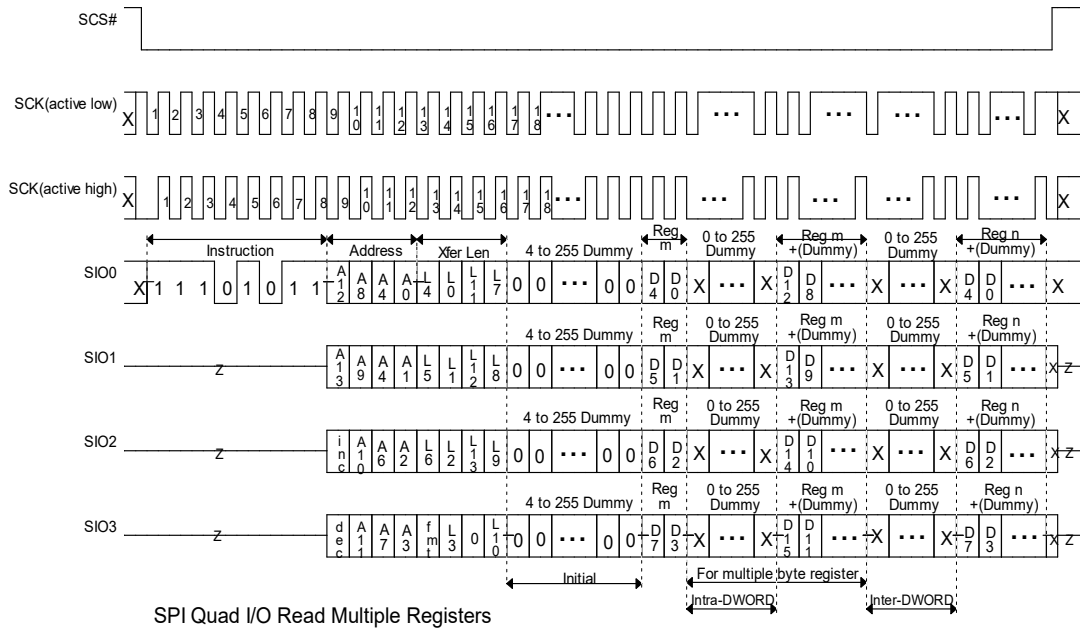


图 8- 19 SPI QUAD I_O READ Multiple Registers

8.2.6 SPI 写命令

SPI/SQI 从器件支持各种写命令。以下内容适用于所有写命令。

多次写操作

当 **SCS#**有效时，可通过继续提供时钟脉冲和输入数据来执行多次写操作。地址的高 2 位用于指定自动递增（address[15:14]=01b）或自动递减（address[15:14]=10b）。内部双字地址基于这两位递增、递减或保持不变。保持固定（内部）地址可用于对同一寄存器反复写入（bit-banging 等场景）。

对于多个双字的连续访问，固定地址或自动递增/递减的操作方式如下。双字地址保持固定或被递增/递减。双字内部的字节地址始终递增：

Dec/inc=00：常量双字匹配地址

在双字中写入 4 个字节，增加字节顺序

内部地址每双字重复。

起始地址：yyyy

内部地址：yyyy

字节地址：	yyyy	+1	+2	+3
第一个数据输入：	valid	valid	valid	valid

内部地址：yyyy

字节地址：	yyyy	+1	+2	+3
第二数据输入：	valid	valid	valid	valid

内部地址：yyyy

字节地址：	yyyy	+1	+2	+3
最终数据输入：	valid	valid	valid	valid

Dec/inc=01：递增双字匹配起始地址

在每个双字中写入 4 个字节，以增加字节顺序

内部地址分别增加 4 个双字

起始地址：yyyy

内部地址：yyyy

字节地址：	yyyy	+1	+2	+3
第一个数据输入：	valid	valid	valid	valid

下一个内部地址：下一个双字

字节地址：	+4	+5	+6	+7
第二数据输入：	valid	valid	valid	valid

Funcience confidential

下一个内部地址：下一个双字

字节地址：	+8	+9	+10	+11
最终数据输入：	valid	valid	valid	valid

Dec/inc=10：减少的双字匹配开始地址

在每个双字中写入 4 个字节，以增加字节顺序

内部地址通过 4 个双字减少

起始地址：yyyy

内部地址：yyyy

字节地址：	yyyy	+1	+2	+3
第一个数据输入：	valid	valid	valid	valid

下一个内部地址：之前的双字

字节地址：	-4	-3	-2	-1
第二数据输入：	valid	valid	valid	valid

下一个内部地址：之前的双字

字节地址：	-8	-7	-6	-5
最终数据输入：	valid	valid	valid	valid

Dec/inc=11：保留

上述规则仅适用于 4 字节对齐寄存器、且一次性写入 完整双字的情况。若需要在 EtherCAT 直接映射模式下进行部分双字写入或起始地址非 4 字节对齐的操作，请参见章节 8.3.2.2 专门说明。

空字节

为了给模块充足的时间去处理寄存器的数据（尤其是向 EtherCAT 直接映射模式下的 EtherCAT Core CSRs and Process RAM 写入的时候），可在命令中插入空字节。空字节的数量可通过 Set Configuration 指令分别针对每种写命令类型进行单独配置。

每条指令对应的空字节顺序及其默认值如下。每条指令有三个数值。第一个值是在第一个有效数据字节之前的需要插入的空字节数量。第二个值是位于双字内部每个字节之间的空字节数量。第三个值是位于不同双字之间的空字节数量。注意，在一条命令的最后一个数据字节之后不再插入空字节。

应用提示 1：在双字之间的空字节数是严格的第三配置值，它并不会外加或带着一个使用第二配置值的空字节计数。

应用提示 2：即使命令使用字节缓冲模式，双字边界适用于所有写命令。如果合适的话，内部和之间的空字节数可以设置为相同的。

应用提示 3：在 EtherCAT 直接映射模式下对于 EtherCAT Core 访问使用字节缓冲模式，这是一个空字节配置，它的第二参数（intra-DWORD）等于零并且第三参数（inter-DWORD）不等于零是不被支持的。正常来说在这个情况下这第二第三参数是相同的。

Funcience confidential

应用提示 4：按 4 字节对齐的寄存器地址判定依据是最后一次读出的那个字节的地址，而不是累计的字节计数（即并非简单的“每四个字节一次”）。在 EtherCAT 直接映射模式下尤为重要，因为此时的起始地址可能并非是按 4 字节对齐的完整 32 位寄存器地址操作。参考章节 8.3.2.2 节的地址说明如何更新地址。

应用提示 5：变化的空字节时钟周期数取决于指令的位宽度。

8.2.6.1 写

写操作指令以每个时钟 1 位的方式输入指令代码、地址、可能的起始空字节、数据和任意后续的空字节。在 SQI 模式下，以每个时钟 4 位的方式输入指令代码、地址和可能的起始空字节和数据字节。该指令在 SPI 与 SQI 两种总线协议下均受支持，最高时钟频率可达 80MHz。

首先将 **SCS#**置为有效，选择 SPI/SQI 从接口。对于 SPI 模式，8 位 WRITE 指令（02h）输入到 **SI/SIO[0]**引脚，其后跟 2 个地址字节和 0 到 255 个空字节。对于 SQI 模式，8 位 WRITE 指令（02h）输入到 **SIO[3:0]**引脚，其后跟 2 个地址字节和 0 到 255 个空字节。地址字节用于指定器件内的字节地址。

地址字节后跟数据。对于 SPI 模式，数据以 LSB 的 msb 在前的方式输入到 SI/SIO[0]引脚。对于 SQI 模式，以 LSB 的 msn 在前的方式向 SIO[3:0]输入半字节宽的数据。其余位/半字节在后续的时钟边沿移入。

在 EtherCAT 间接访问模式下，输入 32 位后，会对寄存器写入数据。如果在 SCS#恢复高电平时未写入 32 位，则写操作被视为无效且寄存器不受影响。

在 EtherCAT 直接映射模式下，对 EtherCAT Core CSRs 和 Process RAM 的写操作，可按字节 或完整双字操作后立即生效。对 non-EtherCAT Core CSRs 的写操作仍需 4 字节对齐。若只写部分双字，寄存器值可能被破坏。

要结束该周期，需将 **SCS#**输入置为无效。

图 8-20 和图 8-21 给出了 SPI 模式下单次寄存器写操作和多次寄存器写操作的典型图示。图 8-22 和图 8-23 给出了 SQI 模式下单次寄存器写操作和多次寄存器写操作的典型图示。显示一个以 4 字节对齐的完整 32 位寄存器，最后一个双字写完后不再附加空字节。也可以执行部分双字写入，写完最后一个所需字节即结束，同样不再追加空字节。此外，部分 双字写入可从非 4 字节对齐的起始地址开始。

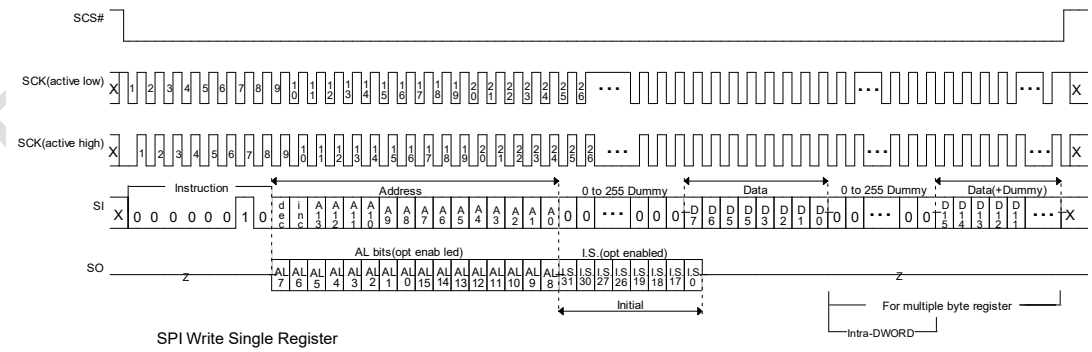


图 8- 20 SPI WRITE Single Register

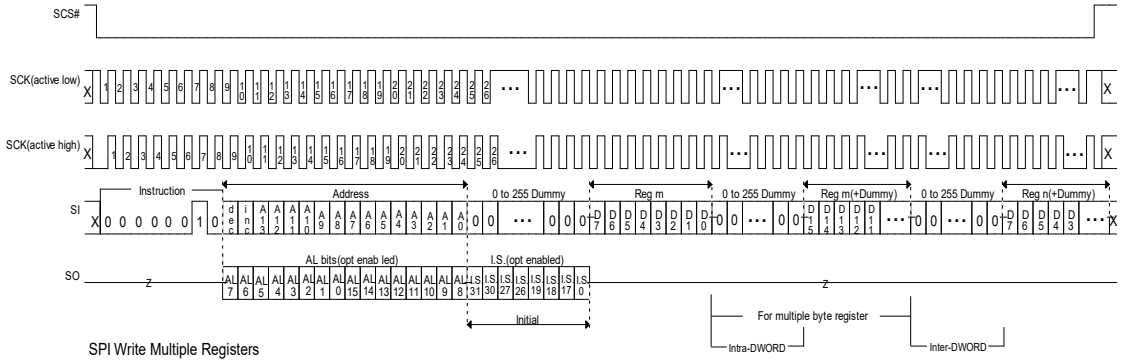


图 8- 21 SPI WRITE Multiple Registers

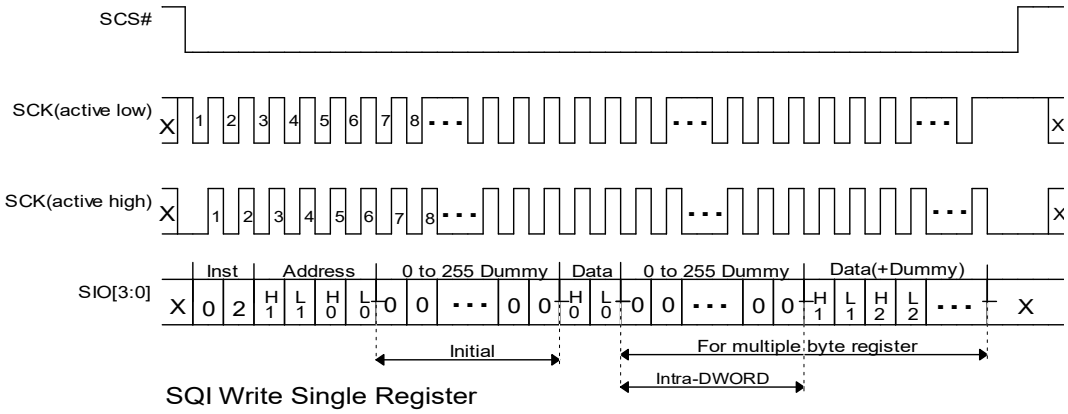


图 8- 22 SQI WRITE Single Register

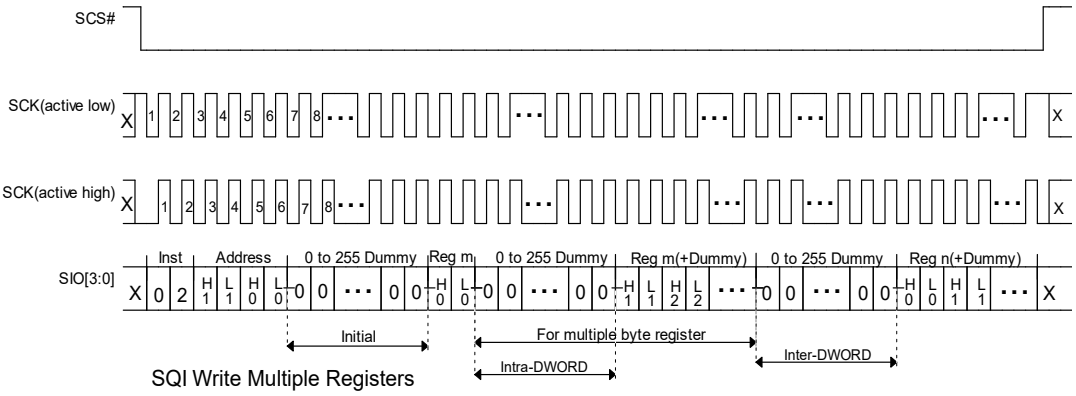


图 8- 23 SQI WRITE Multiple Registers

8.2.6.2 双数据写操作

SPI 双数据写操作指令以每个时钟 1 位的方式输入指令代码和地址和可能的起始空字节，并以每个时钟 2 位的方式输入数据和任意后续的空字节。指令仅在 SPI 总线协议下可用，时钟频率最高支持 80MHz；不支持 SQI 总线协议。

首先将 **SCS#**置为有效，选择 SPI 从接口。8 位 SDDW 指令（32h）输入到 **SIO[0]**引脚，其后跟两个地址字节和 0 到 255 个空字节。地址字节用于指定器件内的字节地址。

地址字节后跟数据。数据以 LSB 的 msb 在前的方式输入到 **SIO[1:0]**引脚。其余双位在后续的时钟边沿移入。

在 EtherCAT 间接访问模式下，输入 32 位后，会对寄存器写入数据。如果在 **SCS#**恢复高电平时未写入 32 位，则写操作被视为无效且寄存器不受影响。

在 EtherCAT 直接映射模式下，对 EtherCAT Core CSRs 和 Process RAM 的写操作，可按字节 或完整双字操作后立即生效。对 non-EtherCAT Core CSRs 的写操作仍需 4 字节对齐。若只写部分双字，寄存器值可能被破坏。

要结束该周期，需将 **SCS#**输入置为无效。

图 8-24 和图 8-25 给出了单次寄存器双数据写操作和多次寄存器双数据写操作的典型图示。显示一个 4 字节对齐的寄存器，写完最后一个双字后不再追加空字节。支持部分双字写入，写完最后一个所需字节即结束，同样没有后续空字节。起始地址为非 4 字节对齐，会在真正数据前插入 1 – 3 个对齐填充字节（不计入传输长度）。

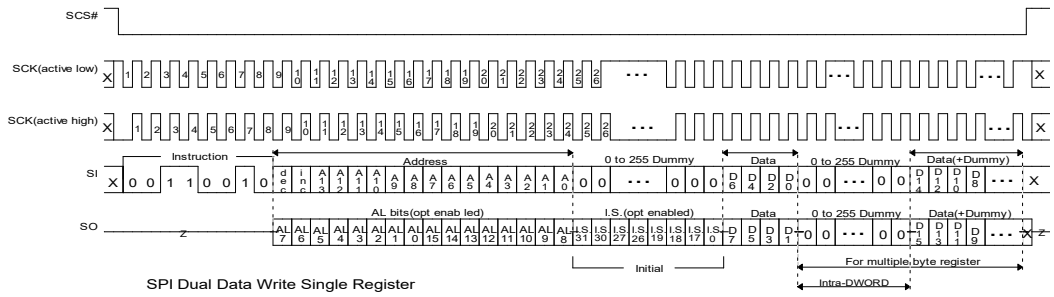


图 8- 24 SPI DUAL DATA WRITE Single Register

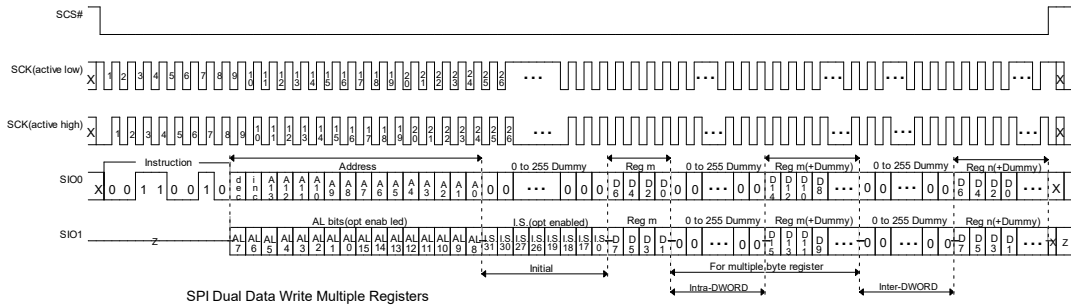


图 8- 25 SPI DUAL DATA WRITE Multiple Registers

8.2.6.3 SPI 四数据写操作

SPI 四数据写操作指令以每个时钟 1 位的方式输入指令代码和地址字节和可能的起始空字节，并以每个时钟 4 位的方式输入数据和任意后续的空字节。指令仅在 SPI 总线协议下可用，时钟频率最高支持 80 MHz；不支持 SQI 总线协议。

首先将 **SCS#**置为有效，选择 SPI 从接口。8 位 SQDW 指令（62h）输入到 **SIO[0]**引脚，其后跟两个地址字节和 0 到 255 个空字节。地址字节用于指定器件内的字节地址。

地址字节后跟数据。数据以 LSB 的 msn 在前的方式输入到 **SIO[3:0]**引脚。其余半字节在后续的时钟边沿移入。

在 EtherCAT 间接访问模式下，输入 32 位后，会对寄存器写入数据。如果在 SCS#恢复高电平时未写入 32 位，则写操作被视为无效且寄存器不受影响。

在 EtherCAT 直接映射模式下，对 EtherCAT Core CSRs 和 Process RAM 的写操作，可按字节 或完整双字操作后立即生效。对 non-EtherCAT Core CSRs 的写操作仍需按 4 字节对齐。若只写部分双字，寄存器值可能被破坏。

要结束该周期，需将 **SCS#**输入置为无效。

图 8-26 和图 8-27 给出了单次寄存器四数据写操作和多次寄存器四数据写操作的典型图示。显示一个双字对齐全双字寄存器。最后的双字不跟随空字节。显示以 4 字节对齐的寄存器，写完最后一个双字后不再追加空字节。支持部分双字写入，写完最后一个所需字节即结束，同样没有后续空字节。起始地址为非 4 字节对齐时，会在真正数据前插入 1 – 3 个对齐填充字节（不计入传输长度）。

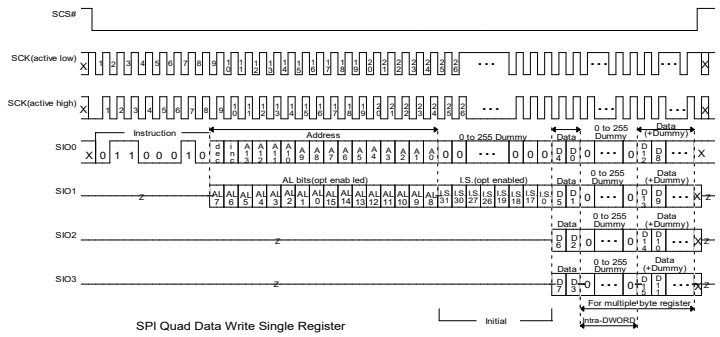


图 8- 26 SPI QUAD DATA WRITE Single Register

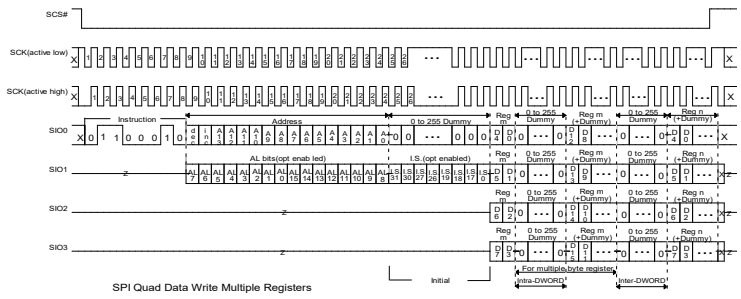


图 8- 27 SPI QUAD DATA WRITE Multiple Registers

8.2.6.4 SPI 双地址/数据写操作

SPI 双地址/数据写操作指令以每个时钟 1 位的方式输入指令代码，并以每个时钟 2 位的方式输入地址、可能的起始空字节、数据和任意后续的空字节。指令仅在 SPI 总线协议下可用，时钟频率最高支持 80 MHz；不支持 SQI 总线协议。

首先将 **SCS#**置为有效，选择 SPI 从接口。8 位 SDADW 指令（B2h）输入到 **SIO[0]**引脚，其后跟的 2 个地址字节 0 到 255 个空字节输入到 **SIO[1:0]**引脚。地址字节用于指定器件内的字节地址。地址字节后跟数据。数据以 LSB 的 msb 在前的方式输入到 **SIO[1:0]**引脚。其余双位在后续的时钟边沿移入。

在 EtherCAT 间接访问模式下，输入 32 位后，会对寄存器写入数据。如果在 **SCS#**恢复高电平时未写入 32 位，则写操作被视为无效且寄存器不受影响。

在 EtherCAT 直接映射模式下，对 EtherCAT Core CSRs 和 Process RAM 的写操作，可按字节 或完整双字操作后立即生效。对 non-EtherCAT Core CSRs 的写操作仍需按 4 字节对齐。若只写部分双字，寄存器值可能被破坏。

要结束该周期，需将 **SCS#**输入置为无效。

图 8-28 和图 8-29 给出了单次寄存器双地址/数据写操作和多次寄存器双地址/数据写操作的典型图示。显示一个以 4 字节对齐的 32 位寄存器，写完最后一个双字后不再追加空字节。支持部分双字写入，写完最后一个所需字节即结束，同样没有后续空字节。起始地址为非 4 字节对齐时，会在真正数据前插入 1－3 个对齐填充字节（不计入传输长度）。

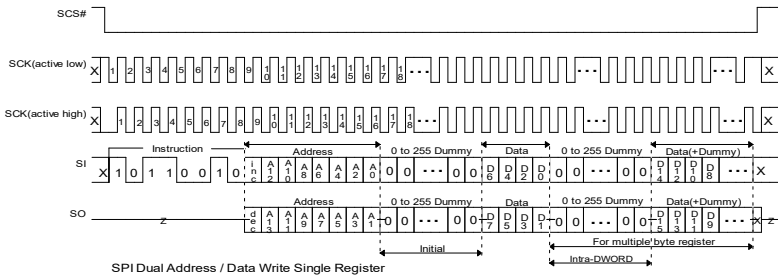


图 8- 28 SPI DUAL ADDRESS DATA WRITE Single Register

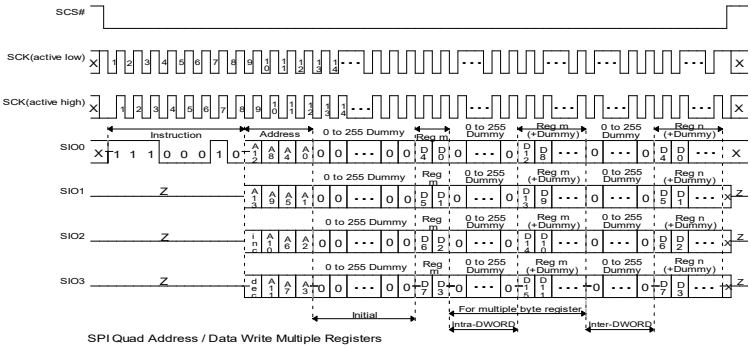


图 8- 29 SPI DUAL ADDRESS DATA WRITE Multiple Registers

8.2.6.5 四地址/数据写操作

SPI 四地址/数据写操作指令以每个时钟 1 位的方式输入指令代码，并以每个时钟 4 位的方式输入地址、可能的起始空字节、数据和任意后续的空字节。指令仅在 SPI 总线协议下可用，时钟频率最高支持 80MHz；不支持 SQI 总线协议。

首先将 **SCS#**置为有效，选择 SPI 从接口。8 位 SQADW 指令（E2h）输入到 **SIO[0]**引脚，其后跟的 2 个地址字节 0 到 255 个空字节输入到 **SIO[3:0]**引脚。地址字节用于指定器件内的字节地址。

地址字节后跟数据。数据以 LSB 的 msn 在前的方式输入到 **SIO[3:0]**引脚。其余半字节在后续的时钟边沿移入。

在 EtherCAT 间接访问模式下，输入 32 位后，会对寄存器写入数据。如果在 **SCS#**恢复高电平时未写入 32 位，则写操作被视为无效且寄存器不受影响。

在 EtherCAT 直接映射模式下，对 EtherCAT Core CSRs 和 Process RAM 的写操作，可按字节 或完整双字操作后立即生效。对 non-EtherCAT Core CSRs 的写操作仍需 4 字节对齐。若只写部分双字，寄存器值可能被破坏。

要结束该周期，需将 **SCS#**输入置为无效。

图 8-30 和图 8-31 给出了单次寄存器四地址/数据写操作和多次寄存器四地址/数据写操作的典型图示。显示一个以 4 字节对齐的 32 位寄存器为例，写完最后一个双字后不再追加空字节。支持部分双字写入，写完最后一个所需字节即结束，同样没有后续空字节。起始地址为非 4 字节对齐时，会在真正数据前插入 1－3 个对齐填充字节（不计入传输长度）。

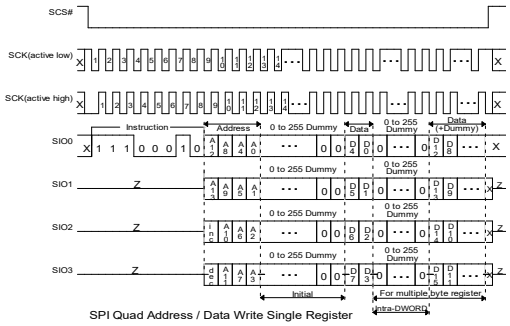


图 8- 30 SPI QUAD ADDRESS DATA WRITE Single Register

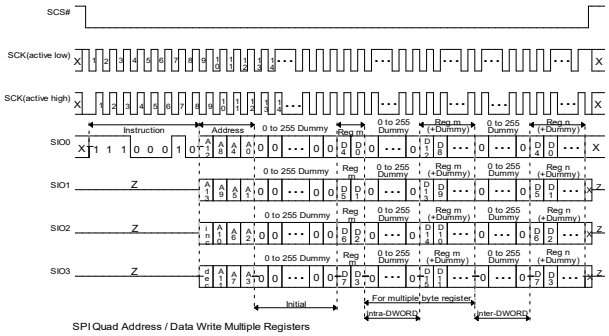


图 8- 31 SPI QUAD ADDRESS_DATA WRITE Multiple Registers

8.2.7 中断请求 (AL EVENT REQUEST)和中断状态 (INST_STS) 寄存器输出

在 SPI Read, Fast Read, Dual Output Read, Quad Output Read, Write, Dual Data Write 和 Quad Data Write 指令的地址阶段，中断请求寄存器(AL EVENT REQUEST)的低 16 位可以移位输出到 **SO/SIO[1]** 引脚上。顺序是 LSB 先传。该功能展示在前面的图表中。

此数据的输出由 PDI 配置寄存器 的 SPI AL Event Request & INT_STS Enable 位使能启用。若未启用，则 SPI 接口在相应时段保持高阻态。

在 SPI Read, Fast Read, Dual Output Read, Quad Output Read, Write, Dual Data Write 和 Quad Data Write 指令的地址阶段后的第一个空字节(如果存在) ，中断状态寄存器（INT_STS）的 31:30、27:26、19:17 和 0 位可能被串行输出到 SO/SIO[1]引脚。该功能展示在前面的图表中。

Funcience confidential

8.3 EtherCAT 直接映射模式

在 EtherCAT 直接映射模式时，设备地址空间分为 EtherCAT Core CSRs （0h-0FFFh）、 Process RAM（1000h-2FFFh）、non-EtherCAT Core CSRs (3000h -3FFFh)。访问 non-EtherCAT Core CSRs 仍然需要通过现有的 CSR 总线接口。访问 EtherCAT Core CSRs and Process RAM 不再通过之前的 EtherCAT CSR and Process RAM 命令，地址，长度和数据寄存器，而是直接通过 SPI 从站直接访问 EtherCAT Core。

SPI EtherCAT 直接映射模式被 PDI 控制寄存器每个值选择，值显示在表 12-2“PDI 模式选择”。

8.3.1 Non-EtherCAT Core CSRs

non-EtherCAT Core CSR 可连续访问，同 EtherCAT 间接访问模式.

如果上一次对 EtherCAT Core 的写操作尚未完成，则不得启动新的 SPI 命令。当拉低 SCS# 且没有待处理的写操作时，WAIT_ACK 立即输出“就绪（非忙）”状态。若内部仍有未完成的 EtherCAT Core 写操作，WAIT_ACK 最初会输出“等待”。主机可以选择拉高 SCS# 终止本次周期并在稍后重试，也可以持续等待，直到 WAIT_ACK 变为“非忙”。一旦检测到“非忙”，WAIT_ACK 将在整个剩余周期内保持“就绪”状态。

提示 1： Non-EtherCAT Core CSR 的访问不会使用 WAIT_ACK 的指示创建等待状态。但是，必须使用表 8-1 和表 8-2 中列出的最小初始空字节。这些是表 8-3 中的默认值。通过 Time or Dummy Cycle Based 部分，如果将空字节用于访问 EtherCAT Core CSRs 和 Process RAM，则可使用更高值。

提示 2:不支持等待相同的时间来代替初始空字节。

所有寄存器均按双字访问，且长度固定为 1 个双字。系统不支持任何非 4 字节对齐或非双字长度的访问。无论主机给出什么地址，都会被硬件强制 4 字节对齐 32 位寄存器，确保始终按完整 双字进行读写。

8.3.1.1 读

读寄存器时，数据在第一次输出后立即开始，随后每 32 位输出一次。所有受读操作影响的寄存器，都在当前双字移位开始时被更新。因此，连续读操作始终以双字为单位进行。

为了避免在最后一个数据后请求额外的数据，有两种方法使用。对于 READ 指令，SI 输入使用描述在章节 8.2.5.1。对于其他的读命令（FASTREAD,ADOR,SDIOR,SQOR,SQIOR），通过章节 8.2.5.6，在字节中数据长度使用描述在章节 8.2.5.2。

自动递增/递减

连续访问多个双字时的自动递增/递减规则，仍按章节 8.2.5 的描述执行。

8.3.1.2 写

每移入 32 位后，数据即写入相应寄存器。如果在 SCS# 拉高前未完整写入 32 位，仍可能发生写入，从而导致寄存器值被破坏。连续多次写入均以双字为单位进行。

Funcience confidential

自动递增/递减

对于多次双字剩余操作的自动递增/递减操作的描述在章节 8.2.6。

8.3.2 EtherCAT Core CSRs and Process RAM

寄存器/进程 RAM 的访问起始地址可以是任何字节对齐和长度（以读传输长度字段所允许的上限为准）。

8.3.2.1 读

根据所使用的读指令，EtherCAT Core 的数据读取每隔 8-bits 或双字进行一次。主机的职责是只在输出数据可用时移动它，如下所述：

读命令：

一旦命令的地址部分被移入，初始数据的请求就会发生。当前面的数据移位输出开始时，会发生后续的数据请求。READ 指令缺少指示主机将移出的双字字节数的信息。因此，对 READ 指令，一次请求一个字节的数据。

为了避免在最后一个数据后请求额外的数据，SI 输入被用作读终止，描述见第 8.2.5.1 节。

FASTREAD, SDOR, SDIOR, SQOR, SQIOR Commands:

一旦命令的长度部分被移入，初始数据的请求就发生了。为了提供一个一致的时间来预取下一个双字，0 to 3 填充字节 (每个填充字节可能是空字节) 在第一个有效数据前预置，实现双字对齐输出。字节数量基于起始地址。当前数据或第一个填充字节移位输出开始时，会发生后续的数据请求。

FASTREAD, SDOR, SDIOR, SQOR and SQIOR 指令包含转移长度，并与起始地址一起用于计算初始请求的字节数， .剩余字节数用于计算随后请求的字节数，避免在最后一个数据后请求额外的数据。

第一位的特殊处理：

SCK 是一连串高电平有效的脉冲。当最后一个地址字节、传输长度字节或空字节全部移入后，SCK 会拉低（即下降沿）。该下降沿正好对应于输出首位或首几位）数据的时刻。然而，此时很可能尚未从 EtherCAT Core 中读到有效数据。

为了解决这个问题，从 EtherCAT Core 中读取有效数据后，第一个位数据会异步输出。参见图 8-32。

Funcience confidential

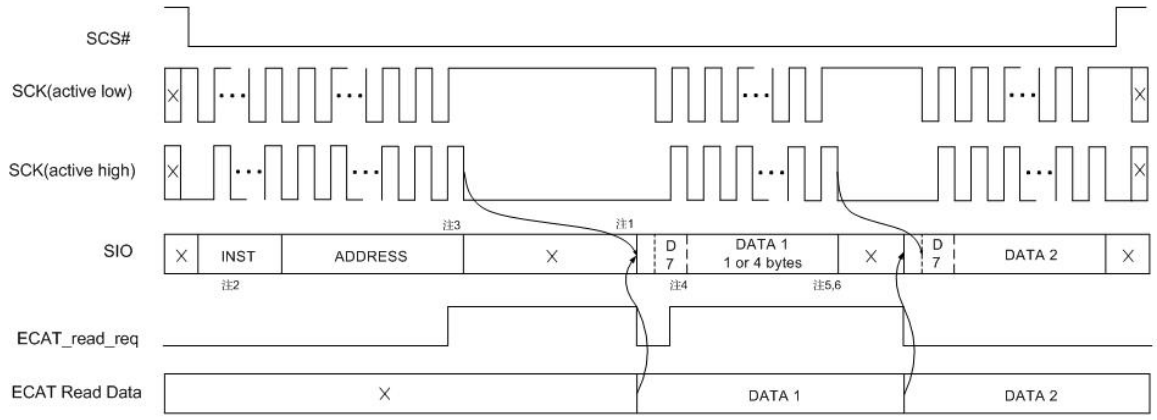


图 8- 32 高有效 SCK 第一数据位

注 1：SCK 高有效 - 一旦下降沿已经发生，第一个数据位异步输出。

注 2：INST 是或者 READ, FASTREAD, SDOR, SDIOR, SQOR 或 SQIOR。

注 3：地址可能跟随在传输长度和/或者空字节之后。注意数据输出的最后一个时钟。

注 4：字节访问显示（READ 指令）。双字 access (FASTREAD, SDOR, SDIOR, SQOR and SQIOR commands) could be pre-pended by pad bytes，但是仍然注意相同的下降沿。

注 5：注意下降沿发生在 READ 指令的每个字节和 FASTREAD, SDOR, SDIOR, SQOR 以及 SQIOR 指令的每个双字。

注 6：数据可能跟随在空字节之后。注意在下一个字节（READ）或者下一个双字（其他的）的输出之前的最后一个时钟。

自动递增/递减

固定地址和自动递增/递减读操作到底以字节还是双字为单位，完全取决于所用的命令。令(READ vs FASTREAD,SDOR,SDIOR,SQOR,SQIOR)。

对于面向双字的操作，双字地址可以保持固定，也可以递增或递减；而双字内部的字节地址则始终递增。在自动递增模式下，支持非 4 字节对齐的起始地址以及部分非完整双字传输。在自动递减和固定地址模式下，仅支持 4 字节对齐起始地址和完整的双字传输。

READ 命令（字节 oriented）

Dec/inc=00：常量字节地址

读字节

内部地址每字节重复。

开始地址：yyyy

内部地址：yyyy

字节地址：　　yyyy

第一个数据输出：　　valid

下一个内部地址：yyyy

字节地址：　　yyyy

第二数据输出：　　valid

Funcience confidential

下一个内部地址：yyyy

字节地址：　　yyyy

最终地址输出：　　valid

Dec/inc=01：递增字节地址

读字节

内部地址递增到下一个字节

开始地址：yyyy

内部地址：yyyy

字节地址：　　yyyy

第一个数据输出：　　valid

下一个内部地址：下一个字节

字节地址：　　+1

第二数据输出：　　valid

下一个内部地址：下一个字节

字节地址：　　+2

最终地址输出：　　valid

Dec/inc=10：递减字节地址

读字节

内部地址递减到之前的字节

开始地址：yyyy

内部地址：yyyy

字节地址：　　yyyy

第一个数据输出：　　valid

下一个内部地址：之前的字节

字节地址：　　-1

第二数据输出：　　valid

下一个内部地址：之前的字节

字节地址：　　-2

最终地址输出：　　valid

Dec/inc=11：保留

Funcience confidential

FASTREAD, SDOR, SDIOR, SQOR, SQIOR 命令 (双字 oriented)：

Dec/inc=00：常量双字匹配地址

读 4 个增长字节命令双字内的字节

内部地址每双字节重复。

开始地址：yyyy

内部地址：yyyy

字节地址：	yyyy	+1	+2	+3
第一个数据输出：	valid	valid	valid	valid

内部地址：yyyy

字节地址：	yyyy	+1	+2	+3
第二数据输出：	valid	valid	valid	valid

内部地址：yyyy

字节地址：	yyyy	+1	+2	+3
最终地址输出：	valid	valid	valid	valid

Dec/inc=01：递增双字地址

读 4 个在每个增长字节命令双字内的字节

内部地址每个双字递增到下一个双字

开始地址：yyyy

内部地址：yyyy 的双字地址

字节地址*：	yyyy	+1	+2	+3
		yyyy	+1	+2
			yyyy	+1
				yyyy
第一个数据输出：	valid	valid	valid	valid
	pad*	valid	valid	valid
	pad*	pad*	valid	valid
	pad*	pad*	pad*	valid

下一个内部地址：下一个双字

字节地址：	+4	+5	+6	+7
	+3	+4	+5	+6
	+2	+3	+4	+5
	+1	+2	+3	+4

Funcience confidential

第二数据输出：	valid	valid	valid	valid

下一个内部地址：下一个双字

字节地址：	+8	+9	+10	+11
	+7	+8	+9	+10
	+6	+7	+8	+9
	+5	+6	+7	+8
最终数据输出：	valid	valid/na**	valid/na**	valid/na**

*：如果起始地址不是 4 字节对齐，首先输出的可能是 0～3 个填充字节，用来把后续有效数据对齐到 32 位边界。

--： 传输长度字段里不包含这些填充字节。

**：最终数据输出可能少于 4 字节

Dec/inc=10：递减的双字对齐起始地址

读 4 个在每个增长字节命令双字内的字节

内部地址通过 4 个双字减少

开始地址：yyyy

内部地址：yyyy

字节地址：	yyyy	+1	+2	+3
第一个数据输出：	valid	valid	valid	valid

下一个内部地址：之前的双字

字节地址：	-4	-3	-2	-1
第二数据输出：	valid	valid	valid	valid

下一个内部地址：之前的双字

字节地址：	-8	-7	-6	-5
最终地址输出：	valid	valid	valid	valid

Dec/inc=11：保留

8.3.2.2 写

对 EtherCAT Core 的数据每次可写入 8 位。也可等到一个双字的最后一个字节移入后再一次性写入。后一种方式吞吐量更高，但会占用更多的命令处理时间，可能使下一条命令推迟执行。

多个写入可以是字节或双字。

根据 SPI 命令的增量/减量位，SPI 接口可以动态地积累和编写在一个 SPI 总线周期中的 32 位，多次。在不超过 4 个字节的情况下，在总线循环结束之前移出，SPI 接口提交收到的数据量。

Funcience confidential

通常使用字节缓冲。

双字缓冲是使用通常保留的自动减量/增量 b’11 来表示的。

当设备准备就绪时，主机的责任只会在下一个数据中移出。这是以下描述的分段。

自动递增/递减

恒定地址和自动递增/递减写操作都是基于字节或双字的使用的缓冲类型(字节缓冲 vs 双字缓冲)。

在采用双字缓冲时双字地址可以保持固定，也可以递增或递减。双字内部的字节地址始终递增。仅支持自动递增操作（不支持自动递减或固定地址）。

Dec/inc=00：常量字节地址

写字节

内部地址每字节重复。

开始地址：yyyy

内部地址：yyyy

字节地址：yyyy

第一个数据输入：valid

下一个内部地址：yyyy

字节地址：yyyy

第二数据输入：valid

下一个内部地址：yyyy

字节地址：yyyy

最终地址输出：valid

Dec/inc=01：递增字节地址

写字节

内部地址递增到下一个字节

开始地址：yyyy

内部地址：yyyy

字节地址：yyyy

第一个数据输入：valid

下一个内部地址：下一个字节

字节地址：+1

第二数据输入：valid

Funcience confidential

下一个内部地址：下一个字节

字节地址：　　+2

最终地址输入：　　valid

Dec/inc=10：递减字节地址

写写节

内部地址递减到之前的字节

开始地址：yyyy

内部地址：yyyy

字节地址：　　yyyy

第一个数据输入：　　valid

下一个内部地址：之前的字节

字节地址：　　-1

第二数据输入：　　valid

下一个内部地址：之前的字节

字节地址：　　-2

最终地址输入：　　valid

Dec/inc=11：递增的双字地址

写 4 个在每个增长字节命令双字内的字节

内部地址每个双字递增到下一个双字

开始地址：yyyy

内部地址：yyyy 的双字地址

字节地址*：	yyyy	+1	+2	+3
	yyyy	+1	+2	na*
	yyyy	+1	na*	na*
	yyyy	na*	na*	na*
第一个数据输出*：	valid	valid	valid	valid
	valid	valid	valid	na*
	valid	valid	na*	na*
	valid	na*	na*	na*

下一个内部地址：下一个双字

字节地址：	+4	+5	+6	+7
	+3	+4	+5	+6

Funcience confidential

	+2	+3	+4	+5
	+1	+2	+3	+4
第二数据输出：	valid	valid	valid	valid

下一个内部地址：下一个双字

字节地址：	+8	+9	+10	+11
	+7	+8	+9	+10
	+6	+7	+8	+9
	+5	+6	+7	+8
最终数据输出**：	valid	valid/na**	valid/na**	valid/na**

* ：如果非 4 字节对齐起始地址，第一数据可能最少 4 字节

**：最终数据输出可能少于 4 字节

8.3.2.3 等待状态

EtherCAT 直接映射模式主机总线必须遵从 EtherCAT Core PDI 控制的访问仲裁机制。

若上一条 EtherCAT Core 写操作未完成，则不得启动后续任何 SPI 命令。

所有读操作都需先经过仲裁，然后才能返回数据，因此必然存在延迟。为了确保返回的数据有效，必须在最坏情况访问时间到达之后，才能开始将读数据移出。在首次读数据开始移出的同时，后续顺序数据已被预取。然而，后续读数据的移出同样不得早于最坏情况访问时间。

写操作先将数据全部移入，随后再由 EtherCAT Core 执行。对于连续写操作，后续写周期的数据可以提前开始移入，但必须控制总线速度，使得后续写周期在最坏写仲裁时间结束之前不会完成。若使用双字缓冲，同一双字内的各字节可以无间隔地连续移入。然而，在 双字缓冲模式下，若最后一次写入的是不完整双字，则必须等前一次写操作真正完成后，SCS#才能拉高。

除了简单地等待所需的时间或使用足够缓慢的 SPI 时钟速度，还有两种方法可供主机使用。所有读写命令均可插入空字节，用以调节数据速率。等待/应答**(WAIT_ACK)**引脚可以作为读取数据的指示，或者在可能完成的时候，写入数据移位。

Time or Dummy Cycle Based

所有读写命令均可使用空字节。可为每种命令类型分别设置空字节的数量，也可针对首字节、每个字节或每个双字单独设置。空字节的具体数量取决于 SPI 时钟频率以及所使用的 SPI 命令。

提示：空字节可以与下一小节所述的等待/应答机制同时使用。其设计意图是：当 Wait 信号有效时，就边等待边移入空字节。空字节的作用正是填满 Wait 信号所要求的等待时间。如果在 Wait 信号撤销之后才开始移空字节，那就失去了设置空字节的意义。

以下的时间限制必须遵循：

提示：本节给出的所有时序参数都是初步估算值，后续可能会调整或更新，设计时不要把它们当成固定值。

Funcience Confidential

只要 EtherCAT Core 里还有一条写操作没完成，就绝不能再启动新的 SPI 命令。单字节写操作的最坏内部写周期时间为 250ns，此后每多写一个字节再增加 80ns。

Read first 字节从采样最后一位地址位（或最后一位传输长度位）的 SCK 上升沿开始，到数据准备就绪为止。READ 命令最长需 370ns，其余读命令最长需 610ns。在这段等待时间内，SCK 可以先出现下降沿。如果 SCK 提前下降，数据不会立即输出，而是等到内部数据就绪时才异步送出。见第 8.3.2.1 节。

提示：“其他”读命令专为连续字节读做了优化。虽然它们的首次访问时间更长，还要额外发送传输长度字节，但在连续读取大量字节时，整体性能可能仍优于标准 READ 命令。

Read next 字节从输出当前字节首数据的 SCK 下降沿之后的第一个 SCK 上升沿起，到下一字节准备就绪为止，READ 命令需等待 370ns。其他读命令需等待 0ns（但仍须满足读下一双字的时序）。这段等待时间可能全部或部分与当前字节的移出时间重叠。

Read next 双字从输出当前首双字的第一位数据的 SCK 下降沿之后的第一个 SCK 上升沿起，到下一双字准备就绪为止，READ 命令不适用。其他读命令，需等待 610ns。这段等待时间可能全部或部分与当前双字的移出时间重叠。

Write first 字节(Byte Buffering mode) 从发送最后一位数据位到采样该位的 SCK 上升沿之间不需要额外的等待时间，即 0ns。

Write first 双字(Byte Buffering mode) 从发送最后一位数据位到采样该位的 SCK 上升沿之间不需要额外的等待时间，即 0ns。

Write next 字节 (Byte Buffering mode) 从采样当前字节最后一位的那个 SCK 上升沿，到采样下一字节最后一位的下一个 SCK 上升沿，最短需 250ns。这段 250ns 的等待时间可能全部或部分与把下一字节移入所需的时钟周期重叠，因此主机不一定需要额外空等。

Write next full 双字(DWORD Buffering mode) 从采样当前双字最后一位的 SCK 上升沿，到采样下一个完整双字最后一位的 SCK 上升沿，最短需 490ns。这段 490ns 的等待时间可能全部或部分与移入下一个双字所需的时钟周期重叠，因此主机不一定需要额外空等。

Write last partial 双字(DWORD Buffering mode) 从采样当前完整双字最后一位的那个 SCK 上升沿开始，到 SCS#被拉高（强制把最后一个不完整双字写入）为止，最短需 490ns。这段 490ns 的等待时间可能全部或部分与把该不完整 双字移入所需的时钟周期重叠，因此主机不一定需要额外空等。

Wait / Acknowledge Operation

主机可以采用两种做法，按上面给出的最差访问时间进行等待或使用 WAIT_ACK 信号，等到它指示可以继续时再操作。

提示：等待/应答可以与上面描述的空字节周期操作共存。

读写周期从 SCS #的前沿开始，使得 WAIT_ACK 输出。

如果 EtherCAT Core 内部仍有未完成的写操作，WAIT_ACK 会先给出等待（wait）信号。若没有尚未完成的写操作，WAIT_ACK 会立即给出应答（not busy）信号。

如果 EtherCAT Core 里还有未完成的写操作，就不得启动新的 SPI 命令。最差情况下，内部写周期时间为，单字节 250ns，每多一个字节再增加 80ns。主机可以拉低 SCS#结束当前周期并稍后重

Funcience confidential

试，也可以一直等到 WAIT_ACK 指示非忙状态再继续。

对于从 EtherCAT Core 的 CSR 和进程 RAM（地址 0h 到 2FFFh）的读取，在地址全部移入后，SPI 接口从 EtherCAT Core 获取读数据，此时 WAIT_ACK 会变为等待状态。当读数据可用时，WAIT_ACK 将变为应答状态，主机即可开始将数据移出。

提示：章节 8.3.2.1 的“Special Handling of First Bit(s)”，每个数据的首个 SCK 下降沿可能在数据尚未就绪时就出现。此时，数据将在准备就绪后异步输出。

在第一个数据的转变之后(在输出数据的下降沿之后的上升沿)，**WAIT_ACK** 将再次等待，因为 SPI 接口预先获取下一个读取数据。（假设有下一个预取回，否则 **WAIT_ACK** 将继续表示应答）。

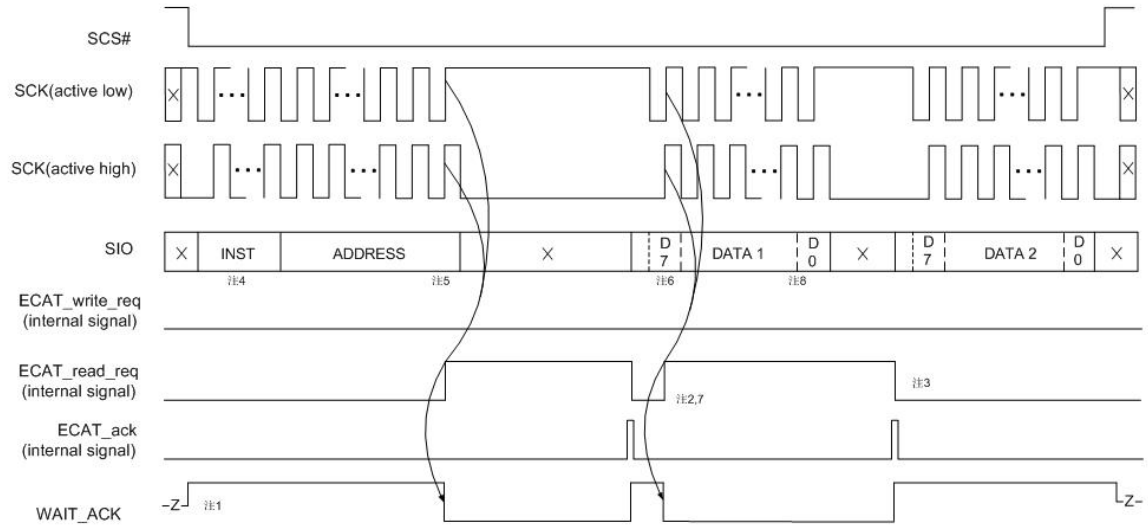


图 8- 33 SPI WAIT ACK EtherCAT Core 读操作

注 1：由于没有之前的内部写操作，**WAIT_ACK** 起初是高电平。

注 2：下一次读操作需要连同下一个 **WAIT_ACK**，下一个 **WAIT_ACK** 在第一个数据开始移出之后开始上升沿。

注 3：第三次读操作不需要执行，所以 **WAIT_ACK** 维持无效。

注 4：INST 是或者 READ, FASTREAD, SDOR, SDIOR, SQOR 或 SQIOR。

注 5：地址可能跟随在传输长度和/或者空字节之后。**WAIT_ACK** 在最后的地址或传输长度输入上变有效。任意空字节发生与 **WAIT_ACK** 类似。

注 6：字节访问显示（READ 指令）。双字 access (FASTREAD, SDOR, SDIOR, SQOR and SQIOR commands) could be pre-pended by pad bytes。

注 7：**WAIT_ACK** 发生在每个字节(READ) 或者每个双字(其他的)。

注 8：数据可能跟随在空字节之后，空字节可能发生与 WAIT_ACK 类似。

注：显示高有效的 Push-Pull **WAIT_ACK**。

对于向 EtherCAT Core 的 CSR 和进程 RAM（地址 0h 到 2FFFh）的写操作，根据写缓冲模式，WAIT_ACK 会在每个字节或每个（可能不完整的）双字 的最后一位数据移入后变为“等待”状态。当最后一位数据移入后，内部写操作即被启动。一旦该内部写操作完成，WAIT_ACK 将变为“应答”状态。在等待内部写操作完成期间，主机可以开始移入下一个数据，但只有在 WAIT_ACK 指示“应答”后，才能结束该字节或双字的写入。

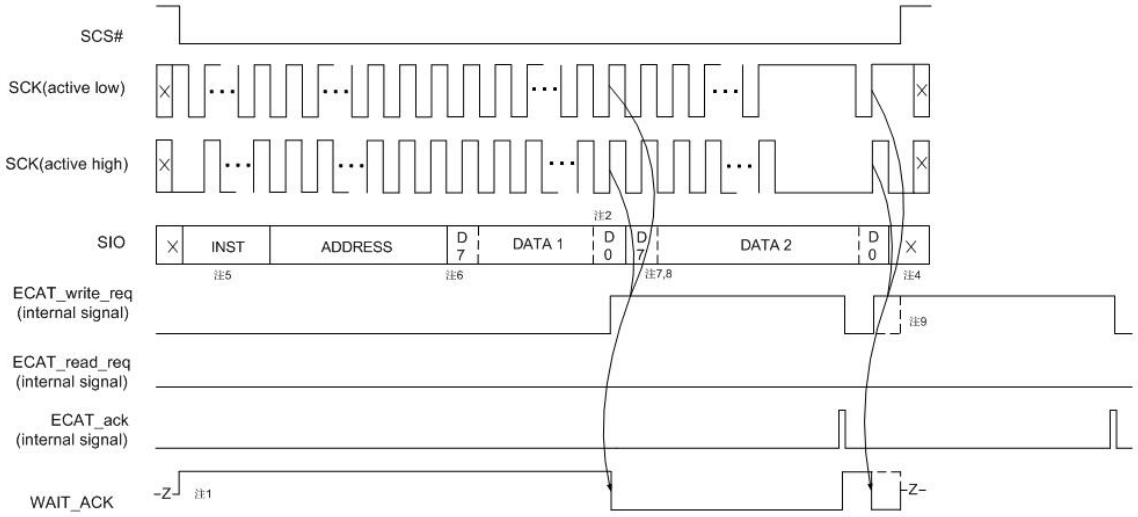


图 8- 34 SPI WAIT ACK EtherCAT Core 写操作

注 1：由于没有之前的内部写操作，**WAIT_ACK** 起初是高电平。
注 2：主机可以在内部写操作器件开始下一个数据写移出。
注 3：主机必须在完成下一个数据写入之前等待。
注 4：主机可以在最后的内部写操作之前完成 SPI 周期。
注 5：INST 是或者 WRITE, SDDW, SDADW, DQDW 或 SQADW。
注 6：地址可能跟随在空字节之后。
注 7：数据可能跟随在空字节之后，空字节可能发生与 **WAIT_ACK** 类似。
注 8：字节缓冲模式显示。双字缓冲模式是相同的，除了内部写操作，并且 WAIT 发生在双字结尾（bitD24）。
注 9：对于双字缓冲模式，如果最后一位不是 D24，则内部写操作发生 SCS#无效时。
注：显示 Push-Pull 的 **WAIT_ACK**（1 表示等待，0 表示应答）。

WAIT_ACK 在 **SCS #**的低电平下不再驱动。

Funcience co

8.4 控制器访问错误

通过 SPI 接口检测以下访问错误：

- 在前一次写操作尚未完成时启动了新的 SPI 命令（仅在 EtherCAT 直接映射模式下）。
- 对于非 EtherCAT Core CSR 的访问，如果数据阶段的时钟周期数不是双字的整数倍（即发生了不完整双字的传输）。
- 对于 EtherCAT 内核 CSR 和过程 RAM 访问,在传输的数据阶段期间,时钟周期的数量不对齐到多个字节(不完整的字节被传输)(EtherCAT 直接映射模式)。
- 对于读取指令,在最后一个字节中 SI 置高,没有终止数据阶段。
- 对于读取指令,在最后一个字节 SI 置高后,会读取额外的字节。
- 对于 FASTREAD、SDOR、SDIOR、SQOR、SQIOR 指令,不正确的字节数被读取(不匹配所提供的字节长度)。
- 对于一个 EtherCAT 内核 CSR 和过程 RAM 读取访问, （仅在 EtherCAT 直接映射模式下）：

  a） 在首次访问时，在最后一个地址、传输长度或空字节输入之后出现的首个 SCK 上升沿，发生在接口仍在忙于取数据的阶段。

  b） 对于随后的访问,在最后一个当前数据或空字节输出发生后,一个上升的 SCK 出现,而接口正忙着获取下一个数据。

  (之所以在 SCK 的上升沿做检测，是为了允许在地址、传输长度、空字节或当前数据最后一位之后，先出现一个下降沿，而下一次数据尚未就绪。见章节 8.3.2.1)。
- 在写访问时，如果当前字节缓冲模式或双字缓冲模式的最后一个数据时钟周期出现时，前一次写操作仍未完成。（仅在 EtherCAT 直接映射模式下）。
- 在写访问时，如果 SCS#提前被拉高（从而把当前未写完的部分双字强行提交），而此时前一次写操作尚未完成。（仅在 EtherCAT 直接映射模式下）。

PDI 错误计数寄存器会加 1，访问错误的具体原因可从 PDI 错误代码寄存器中读取。PDI Error Code Register 位定义在 10.16.40 节有详细说明。

提示： 一次传输可能包含多个错误。按时间顺序出现的错误会分别单独计数。每当发生错误时，错误状态都会立即更新，并覆盖之前的错误状态。在传输结束时同时出现的错误（包括不完整的字节或双字、读操作结束时未将 SI 置高表示最后一个字节以及实际读取长度与提供的字节长度不符）只会使 PDI 错误计数寄存器再增加一次。错误状态仍会覆盖之前的任何状态，但如果这些错误同时发生，错误状态可能同时反映多个错误条件。

Funcience confidential

8.5 SPI/SQI 时序要求

SPI/SQI 接口引脚时序描述如下。对于 EtherCAT 直接映射模式数据访问时间在第 8.3.2.3 节，等待状态中描述。

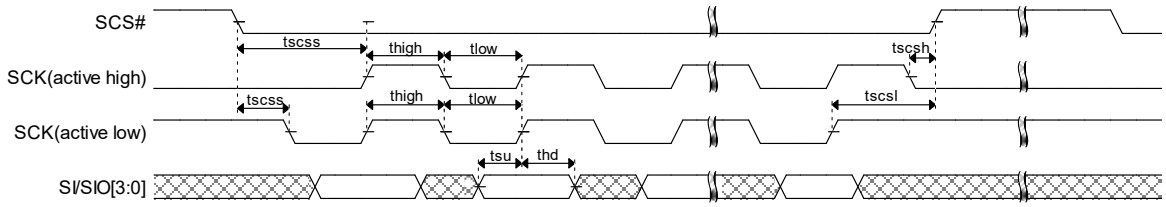


图 8- 35 SPI/SQI 输入时序

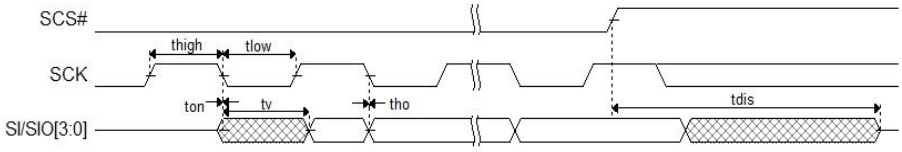


图 8- 36 SPI/SQI 输出时序

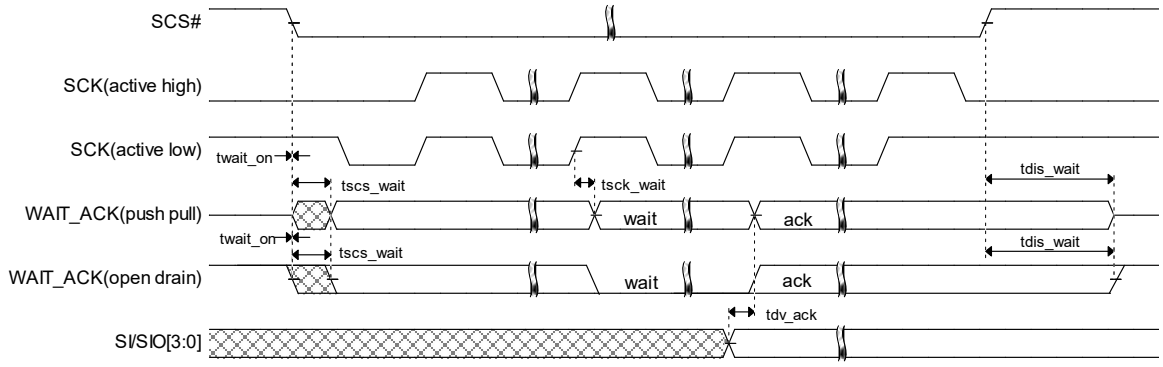


图 8- 37 SPI/SQI WAIT_ACK 时序

符号	描述	最小值	典型值	最大值	单位
fsck	**SCK** clock frequency 注 11			30/80	MHz
thigh	**SCK** high time	5.5			ns
tlow	**SCK** low time	5.5			ns
tscss	**SCS#** setup time to **SCK**	5			ns
tscsh	**SCS#** hold time from **SCK**（**SCK** active high）	5			ns
tscsl	**SCS#** hold time from **SCK**（**SCK** active low）	10.5			ns
tscshl	**SCS#** inactive time	50			ns
tsu	Data input setup time to **SCK**	3			ns
thd	Data input hold time from **SCK**	4			ns
ton	Data output turn on time from **SCK**	0			ns
tv	Data output valid time from **SCK** 注 12 应用说明：取决于时钟频率和脉冲宽度，直至 SCK 的下一个上升沿后，数据才会有效。通常使用高速 SPI 从站（例如 SPI flashes）主机 SPI 控制器可能需要将数据的采样延迟一段固定的时间，或者使用 SCK 的下降沿对数据进行采样。			3.3V **VDDIO** 30pF:9 10pF:8.5 1.8V **VDDIO** 30pF:13.2	ns
tho	Data output hold time from **SCK**	0			ns
tdis	Data output disable time from **SCS#** inactive			20	ns
twait_on	**WAIT_ACK** turn on time from **SCS#** active	0			ns
tscs_wait	**WAIT_ACK** valid from **SCS#** active			16	ns
tdis_wait	**WAIT_ACK** disable time from **SCS#** inactive			20	ns
tsck_wait	**WAIT_ACK** assertion from **SCK**			21.2	ns
tdv_ack	Read Data asynchronous output valid before **WAIT_ACK** de-assertion	15			ns

表 8- 4 SPI/SQI 时序值

注 11：READ 指令限制最高 30MHZ。

注 12：取决于负载和供应电压。

Funcience confidential

9 以太网 PHY

芯片内部包含两个 PHY，其兼容 ***IEEE802.3/802.3u (Fast Ethernet)***，具体请参考相应的协议文档。

Funcience confidential

10 EtherCAT

10.1 EtherCAT 功能概述

EtherCAT 模块实现了一个 3 端口 EtherCAT 从控制器，该控制器具有 8 Kb 双端口存储器（DPRAM）、 8 个 SyncManager、8 个现场总线存储器管理单元（FMMU）和 1 个 64 位分布式时钟。

每个端口均接收以太网帧、执行帧校验并将以太网帧转发到下一个端口。接收到帧时会生成时间戳。如果某个端口上没有链路、端口不可用或者端口的环路关闭，则各端口的环回功能会将以太网帧转发到下一个逻辑端口。端口 0 的环回功能将帧转发到 EtherCAT 处理单元。环路设置可通过 EtherCAT 主器件控制。

数据包按以下顺序转发：端口 0->EtherCAT 处理单元->端口 1->端口 2。

EtherCAT 处理单元（EtherCAT Processing Unit， EPU）接收、分析并处理 EtherCAT 数据流。EtherCAT 处理单元的主要用途是实现并协调对 ESC 的内部寄存器和存储空间的访问，这两部分均可被 EtherCAT 主器件和本地应用寻址。主器件和从器件应用间的数据交换与双端口存储器（过程存储器）相当，并且通过一致性校验（SyncManager）和数据映射（FMMU）等特殊功能得到了增强。

每个 FMMU 均执行将逻辑 EtherCAT 系统地址按位映射到器件物理地址的任务。

SyncManager 负责确保 EtherCAT 主器件与从器件之间的数据交换和邮箱通信的一致性。每个 SyncManager 的方向和工作模式由 EtherCAT 主器件配置。提供两种工作模式：缓冲模式和邮箱模式。在缓冲模式下，本地单片机和 EtherCAT 主器件可同时写入器件。 兼容模式中的缓冲区始终包含最新数据。如果新数据在旧数据可读出前到达，则旧数据将丢失。在邮箱模式下，本地单片机和 EtherCAT 主器件通过握手来访问缓冲区，从而确保不会丢失任何数据。

凭借分布式时钟（Distributed Clock， DC），可以精确同步输出信号、输入采样和事件时间戳的生成。

EtherCAT 一章包含以下主要章节：

- 章节 10.2 “分布式时钟”
- 章节 10.3 “PDI 选择和配置”
- 章节 10.4 “数字 I/O PDI”
- 章节 10.5 “SPI 主机接口”
- 章节 10.6 “主机总线接口(HBI)”
- 章节 10.7 “Beckhoff SPI 控制器”
- 章节 10.8 “GPIO”
- 章节 10.9 “用户 RAM”
- 章节 10.10 “EEPROM 可配置寄存器”
- 章节 10.11 “端口接口”
- 章节 10.12 “LED”
- 章节 10.13 “EtherCAT CSR 和过程数据 RAM 访问”

Funcience confidential

- 章节 10.14“EtherCAT 复位”
- 章节 10.15“EtherCAT CSR 和过程数据 RAM 访问寄存器（可直接寻址）”
- 章节 10.16“EtherCAT 内核 CSR 寄存器（可间接寻址）”

EtherCAT 模块由这些主要模块组成:

- EtherCAT 内核-这些寄存器提供对各种控制结构参数的访问,用于配置和监视。
- EtherCAT CSR 和处理数据 RAM 访问-这个块接口的 EtherCAT 内核 CSR 到设备的其余部分。
- EtherCAT CSR 和处理数据 RAM 访问寄存器(直接可寻址)——这些提供直接可寻址的系统 CSR 与 EtherCAT 内核有关。

请参见图 1-2 有关器件内 EtherCAT 模块的互连概览。

Funcience confidential

10.2分布式时钟

器件支持 64 位分布式时钟，以下各小节将详细介绍。

10.2.1 SYNC/LATCH 引脚复用

EtherCAT 内核提供两个输入引脚（**LATCH0** 和 **LATCH1**），用于外部事件的时间戳. 上升沿和下降沿时间戳均会被记录. 这两个引脚分别与 **SYNC0** 和 **SYNC1** 输出引脚共用, 用于指示是否发生了时间事件。**SYNC0/LATCH0** 和 **SYNC1/LATCH1** 引脚的功能分别由 SYNC/LATCH PDI 配置寄存器的 SYNC0/LATCH0 配置和 SYNC1/LATCH1 配置位确定。

当设置为 **SYNC0/SYNC1** 功能时，输出类型 (Push-Pull vs. Open Drain/Source)和输出极性由 SYNC/LATCH PDI 配置寄存器的 SYNC0 输出驱动器/极性和 SYNC1 输出驱动器/极性位确定。

当选择 **SYNC0** 时，**LATCH0** 可能取决于设备配置，可能会重新应用一个备用的引脚（表 2-1 和表 2-2）。同样,当选择 **SYNC1** 时，**LATCH1** 可能会被重新应用于备用的引脚（表 2-1 和表 2-2）取决于设备配置。该映射在表 10-1 中详细说明。

提示:如果没有重新映射到备用引脚，当 SYNC0 / SYNC1 作为输出启用时，LATCH0 / LATCH1 保持为低。

在分布时钟使用 SYNC0/SYNC1 功能时，LATCH0/1 重映射：

型号	信号	数字 I/O 模式引脚编号	HBII 引脚编号	HBIM 引脚编号	SPI 与 GPIO 模式引脚编号	SPI 与 MII 模式引脚编号
FCE1354	LATCH0	Pin10	Pin65			
	LATCH1	Pin57	Pin66			
FCE1353	LATCH0	Pin10	无法重映射，LATCH0 无法使用			
	LATCH1	Pin44	无法重映射，LATCH1 无法使用			

表 10- 1 LATCH0/1 映射

注：数字 IO 模式时，要求端口配置 CHIP_MODE1=0。若 CHIP_MODE1=1 为错误用法，不在上述表格描述范围内。

提示:SYNC/LATCH PDI 配置寄存器根据 EEPROM 的内容进行初始化。更多信息，请参见章节 10.10 “EEPROM 可配置寄存器”。

10.2.2 SYNC IRQ 映射

SYNC0 和 **SYNC1** 的状态可分别映射到 AL 事件请求寄存器的 DC SYNC0 的状态和 DC SYNC1 的状态位。**SYNC0** 和 **SYNC1** 的状态的映射分别由 SYNC/LATCH PDI 配置寄存器的 SYNC0 映射和 SYNC1 映射位使能。

提示：SYNC/LATCH PDI 配置寄存器根据 EEPROM 的内容进行初始化。更多信息，请参见第 10.10 节 “EEPROM 可配置寄存器”。

Funcience confidential

10.2.3 SYNC 脉冲长度

SYNC0 和 **SYNC1** 脉冲长度由同步信号寄存器的脉冲长度控制。同步信号寄存器的脉冲长度根据 EEPROM 的内容进行初始化。更多信息，请参见章节 10.10“EEPROM 可配置寄存器”。

Funcience confidential

10.2.4 SYNC/LATCH I/O 时序要求

本节规定了 **SYNC0/LATCH0** 和 **SYNC1/LATCH1** 的输入与输出时序。

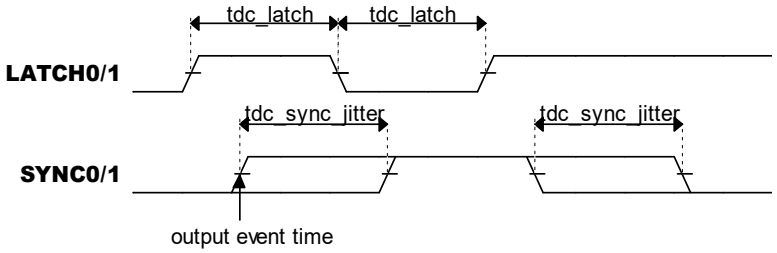


图 10- 1 ETHERCAT SYNC/LATCH 时序图

符号	说明	最小值	典型值	最大值	单位
tdc_latch	相邻两个 **LATCH0** 或 **LATCH1** 事件的间隔时间	15	-	-	ns
tdc_sync_jitter	**SYNC0** 或 **SYNC1** 输出抖动	-	-	15	ns

表 10- 3 EtherCAT SYNC/LATCH 时序值

10.3PDI 选择和配置

器件使用的过程数据接口（Process Data Interface，PDI）由 PDI 控制寄存器指示。可用的 PDI 包括：

- 04h:数字 I/O PDI
- 05h: Beckhoff SPI Controller
- 80h,82h: SPI 接口
- 88h,8Ah,8Ch,8Eh: HBI 8bit，HBIM1P/HBIM2P/HBID/HBII（具体含义详见章节 7.0），EtherCAT 间接访问模式
- 89h,8Bh,8Dh,8Fh: HBI 16bit，HBIM1P/HBIM2P/HBID/HBII（具体含义详见章节 7.0），EtherCAT 间接访问模式
- 90h,92h,94h,96h: HBI 8bit，HBIM1P/HBIM2P/HBID/HBII（具体含义详见章节 7.0），EtherCAT 直接映射模式
- 91h,93h,95h,97h: HBI 16bit，HBIM1P/HBIM2P/HBID/HBII（具体含义详见章节 7.0），EtherCAT 直接映射模式

提示: PDI 控制寄存器可通过 EEPROM 配置。更多信息，请参见第 10.10 节“EEPROM 可配置寄存器”。

PDI 控制寄存器是根据 EEPROM 的内容初始化的。

Funcience confidential

已使能 PDI 的配置由 PDI 配置寄存器和扩展 PDI 配置寄存器控制。这些寄存器的定义取决于所选的工作模式。但是，只存在一个寄存器组。

10.4数字 I/O PDI

数字 I/O PDI 提供 32 个可配置数字 I/O（DIGIO[31:0]），用于不带主机控制器的简单系统。 数字 I/O 输出数据寄存器用于控制输出值，而数字 I/O 输入数据寄存器用于读取输入值。每 2 位数字 I/O 对可配置为输入或输出。方向由扩展 PDI 配置寄存器选择，该寄存器通过 EEPROM 配置（更多信息请参见章节 10.10“EEPROM 可配置寄存器”）。数字 I/O 也可配置为双向模式，此时输出会在外部驱动和锁存并在之后释放，以便可采样输入数据。双向操作由 PDI 配置寄存器的单向/双向模式位选择。PDI 配置寄存器根据 EEPROM 的内容进行初始化。

10.4.1 输出看门狗行为

通过配置数字输出的看门狗控制，可以指定 SyncManager 看门狗超时时立即作用于 I/O 信号（看门狗超时后立即复位输出），还是延迟到下一个输出事件作用于 I/O 信号（通过下一个输出事件复位输出）。具体选择由 PDI 配置寄存器的看门狗行为位确定。PDI 配置寄存器根据 EEPROM 的内容进行初始化。更多信息请参见章节 10.10“EEPROM 可配置寄存器” 。

10.4.2 OE_EXT 输出看门狗行为

对于外部看门狗实现，可使用 **WD_TRIG**（看门狗触发信号）引脚。如果触发 SyncManager 看门狗，则会产生一个脉冲。在这种情况下，应禁止内部 SyncManager 看门狗。如果外部看门狗超时，可使用 **OE_EXT** 引脚复位 I/O 信号。

PDI 配置寄存器的 OUTVALID 模式位控制 **WD_TRIG** 是否映射到 **OUTVALID** 引脚。PDI 配置寄存器根据 EEPROM 的内容进行初始化。由于有专用的 **WD_TRIG** 引脚，EEPROM 中的该位通常设置为 0。

10.4.3 输入数据采样

数字输入可配置为四种采样方式：在每个以太网帧开始时、在 **LATCH_IN** 引脚的上升沿、在分布式时钟 **SYNC0** 事件时或者在分布式时钟 **SYNC1** 事件时。具体的采样模式选择由 PDI 配置寄存器的输入数据采样选择位确定。PDI 配置寄存器根据 EEPROM 的内容进行初始化。

10.4.4 输出数据更新

数字输出可配置为四种更新方式：在每个以太网帧结束时、在分布式时钟 **SYNC0** 事件时、在分布式时钟 **SYNC1** 事件时或者在 EtherCAT 帧结束时（触发过程数据看门狗）。具体的更新模式选择由 PDI 配置寄存器的输出数据采样选择位确定。PDI 配置寄存器根据 EEPROM 的内容进行初始化。

Funcience confidential

10.4.5 OUTVALID 极性

OUTVALID 引脚的输出极性由 PDI 配置寄存器的 OUTVALID 极性位确定。 PDI 配置寄存器根据 EEPROM 的内容进行初始化。

10.4.6 数字 I/O 时序要求

本节规定了 **DIGIO[15:0]**、**LATCH_IN** 和 **SOF** 的输入与输出时序。

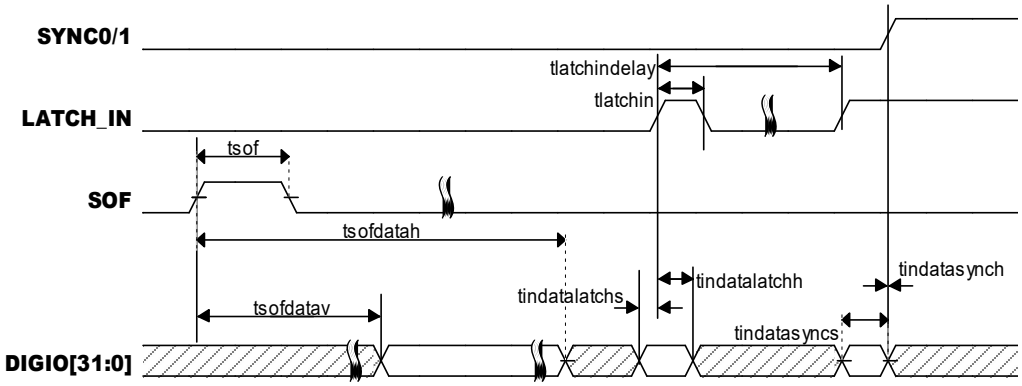


图 10- 2 EtherCAT 数字 I/O 输入时序图

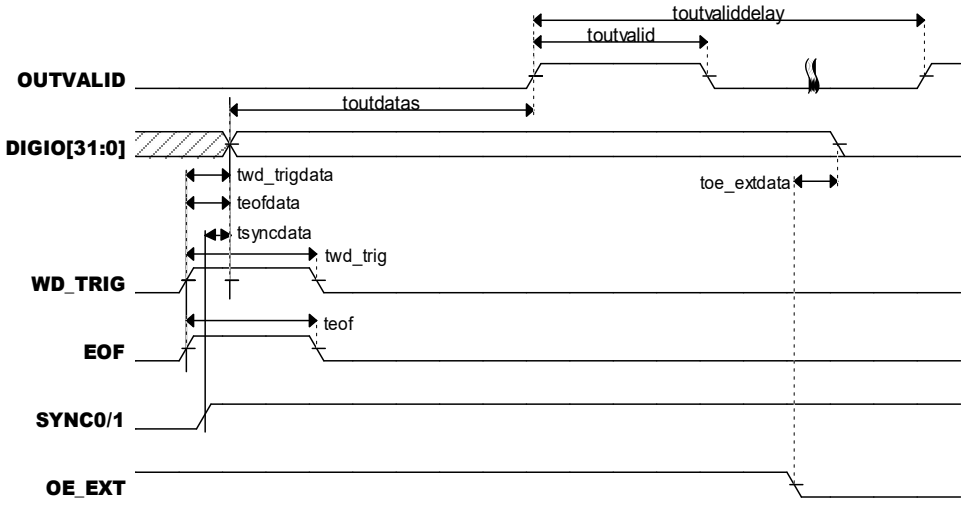


图 10- 3 EtherCAT 数字 I/O 输出时序图

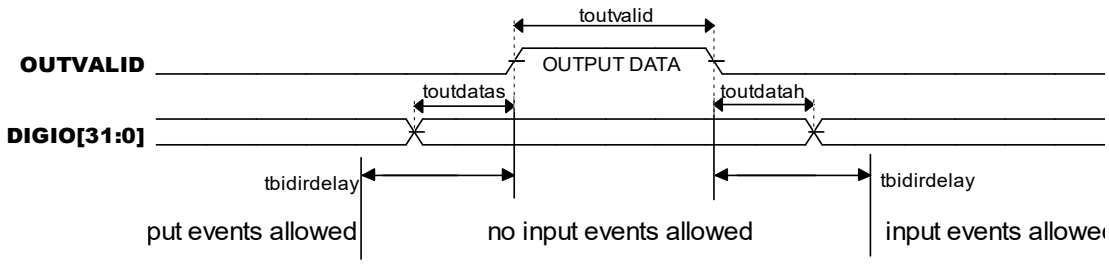


图 10- 4 EtherCAT 数字 I/O 双向时序图

符号	说明	最小值	典型值	最大值	单位
tindatasyncs	从输入数据建立到 **SYNC0/1** 上升的时间	15	-	-	ns
tindatasynch	**SYNC0/1** 上升之后输入数据的保持时间	0	-	-	ns
tindatalatchs	从输入数据建立到 **LATCH_IN** 上升的时间	8	-	-	ns
tindatalatchh	**LATCH_IN** 上升之后输入数据的保持时间	4	-	-	ns
tlatchin	**LATCH_IN** 高电平时间	8	-	-	ns
tlatchindelay	相邻两连续输入事件的间隔时间	440	-	-	ns
tsof	**SOF** 高电平时间	35	-	45	ns
tsofdatav	**SOF** 有效之后输入数据的有效时间（以便可在同一个帧中读取输入数据）	-	-	1.24	us
tsofdatah	**SOF** 有效之后输入数据的保持时间（以便可在同一个帧中读取输入数据）	1.6	-	-	us
toutdatas	从输出数据建立到 **OUTVALID** 上升的时间	65	-	-	ns
toutdatah	**OUTVALID** 下降之后输出数据的保持时间	65	-	-	ns
toutvalid	**OUTVALID** 高电平时间	75	-	85	ns
toutvaliddelay	相邻两连续输出事件的间隔时间	320	-	-	ns
teof	**EOF** 高电平时间	35	-	45	ns
teofdata	**EOF** 之后输出数据的有效时间	-	-	35	ns
twd_trig	**WD_TRIG** 高电平时间	35	-	45	ns
twd_trigdata	**WD_TRIG** 之后输出数据的有效时间	-	-	35	ns
tsyncdata	**SYNC0/1** 之后输出数据的有效时间	-	-	25	ns
toe_extdata	从 **OE_EXT** 到数据低电平的时间	0	-	15	ns
tbidirdelay	相邻两连续输入或输出事件的间隔时间	440	-	0	ns

表 10- 4 EtherCAT 数字 I/O 时序值

10.5SPI 主机接口

主机接口 PDI 用于带主机控制器的系统，它提供兼容的 SPI 主机接口。支持 EtherCAT 兼容模式以及 EtherCAT 直接映射模式。

PDI 配置寄存器和扩展 PDI 配置寄存器中的值反映来自 EEPROM 的值。PDI 配置寄存器中的值用于配置 SPI 接口。如果启用 GPIO（SPI 使能 GPIO），则会使用扩展的 PDI 配置寄存器中的值。

Funcience confidential

PDI 配置寄存器和扩展 PDI 配置寄存器从 EEPROM 的内容初始化。更多信息，请参见章节 10.10 “EEPROM 可配置寄存器”。

10.6主机总线接口（HBI）

该接口用于提供一个主机总线的系统,支持 EtherCAT 兼容模式以及 EtherCAT 直接映射模式。

PDI 配置寄存器中的值和扩展的 PDI 配置寄存器反映了 EEPROM 的值。PDI 配置寄存器中的值用于配置 HBI。扩展的 PDI 配置寄存器中的值用于进一步配置 EtherCAT 直接映射模式的 HBI。PDI 配置寄存器和扩展的 PDI 配置寄存器从 EEPROM 的内容初始化。更多信息，请参见章节 10.10“EEPROM 可配置寄存器”。

该接口用于提供一个系统主机总线,支持 EtherCAT 兼容模式以及 EtherCAT 直接映射模式。

10.7Beckhoff SPI 控制器

Beckhoff SPI 接口被用作备用的 SPI 接口。

PDI 配置寄存器中的值反映了 EEPROM 的值。PDI 配置寄存器中的值用于配置 SPI。如果启用 GPIOs(SPI w / GPIO),则使用扩展的 PDI 配置寄存器中的值。

PDI 配置寄存器和扩展的 PDI 配置寄存器从 EEPROM 的内容初始化。参见章节 10.10“EEPROM 可配置寄存器”

10.8GPIO

EtherCAT 内核提供了 16 个通用输入(GPI[15:0])和 16 个通用输出(GPO[15:0]),通用输出寄存器用于控制输出值。通用输入寄存器用于读取输入值。

提示：当由于芯片配置而导致 GPIO 不可用时，通用输出寄存器将保持 R/W，但不起作用。当由于芯片配置而导致 GPIO 不可用时，通用输入寄存器将返回 0。

每 2 位 GPIO 对可配置为输入、推挽式输出或漏极开路输出。方向和缓冲器类型由扩展 PDI 配置寄存器确定。Bit 7:0 控制 GPIO 对的方向（bit 0 用于 GPIO[1:0]，bit 1 用于 GPIO[3:2]，以此类推）。值 1 选择输出方向。Bit 15:8 控制输出类型（bit 8 用于 GPIO[1:0]， bit 9 用于 GPIO[3:2]，以此类推）。值 1 选择漏极开路。扩展 PDI 配置寄存器根据 EEPROM 的内容进行初始化。更多信息，请参见章节 10.10 “EEPROM 可配置寄存器”。

提示：扩展 PDI 配置寄存器还用于数字 I/O PDI 方向。但是，数字 I/O 模式期间不使用 GPIO。

Funcience confidential

10.9用户 RAM

128 字节用户 RAM 位于 0F80h-0FFFh。该 RAM 中的默认值对于所有地址均未定义。

10.10 EEPROM 可配置寄存器

以下寄存器可通过 EEPROM 配置。有关每位功能的详细信息，请参见相应的寄存器定义。

提示：除非另外说明，否则保留的位必须写为 0。

寄存器	位	EEPROM 字/[位]
PDI 控制寄存器 （0140h）	[7:0]过程数据接口	0/[7:0]
ESC 配置寄存器 （0141h）	[7](未使用)	0/[15]
	[6]增强型链路端口 2	0/[14]
	[5]增强型链路端口 1	0/[13]
	[4]增强型链路端口 0	0/[12]
	[3]分布式时钟锁存输入单元 注:Bit3 并非由 EEPROM 置 1	-
	[2]分布式时钟锁存输入单元 注:Bit2 并非由 EEPROM 置 1	-
	[1]增强型链路检测所有端口	0/[9]
	[0]器件仿真（AL 状态寄存器控制）	0/[8]
PDI 配置寄存器 （0150h） 数字 I/O 模式	[7:6]输出数据采样选择	1/[7:6]
	[5:4]输入数据采样选择	1/[5:4]
	[3]看门狗行为	1/[3]
	[2]单向/双向模式	1/[2]
	[1]OUTVALID 模式	1/[1]
	[0]OUTVALID 极性	1/[0]
PDI 配置寄存器 （0150h） SPI 模式	[7:3]保留	1/[7:3]
	[2] SPI AL 事件请求和 INT_STS 启用	1/[2]
	[1] SPI WAIT_ACK 极性	1/[1]
	[0] SPI WAIT_ACK 缓冲类型	1/[0]
PDI 配置寄存器 （0150h） Beckhoff SPI 模式	[7:6] 保留	1/[7:6]
	[5] 数据样本模式	1/[5]
	[4] SCS 极性	1/[4]
	[3:2] 保留	1/[3:2]
	[1:0] SPI 模式	1/[1:0]
PDI 配置寄存器 （0150h） HBI 模式	[7]HBI ALE 限定	1/[7]
	[6]HBI 读/写模式	1/[6]
	[5]HBI 片选极性	1/[5]
	[4]HBI 读取以及读/写极性	1/[4]
	[3]HBI 写入以及使能极性	1/[3]

Funcience confidential

	[2]HBI ALE 极性	1/[2]
	[1] HBI WAIT_ACK 极性	1/[1]
	[0] HBI WAIT_ACK 缓冲类型	1/[0]
SYNC/LATCH PDI 配置寄存器 （0151h）	[7]SYNC1 映射	1/[15]
	[6]SYNC1/LATCH1 配置	1/[14]
	[5:4]SYNC1 输出驱动器/极性	1/[13:12]
	[3] SYNC0 映射	1/[11]
	[2] SYNC0 / LATCH0 配置	1/[10]
	[1:0] SYNC0 输出驱动/极性	1/[9:8]
同步信号寄存器的脉冲长度 （0982h-0983h）	[15:0]同步信号的脉冲长度	2/[15:0]
扩展 PDI 配置寄存器 （0152h-0153h） 数字 I/O 模式	[15:8] I/O 31-16 方向	3/[15:8]
	[7:0]I/O 15-0 方向	3/[7:0]
扩展 PDI 配置寄存器 （0152h-0153h） SPI w/GPIO 模式	[15:8] I/O 15-0 缓冲类型	3/[15:8]
	[7:0]I/O 15-0 方向	3/[7:0]
扩展 PDI 配置寄存器 （0152h-0153h） HBI 模式	[15:3]保留	3/[15:3]
	[2] HBI BE1 / BE0 极性	3/[2]
	[1] 执行内部写入	3/[1]
	[0] 读 WAIT_ACK 除去延迟	3/[0]
已配置站别名寄存器 （0012h-0013h）	[15:0]已配置站别名地址	4/[15:0]
MII 管理控制/状态寄存器（0510h-0511h）	[2] MI 链接检测	5/[15]
ASIC 配置寄存器 （0142h-0143h）	[15]MI 链路检测	
	[14]ERRLED 使能	5/[14]
	[13:8]保留	5/[13:8]
	[7]千兆位寄存器 9 MI 写操作使能	5/[7]
	[6] STATE_RUNLED 模式选择	5/[6]
	[5:0]保留	5/[5:0]
保留的寄存器（0144h-0145h）	[15:0]保留	6/[15:0]

表 10- 5 EtherCAT 内核 EEPROM 可配置寄存器

Funcience confidential

10.11 端口接口

10.11.1 端口 0 和端口 2（内部 PHY A 或外部 MII）

当 **CHIP_MODE[1:0]**配置不等于 11b 时（双端口或三端口下行模式）， EtherCAT 从器件的端口 0 连接至内部 PHY A。当 **CHIP_MODE[1:0]**配置等于 11b 时（三端口上行模式），端口 0 连接至 MII 引脚。

当 **CHIP_MODE[1:0]**配置等于 11b 时（三端口上行模式）， EtherCAT 从器件的端口 2 连接至内部 PHY A。当芯片 **CHIP_MODE[1:0]**配置等于 10b 时（三端口下行模式），端口 2 连接至 MII 引脚。

10.11.1.1 外部 MII PHY 连接

外部 PHY 连接至 MII 端口，如图 10-5 所示。以太网 PHY 与 EtherCAT 从器件的时钟源必须相同。25 MHz 输出（**MII_CLK25**）用作 PHY 的参考时钟。由于 EtherCAT 从器件不包含发送 FIFO，因此 PHY 的 TX_CLK 未连接。来自 EtherCAT 从器件的发送信号可根据 CLK25 输出通过发送移位补偿进行延时，以便其像由 PHY 的 TX_CLK 驱动一样正确对齐。章节 10.11.7 “外部 PHY 时序”对 MII 时序进行了说明。

以太网 PHY 应连接至 EtherCAT 从器件 **RST#**引脚，以便其在 EtherCAT 从器件就绪之前保持复位。否则，远端链路伙伴会检测到来自 PHY 的有效链路信号，并会“打开”其端口，假定本地 EtherCAT 从器件就绪。

MII_MDC 和 **MII_MDIO** 信号在 EtherCAT 从器件和 PHY 之间连接。**MII_MDIO** 需要外部上拉。外部 PHY 的管理地址必须在 **CHIP_MODE[1:0]**等于 11b 时（三端口上行模式）设置为 0，在 **CHIP_MODE[1:0]**等于 10b 时（三端口下行模式）设置为 2。

PHY 的 LINK_STATUS 是 LED 输出，指示 100 Mbps 全双工链路是否处于活动状态。 EtherCAT 从器件的 **MII_LINK** 输入的极性可配置。

由于 EtherCAT 在全双工模式下工作，因此 PHY 的 COL 和 CRS 输出未连接。

由于 EtherCAT 从器件从不产生发送错误，因此 PHY 的 TX_ER 输入连接至系统地。

Funcience confidential

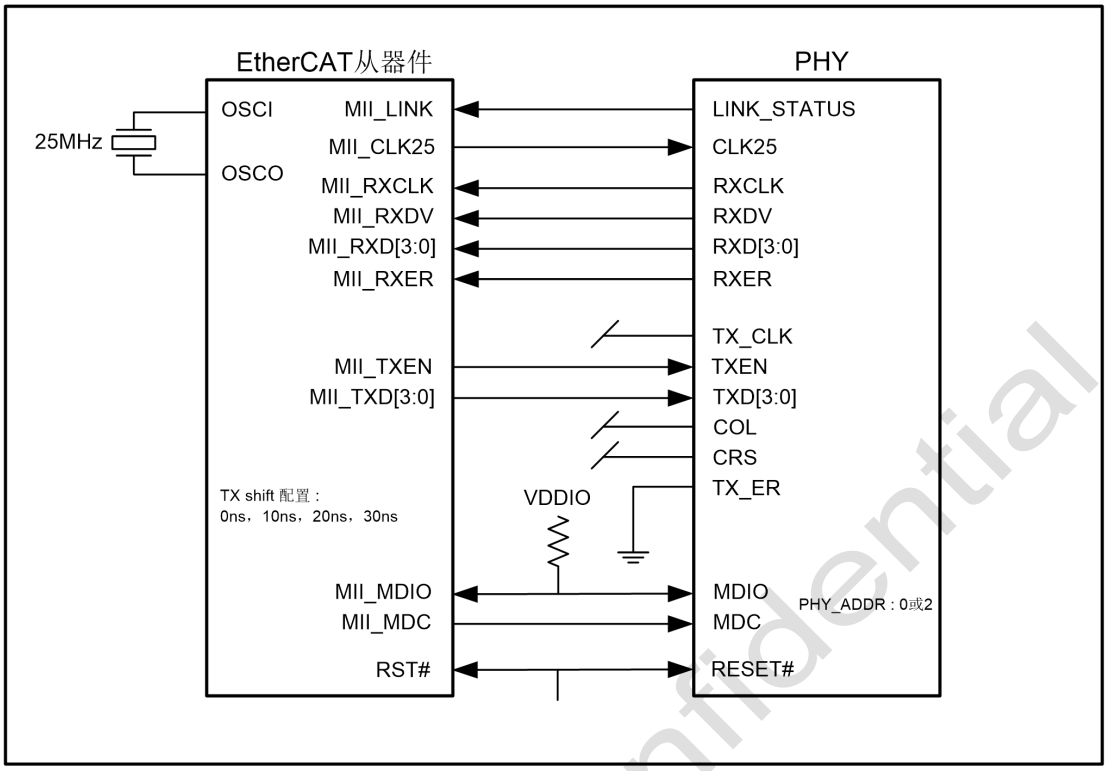


图 10- 5 EtherCAT 外部 PHY 连接

10.11.1.2 背靠背连接

两个 EtherCAT 从器件可采用背靠背 MII 连接的方式相连，如图 10-6 所示。一个器件置于三端口上行模式，另一个器件置于三端口下行模式。

每个 EtherCAT 从器件的时钟源可以不同。其中一个器件的 25MHz 输出（**MII_CLK25**）用作另一个器件的 **RX_CLK** 输入。来自每个 EtherCAT 从器件的发送信号可根据 CLK25 输出通过发送移位补偿进行延时，以便其正确对齐，从而满足另一个器件的接收时序要求。章节 10.11.7 “外部 PHY 时序”对背靠背 MII 时序进行了说明。

由于 EtherCAT 从器件从不产生错误，因此不使用 **MII_RXER** 信号。

由于两个器件均不包含 PHY 寄存器组，因此不使用 **MII_MDIO** 和 **MII_MDC** 信号。当尝试读取 PHY 寄存器时，**MII_MDIO** 引脚需要（单独）上拉以返回高电平值。

如果两个 EtherCAT 从器件几乎同时从复位状态释放，则 **MII_LINK** 会一直保持活动状态。否则，**MII_LINK** 可用于向伙伴指示器件未就绪。

Funcience confidential

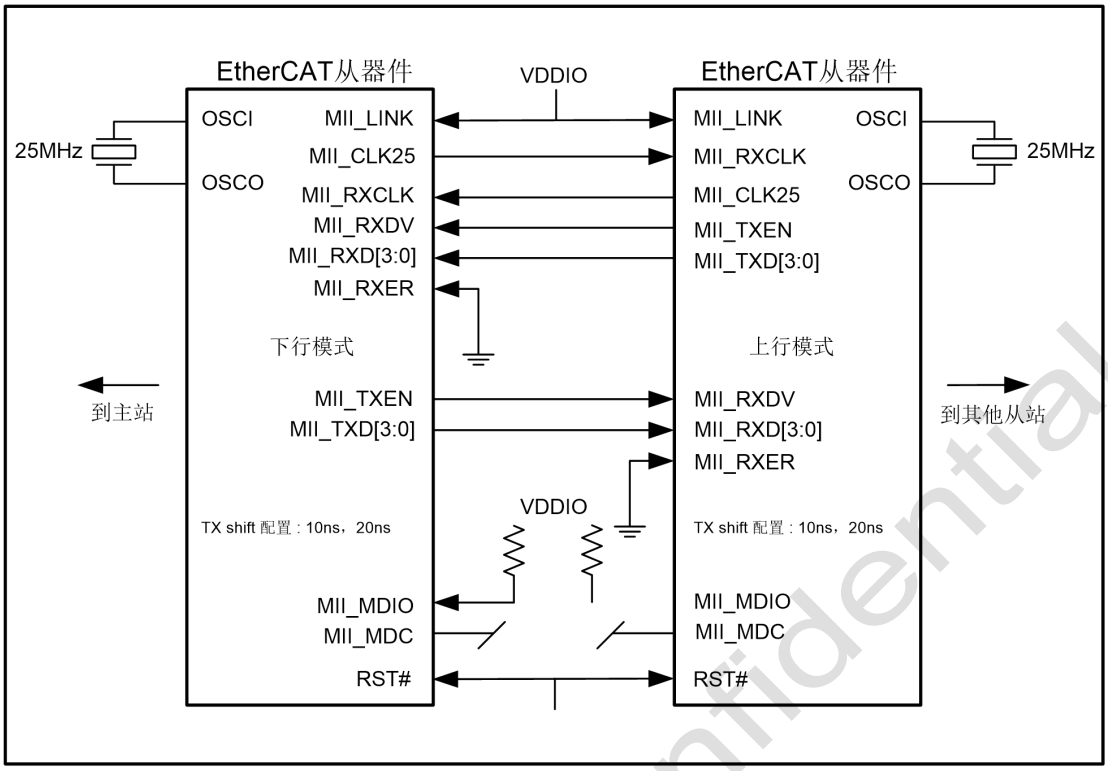


图 10- 6 EtherCAT 背靠背 MII 连接

10.11.1.3 双端口操作

当配置为双端口模式（**CHIP_MODE[1:0]**等于 00b 或 01b）时，端口 2 将禁用。端口状态也将在端口描述符寄存器的端口 2 配置位中显示，并在器件配置为双端口操作时设置为 01b（未配置）。

10.11.2 端口 1（内部 PHYB）

EtherCAT 内核的端口 1 始终连接至内部 PHY B。

10.11.3 PHY 配置

默认情况下，内部 PHY 配置为 100 Mbps 全双工操作。自动协商在 100BASE-TX 模式下使能在 100BASE-FX 模式下禁止。必要时，EtherCAT 内核还将校验和更新配置。固定 100Mbps 全双工使用说明,详见章节 10.11.6“固定 100Mbps 全双工支持”。

默认情况下，外部 PHY 配置为 100 Mbps 全双工操作且使能自动协商。必要时，EtherCAT 内核将校验和更新配置。固定 100Mbps 全双工使用说明,详见章节 10.11.6“固定 100Mbps 全双工支持”。

10.11.4 PHY 链路状态

链路状态源自 PHY 的链路信号（内部或外部）。EtherCAT 内核还会校验 PHY 状态以确定链路是否正常。它通过循环轮询 PHY 校验自动协商寄存器配置是否正确、链路是否已建立、自动协商是

Funcience confidential

否已成功完成以及链路伙伴是否也使用自动协商。固定 100Mbps 全双工使用说明,详见章节 10.11.6“固定 100Mbps 全双工支持”。

通过 MII 管理接口（Management Interface，MI）实现的链路校验由 EEPROM 使能并反映在 MII 管理控制/状态寄存器中。

提示 1：在通过 EEPROM 成功配置器件之前，MI 链路检测一直处于禁止状态。

提示 2：仅当上电或复位之后第一次装载 EEPROM 时，MI 链路检测的 EEPROM 设置才生效。即使最初无法读取 EEPROM，更改及手动重载 EEPROM 也不会影响 MI 链路检测的使能状态。

如表 10-4“EtherCAT 内核 EEPROM 可配置寄存器” 所示，ASIC 配置寄存器的 bit 7 用于使能对 PHY 的 PHY 寄存器 9 的写操作，PHY 按照 IEEE 802.3 标准使用该寄存器。ASIC 配置寄存器是按照 EEPROM 的内容初始化的。

10.11.4.1 MI 链路检测和配置状态机

MI 链路检测和配置状态机按如下工作：

- 检查是否使能了自动协商
- 检查是否仅通告了 100BASE-X 全双工
- 检查是否未通告 1000BASE-T
- 检查是否完成了自动协商
- 检查链路伙伴是否为 100BASE-X 全双工
- 否则，按需设置寄存器并重启自动协商

10.11.5 增强型链路检测

EtherCAT 内核支持增强型链路检测功能，该功能的使能由 EEPROM 控制。凭借该功能，如果固定时间间隔（约 10 us）内出现了至少 32 个接收错误（RX_ER），则 EtherCAT 内核将断开链路。更多信息，请参见章节 10.10“EEPROM 可配置寄存器”。

10.11.6 固定 100MBPS 全双工支持

为了支持特殊的用例,内部 PHY 禁用自动协商,设置速度为 100Mbps 和全双工。这是由硬件配置寄存器（HW_CFG）中的 ANEG 禁用 PHYA 位和 ANEG 禁用 PHYB 位决定的，它们依次由 **100FD_A** 和 **100FD_B** 配置脚控制。

MI 链接检测和配置功能,通常检测和执行自动的 100Mbps 全双工链接,这种模式中检测和执行固定的 100Mbps 全双工链接。

如果增强型链路检测到一个错误检测，它通常通过写入 0x3300 的值到 PHYx 基本控制寄存器（PHY_BASIC_CONTROL_x）来重启自动协商（以及设置自动协商使能，全双工和速度选择 LSB）。使用 ANEG 禁用 PHYA/ANEG 禁用 PHYB 的设置，通过写入 0xA100 的值到 PHYx 基本控制寄存器（PHY_BASIC_CONTROL_x）来设置软复位位（以及全双工和速度选择 LSB）来复位相应的 PHY。

Funcience confidential

10.11.7 外部 PHY 时序

由于 EtherCAT 内核不使用 PHY 发送时钟，因此必须基于通用 25 MHz 参考时钟确保正确的时序（该参考时钟通过 **MII_CLK25** 引脚输出至外部 PHY）。为帮助实现这一目的，EtherCAT 内核使能了发送移位功能。该功能可使来自 EtherCAT 内核的发送信号延迟 0 ns、10 ns、20 ns 或 30 ns 之后产生。具体值通过 **TX_SHIFT[1:0]**手动设置。

10.11.7.1 MII 连接时序

MII 接口的发送和接收时序如下：

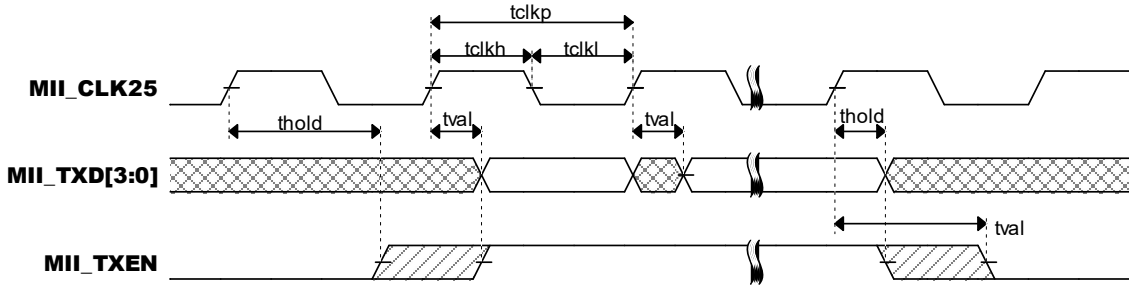


图 10- 7 MII TX 时序

符号	描述	最小值	最大值	单位	注
tclkp	**MII_CLK25** 周期	40	-	ns	
tclkh	**MII_CLK25** 高电平时间	tclkp*0.45	tclkp*0.55	ns	
tclkl	**MII_CLK25** 低电平时间	tclkp*0.45	tclkp*0.55	ns	
tval	**MII_CLK25** 上升沿之后 **MII_TXD[3:0]**和 **MII_TXEN** 输出的有效时间 (**注 2**)	-	10.0	ns	**注 1**
thold	**MII_CLK25** 上升沿之后 **MII_TXD[3:0]**和 **MII_TXEN** 输出的保持时间 (**注 2**)	0	-	ns	**注 1**

表 10- 6 MII TX 时序值

注 1：时序设计用于 10 pF 和 25 pF 之间的系统负载。

注 2：假设发送移位值为 2，则 TX 移位的单位增量为 10 ns（移位值依次为 3、0 和 1）。

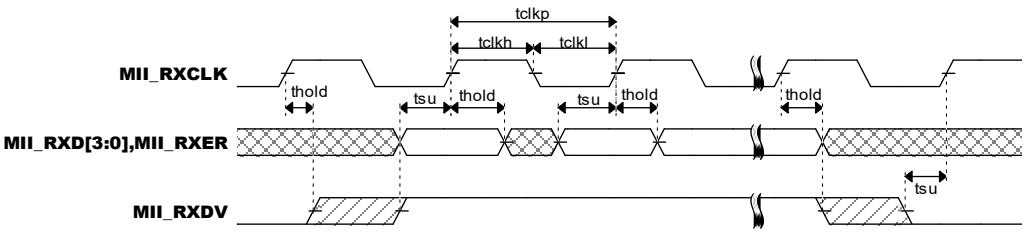


图 10- 8 MII RX 时序

符号	说明	最小值	最大值	单位	注
tclkp	**MII_RXCLK** 周期	40	-	ns	
tclkh	**MII_RXCLK** 高电平时间	tclkp*0.4	tclkp*0.6	ns	
tclkl	**MII_RXCLK** 低电平时间	tclkp*0.4	tclkp*0.6	ns	
tsu	从 **MII_RXD[3:0]**、**MII_RXER** 和 **MII_RXDV** 建立到 **MII_RXCLK** 的上升沿的时间	5.0	-	ns	**注 3**
thold	**MII_RXCLK** 上升沿之后 **MII_RXD[3:0]**、**MII_RXER** 和 **MII_RXDV** 的保持时间	6.0	-	ns	**注 3**

表 10- 7 MII RX 时序值

注 3: 时序设计用于 10 pF 和 25 pF 之间的系统负载。

10.11.7.2 背靠背 MII 连接时序

根据上述 MII 发送和接收时序，背靠背连接应使用 TX 移位值 3 或 0。

10.11.7.3 管理接口时序

MII_MDIO 和 **MII_MDC** 的时序如下：

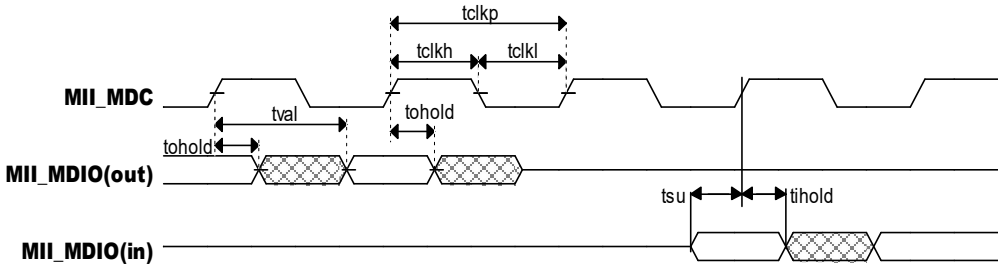


图 10- 9 管理访问时序

符号	说明	最小值	最大值	单位	注
tclkp	**MII_MDC** 周期	400	-	ns	
tclkh	**MII_MDC** 高电平时间	180(90%)	-	ns	
tclkl	**MII_MDC** 低电平时间	180(90%)	-	ns	
tval	**MII_MDC** 的上升沿之后 **MII_MDIO** 输出的有效时间	-	250	ns	
tohold	**MII_MDC** 的上升沿之后 **MII_MDIO** 输出的保持时间	150	-	ns	
tsu	从 **MII_MDIO** 输入建立到 **MII_MDC** 的上升沿的时间	70	-	ns	
tihold	**MII_MDC** 上升沿之后 **MII_MDIO** 输入的保持时间	0	-	ns	

表 10- 8 管理访问时序

10.12 LED

该器件包含一个 RUN/STATE_RUN LED(**RUNLED/STATE_RUNLED**)，一个错误 LED(**ERRLED**),以及每个端口上一个链接/活动 LED(**LINKACTLED[0:2]**)。LED 引脚的极性由硬件配置寄存器(HW_CFG)的 LED 极性区域决定。引脚输出为漏极开路或源极开路。在 ASIC 配置寄存器中 **ERRLED** 也有一个使能位(ERRLED Enable)。LED 极性的默认值由 **LEDPOL[4:0]**配置引脚控制。

提示：端口 0 和端口 2 的 LED 引脚并非基于芯片模式交换。

当一个 LED 引脚作为一个功能模式脚使用时，LEF 引脚极性的默认值是根据配置脚值取反自动选择。LED 通过一个电阻器，有效地用作下拉或者上拉，详见图 10-10。

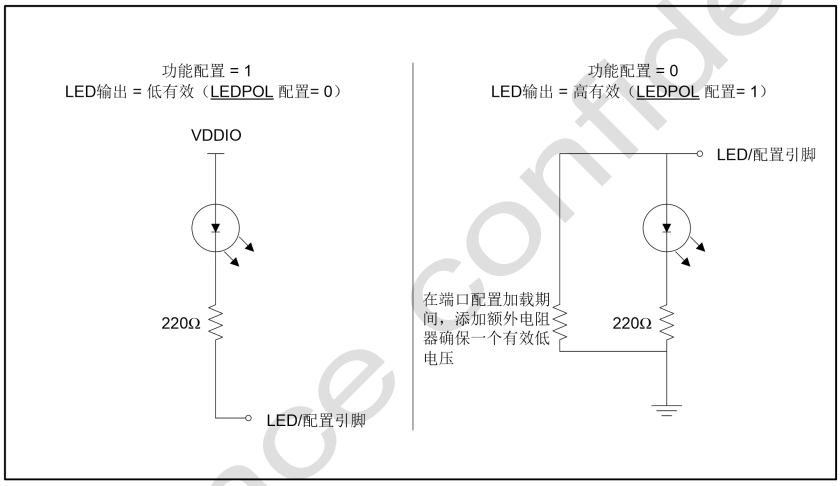


图 10- 10 配置 LED 极性

EtherCAT 内核配置提供了通过运行 LED 改写寄存器对 RUN LED 的直接控制，以及通过错误 LED 改写寄存器控制 ERR LED。

通过将功耗管理控制寄存器（PMT_CTRL） 中的 LED_DIS 位置 1 可禁止（停止驱动）所有 LED 输出。

10.12.1 ERR LED PCB 兼容模式

当光纤模式信号检测和 FX-SD 启用时,兼容模式上的 ERRLED 端口被功能化。对于双对操作,该端口将被绑定或下拉到电源地。

提示:当 PCB 中此引脚接地时，则不要使能 ERRLED。

10.12.2 EEPROM 错误和 ERR LED

由于 **ERRLED** 引脚是通过 EEPROM 位启用的，因此在 EEPROM 加载错误的情况下出现了一

Funcience confidential

个特殊的情况。在这种情况下，**ERRLED** 引脚被强制启用，但只有极性（硬件配置寄存器(HW_CFG)的 bit4 的 LED 极性字段）表明 **ERRLED** 是低有效的。

提示：若 ERRLED 引脚表示作为 PME 引脚被使用，则 EEPROM 加载错误的情况将可能引发错误的 PME 事件。

10.12.3 双色状态 LED

STATE LED 是由 RUN LED 和 ERR LED 组合而成的双色 LED。因为 STATE LED 的 RUN 部分必须在 ERR 部分激活时关闭，所以不能将 **RUNLED** 引脚和 **ERRLED** 引脚简单地组合起来驱动双色 LED。而是将 **RUNLED** 引脚更改为 **STATE_RUNLED** 引脚，当 **ERRLED** 引脚打开时，**STATE_RUNLED** 引脚关闭。**STATE_RUNLED** 通过 ASIC 配置寄存器的 STATE_RUNLED 模式选择位来选择。ASIC 配置寄存器通过从 EEPROM 的内容初始化的。

支持 2、3 和 4 个引脚双色 LED。通过在 LED 的每一边放置一个上拉或者下拉（取决于使用的信号极性）来支持使用 2 引脚双色 LED。通过放置串联电阻到电源或到地 (取决于使用的信号极性) ，来支持 3 个引脚双色 LED。共阳极和共阴极之间的选择也取决于使用的信号极性。对于两个和三个引脚的选择，STATE_RUN 和 ERR LED 的极性必须是相同的(或者需要使用反向晶体管)。如果有需要，一个四个引脚双色 LED 提供最灵活的信号，因为每个信号都可以有不同的极性。

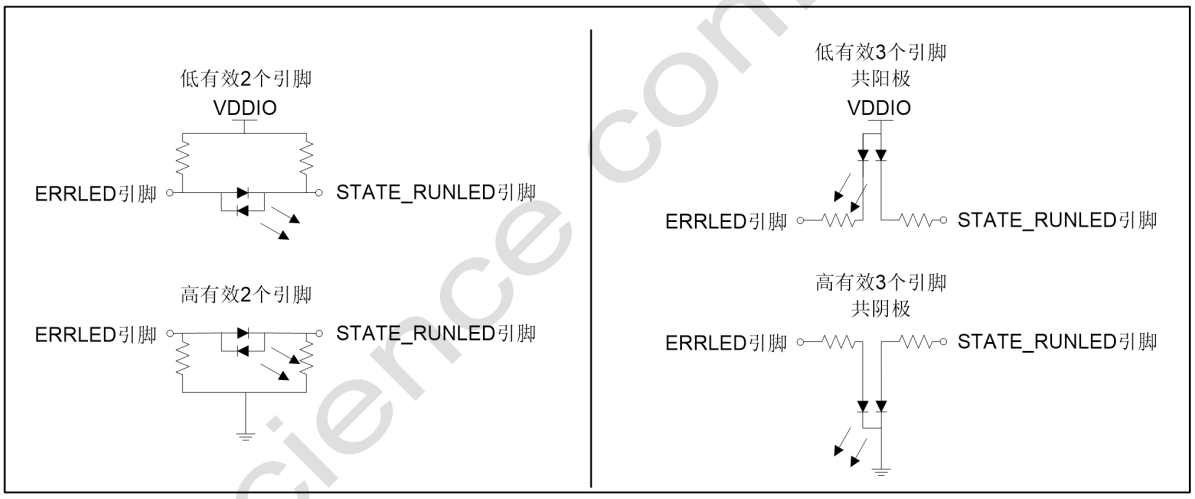


图 10- 11 双色状态 LED

10.13 EtherCAT CSR 和过程数据 RAM 访问

两种方法对 EtherCAT CSR 和过程数据 RAM 访问

- EtherCAT 间接访问模式
- EtherCAT 直接访问模式

间接访问模式使用的是一个命令和数据寄存器结构,并以更高成本提供更快的总线周期。EtherCAT 直接访问模式通过将 EtherCAT CSR 映射到主机内存空间,并以较慢的总线访问和时间需求为代价,减少了成本。

通过 PDI 控制寄存器中的流程数据接口(PDI_SELECT)字段来配置 EtherCAT 模式。参考章节

Funcience confidential

10.3“PDI 选择和配置”来获取额外信息。

10.13.1 EtherCAT 间接访问模式

EtherCAT CSR 提供对 EtherCAT 内核的各种参数的寄存器级访问。根据访问方式的不同，EtherCAT 的相关寄存器主要分为两类：直接和间接。

可直接访问的 EtherCAT 寄存器是主系统 CSR 的一部分，将在章节 10.15 节“EtherCAT CSR 和过程数据 RAM 访问寄存器（可直接寻址）”中详细说明。这类寄存器提供数据/命令寄存器（用于访问间接 EtherCAT 内核寄存器）。

可间接访问的 EtherCAT 内核寄存器位于 EtherCAT 内核中，必须通过 EtherCAT CSR 接口数据寄存器（ECAT_CSR_DATA） 和 EtherCAT CSR 接口命令寄存器（ECAT_CSR_CMD） 间接访问。可间接访问的 EtherCAT 内核 CSR 提供对 EtherCAT 内核的许多可配置参数的完全访问。可间接访问的 EtherCAT 内核 CSR 在地址 0h 至 0FFFh 处进行访问，将在第 10.16 节“EtherCAT 内核 CSR 寄存器（可间接寻址）”中详细说明。

EtherCAT 内核过程数据 RAM 可通过 EtherCAT CSR 接口数据寄存器（ECAT_CSR_DATA）和 EtherCAT CSR 接口命令寄存器（ECAT_CSR_CMD）从 1000h 处开始间接访问。EtherCAT 内核过程数据 RAM 还可通过 EtherCAT 过程 RAM 读数据 FIFO（ECAT_PRAM_RD_DATA）和 EtherCAT 过程 RAM 写数据 FIFO（ECAT_PRAM_WR_DATA） 更高效地进行访问。该方法能够通过 FIFO 机制使用单条命令和较少的状态读操作来传输多个双字。

10.13.1.1 EtherCAT CSR 读操作

要读取单个 EtherCAT 内核寄存器，必须通过以下方式发起读周期：单次写入 EtherCAT CSR 接口命令寄存器（ECAT_CSR_CMD），将 CSR 繁忙（CSR_BUSY）位置 1、将 CSR 地址（CSR_ADDR）字段设置为所需寄存器地址、将读/写（R_nW） 位置 1 以及将 CSR 大小（CSR_SIZE）字段设置为所需大小。

当 CSR 繁忙（CSR_BUSY）位清零时，可读取有效数据，即可以从 EtherCAT CSR 接口数据寄存器（ECAT_CSR_DATA）读取数据。

有效数据始终与 EtherCAT CSR 接口数据寄存器（ECAT_CSR_DATA） 的最低位对齐。

提示：无论 CSR 大小（CSR_SIZE） 的值为何，均会更新 EtherCAT CSR 接口数据寄存器（ECAT_CSR_DATA）的所有字节。

图 10-12 给出了读取 EtherCAT 内核 CSR 时所需过程的图示。特别注明时需要最小等待周期。特别注明时需要表 4-2“写后读时序规则” 中指定的最小等待周期。

Funcience confidential

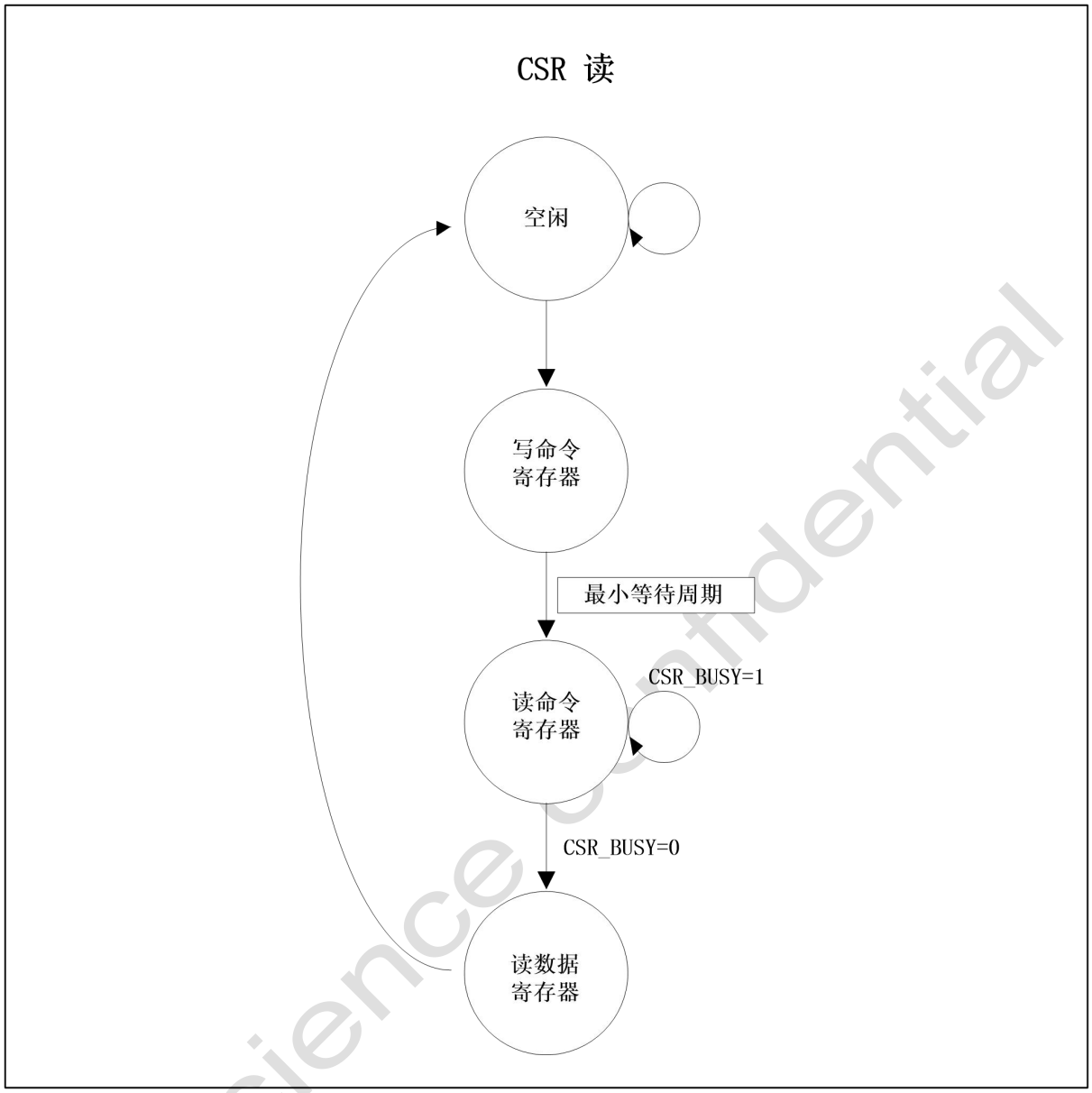


图 10- 12 EtherCAT CSR 读访问流程图

10.13.1.2 ETHERCAT CSR 写操作

要写入单个 EtherCAT 内核寄存器，必须首先向 EtherCAT CSR 接口数据寄存器（ECAT_CSR_DATA）写入所需数据。

有效数据始终与 EtherCAT CSR 接口数据寄存器（ECAT_CSR_DATA）的最低位对齐。

必须通过以下方式发起写周期：单次写入 EtherCAT CSR 接口命令寄存器（ECAT_CSR_CMD），将 CSR 繁忙（CSR_BUSY）位置 1、将 CSR 地址（CSR_ADDR）字段设置为所需寄存器地址、将读/写（R_nW） 位清零以及将 CSR 大小（CSR_SIZE）字段设置为所需大小。写周期的完成由 CSR 繁忙（CSR_BUSY）位清零来指示。

图 10-13 给出了写入 EtherCAT 内核 CSR 时所需过程的图示。特别注明时需要最小等待周期。特别注明时需要最小等待周期。特别注明时需要表 4-2“写后读时序规则”中指定的最小等待周期。

Funcience Confidential

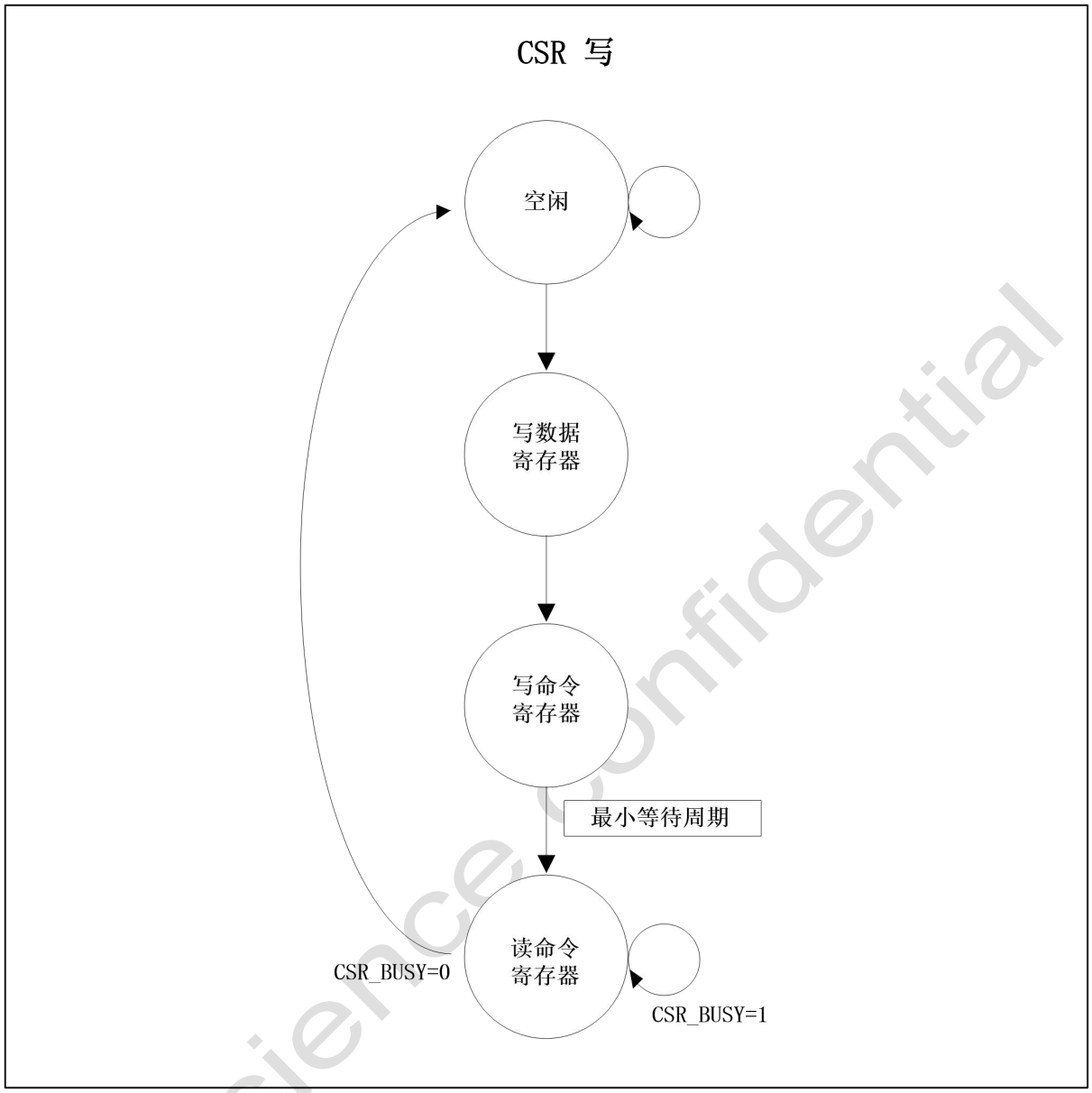


图 10- 13 EtherCAT CSR 写访问流程图

Funcience confidential

10.13.1.3 EthereCAT 过程 RAM 读操作

过程数据从 EtherCAT 内核经 16 级深 32 位宽 FIFO 传输。 FIFO 的基址为 00h，但它也可在其他 7 个连续的存储单元访问。主机可在这些别名端口存储单元中的任一个存储单元访问 FIFO，因为它们的功能相同且包含相同的数据。通过实现这种别名端口寻址，主机可对连续地址进行突发访问。

对于 HBI 访问，过程 RAM 读数据 FIFO 也可通过 FIFO 直接选择模式访问。在该模式下，将忽略地址输入，并直接对过程 RAM 读数据 FIFO 执行所有读访问。请参见章节 7.3.4.1 “FIFO 直接选择地址”。

要读取 EtherCAT 过程 RAM，需要通过以下方式发起读周期：首先向 EtherCAT 过程 RAM 读地址和长度寄存器（ECAT_PRAM_RD_ADDR_LEN） 写入所需传输的起始字节地址和长度（单位为字节），接着写入 EtherCAT 过程 RAM 读命令寄存器（ECAT_PRAM_RD_CMD） 以将 PRAM 读繁忙（PRAM_READ_BUSY）位置 1。

提示：起始字节地址和长度必须编程为有效值，以使所有传输均在边界为 1000h 和 2FFFh 的过程 RAM 地址范围内。

有效数据(由 EtherCAT 过程 RAM 读命令寄存器（ECAT_PRAM_RD_CMD）的 PRAM 可读数据（PRAM_READ_AVAIL）位指示)通过 EtherCAT 过程 RAM 读数据 FIFO（ECAT_PRAM_RD_DATA）从 FIFO 读取。PRAM 数据可读次数（PRAM_READ_AVAIL_CNT）字段指示在无需再次校验状态的条件下可执行的读操作次数。最后一次读取 EtherCAT 过程 RAM 读数据 FIFO(ECAT_PRAM_RD_DATA)后，PRAM 读繁忙（PRAM_READ_BUSY）将自清零。

提示:最后一次读取 EtherCAT 过程 RAM 读数据 FIFO（ECAT_PRAM_RD_DATA） 意味着已读取全部四个字节，即使无需全部字节也如此。

当数据从 EtherCAT 内核传输到 FIFO 时，PRAM 读长度（PRAM_READ_LEN）和 PRAM 读地址（PRAM_READ_ADDR）会进行更新以显示进程。

根据起始地址的不同，第一次 FIFO 读操作的有效字节如下：

起始地址[1:0]	
00b	字节 3、字节 2、字节 1 和字节 0
01b	字节 3、字节 2 和字节 1
10b	字节 3 和字节 2
11b	字节 3

表 10- 9 EtherCAT 过程 RAM 第一次读操作的有效字节

Funcience confidential

根据起始地址和长度的不同，最后一次 FIFO 读操作的有效字节如下：

	起始长度[1:0]			
起始地址[1:0]	01b(例如，5 和 9 等)	10b(例如，6 和 10 等)	11b(例如，7 和 11 等)	00b(例如，8 和 12 等)
00b	字节 0	字节 1 和字节 0	字节 2、字节 1 和字节 0	字节 3、字节 2、字节 1 和字节 0
01b	字节 1 和字节 0	字节 2、字节 1 和字节 0	字节 3、字节 2、字节 1 和字节 0	字节 0
10b	字节 2、字节 1 和字节 0	字节 3、字节 2、字节 1 和字节 0	字节 0	字节 1 和字节 0
11b	字节 3、字节 2、字节 1 和字节 0	字节 0	字节 1 和字节 0	字节 2、字节 1 和字节 0

表 10- 10 EtherCAT 过程 RAM 最后一次读操作的有效字节

如果初始长度为 4 字节或 4 字节以下并且单次读操作可包含所有字节，则惟一一次 FIFO 读操作的有效字节如下：

	起始长度[1:0]			
起始地址[1:0]	4	1	2	3
00b	字节 3、字节 2、字节 1 和字节 0	字节 0	字节 1 和字节 0	字节 2、字节 1 和字节 0
01b	na	字节 1	字节 2 和字节 1	字节 3、字节 2 和字节 1
10b	na	字节 2	字节 3 和字节 2	na
11b	na	字节 3	na	na

表 10- 11 EtherCAT 过程 RAM 单次读操作的有效字节

中止读命令

必要时，可通过将 EtherCAT 过程 RAM 读命令寄存器（ECAT_PRAM_RD_CMD）中的 PRAM 读中止（PRAM_READ_ABORT） 位置 1 来中止读命令。

10.13.1.4 EtherCAT 过程 RAM 写操作

过程数据经 16 级深 32 位宽 FIFO 传输到 EtherCAT 内核。FIFO 的基址为 20h，但它也可在其他 7 个连续的存储单元访问。主机可在这些别名端口存储单元中的任一个存储单元访问 FIFO，因为它们的功能相同且包含相同的数据。通过实现这种别名端口寻址，主机可对连续地址进行突发访问。

对于 HBI 访问，过程 RAM 写数据 FIFO 也可通过 FIFO 直接选择模式访问。在该模式下，将忽略地址输入，并直接对过程 RAM 读数据 FIFO 执行所有写访问。请章节 7.3.4.1 “FIFO 直接选择地址”。

要写入 EtherCAT 过程 RAM，需要通过以下方式发起写周期：首先向 EtherCAT 过程 RAM 写地址和长度寄存器（ECAT_PRAM_WR_ADDR_LEN）写入所需传输的起始字节地址和长度（单位为字节），接着写入 EtherCAT 过程 RAM 写命令寄存器（ECAT_PRAM_WR_CMD）以使 PRAM 写繁忙（AM_WRITE_BUSY）位置 1。

提示：起始字节地址和长度必须编程为有效值，以使所有传输均在边界为 1000h 和 2FFFh 的过程 RAM 地址范围内。

数据经 16 级深 32 位宽 FIFO 传输到 EtherCAT 内核中。当 EtherCAT 过程 RAM 写命令寄存器（ECAT_PRAM_WR_CMD）中的 PRAM 可写空间（PRAM_WRITE_AVAIL）位指示空间可用时，主机可通过 EtherCAT 过程 RAM 写数据 FIFO（ECAT_PRAM_WR_DATA）向 FIFO 写入数据。

funcience confidential

PRAM 空间可写次数（PRAM_WRITE_AVAIL_CNT）字段指示在无需再次校验状态的条件下可执行的写操作次数。最后一次向 EtherCAT 内核写入数据后，PRAM 写繁忙（AM_WRITE_BUSY）将自清零。

提示：最后一次写入 EtherCAT 过程 RAM 写数据 FIFO（ECAT_PRAM_WR_DATA）意味着已写入全部四个字节，即使无需全部字节也如此。

当数据从 FIFO 传输到 EtherCAT 内核时，PRAM 写长度（PRAM_WRITE_LEN）和 PRAM 写地址（PRAM_WRITE_ADDR）会进行更新以显示进程。

根据起始地址的不同，第一次 FIFO 写操作的有效字节如下：

起始地址[1:0]	
00b	字节 3、字节 2、字节 1 和字节 0
01b	字节 3、字节 2 和字节 1
10b	字节 3 和字节 2
11b	字节 3

表 10- 12 EtherCAT 过程 RAM 第一次写操作的有效字节

根据起始地址和长度的不同，最后一次 FIFO 写操作的有效字节如下：

	起始长度[1:0]			
起始地址[1:0]	01b(例如，5 和 9 等)	10b(例如，6 和 10 等)	11b(例如，7 和 11 等)	00b(例如，8 和 12 等)
00b	字节 0	字节 1 和字节 0	字节 2、字节 1 和字节 0	字节 3、字节 2、字节 1 和字节 0
01b	字节 1 和字节 0	字节 2、字节 1 和字节 0	字节 3、字节 2、字节 1 和字节 0	字节 0
10b	字节 2、字节 1 和字节 0	字节 3、字节 2、字节 1 和字节 0	字节 0	字节 1 和字节 0
11b	字节 3、字节 2、字节 1 和字节 0	字节 0	字节 1 和字节 0	字节 2、字节 1 和字节 0

表 10- 13 EtherCAT 过程 RAM 最后一次写操作的有效字节

如果初始长度为 4 字节或 4 字节以下并且单次写操作可包含所有字节，则惟一一次 FIFO 写操作的有效字节如下：

	起始长度[1:0]			
起始地址[1:0]	4	1	2	3
00b	字节 3、字节 2、字节 1 和字节 0	字节 0	字节 1 和字节 0	字节 2、字节 1 和字节 0
01b	na	字节 1	字节 2 和字节 1	字节 3、字节 2 和字节 1
10b	na	字节 2	字节 3 和字节 2	na
11b	na	字节 3	na	na

表 10- 14 EtherCAT 过程 RAM 单次写操作的有效字节

中止写命令

必要时，可通过将 EtherCAT 过程 RAM 写命令寄存器（ECAT_PRAM_WR_CMD）中的 PRAM 写中止（PRAM_WRITE_ABORT）位置 1 来中止写命令。

Funcience Confidential

10.13.2 EtherCAT 直接访问模式

EtherCAT 直接映射模式将内核 CSR 放置在主机内存空间中。内核 CSRs 从字节地址 0 映射到字节地址 FFFh,并遵循 EtherCAT 的地址映射。流程数据 RAM 从字节地址 1000h 映射到字节地址 2FFFh。

EtherCAT 直接映射模式是通过 PDI 控制寄存器中的流程数据接口(PDI_SELECT)字段启用的。参考第 11.3 条,PDI 选择和配置来获取额外信息。

10.13.2.1 HBI 接口

在 EtherCAT 直接映射模式下,主机总线访问 EtherCAT 进程 RAM 和 CSR 访问寄存器是禁用的。主机数据总线可以是 8 位或 16 位宽,在 16 位模式下支持动态字节或 WORD 访问。总线宽度由 PDI 控制寄存器中的流程数据接口(PDI_SELECT)字段选择。参考章节 10.3“PDI 选择和配置”来获取额外信息。

异步 8/16 位微控制器接口 PDI 字节排序总是很小的。设备水平在 HBI 模块中控制。在异步 8/16 位微控制器接口 PDI 级别,访问类型如下:

A[0]	访问	DATA[7:0]
0	8 位访问[15:0](低字节,偶数地址)	低字节
1	8 位访问[15:0](高字节,奇数地址)	高字节

表 10- 15 8 位异步微控制器接口 PDI 访问

A[0]	nBHE	访问	DATA[15:8]	DATA[7:0]
0	0	16 位访问 A[15:0]和 A[15:0]+ 1 (低、高字节)	高字节	低字节
0	1	8 位访问 A[15:0] (低字节,偶数地址)	-	低字节
1	0	8 位访问 A[15:0] (高字节,奇数地址)	高字节	-
1	1	无效访问	-	-

表 10- 16 16 位异步微控制器接口 PDI 访问

写入访问

写入访问在章节 9.0“以太网 PHY”中描述。

扩展的 PDI 配置寄存器控制 non-posted 或 posted 操作的编写循环配置。

读出访问

读出访问在章节 9.0“以太网 PHY”中描述。

扩展的 PDI 配置寄存器控制读取周期 WAIT_ACK 延迟时间。

控制器访问错误

通过微控制器接口检测以下访问错误:

- 在 16 位模式下伴随 A[0]= 1 和 nBHE = 1 读取或写入访问 16 位模式，即在高字节使能的情况下对一个奇数地址的一次访问。

Funcience confidential

- 当 BUSY 置高，WR 置为无效(或当 WR 维持有效，在器件标准上 CS 置为无效)。
- 当 BUSY 置高，RD 置为无效(或当 RD 维持有效，在器件标准上 CS 置为无效）(读未完成)。

访问错误将产生这些后果:

- PDI 错误计数器寄存器将会递增。
- 访问 A[0]= 1 和 nBHE(低使能)= 1,内部没有任何访问执行。
- 当 BUSY 置低，在 WR(或 CS)中,可能会破坏电流和前面的传输(如果它没有在内部完成)。寄存器可以接受写入数据和特殊函数。可能会执行同步管理器切换。
- 当 BUSY 置低，如果 RD(或 CS)被破坏(阅读还没有完成),那么访问将在内部终止。虽然,内部字节传输可能完成,因此特别功能。可能会执行同步管理器切换。

访问错误的原因可以在 PDI 错误代码寄存器中读取。

10.13.2.2 SPI 接口

在 EtherCAT 直接映射模式下，SPI 总线对 EtherCAT 过程数 RAM 寄存器的访问被禁用。SPI 总线接口直接到 OPB PDI。

读访问

SPI 接口提供地址，字节使能以及读取请求。OPB PDI 返回一个应答和数据。SPI 接口从正确的字节通道检索数据。

写访问

SPI 接口提供地址，字节使能，数据以及写入请求。OPB PDI 返回一个应答。SPI 接口将数据提供到正确的字节通道上。

控制器访问错误

SPI 接口检测访问错误。可以从 PDI 错误计数器寄存器中读取错误计数。访问错误原因可以在 PDI 错误码寄存器中读取。

10.14 EtherCAT 复位

根据第 6.2.1.3 节“EtherCAT 系统复位” 的定义，通过 3 个连续帧向 ESC 复位 ECAT 寄存器写入 0x52（R）、0x45（E）和 0x53（S）之后或者通过 3 个连续的写操作向 ESC 复位 PDI 寄存器写入 0x52（R）、 0x45（E）和 0x53（S）之后，会发生器件复位（和可选系统复位）。

提示：序列的最后一个帧可能不会返回给主器件（取决于拓扑），因为主器件与被复位的从器件之间的链路将中断。

Funcience confidential

10.15 EtherCAT CSR 和过程数据 RAM 访问寄存器（可直接访问）

本节将详细介绍 EtherCAT 内核以外与 EtherCAT 内核相关的可直接寻址的系统 CSR。

EtherCAT CSR 接口命令寄存器(ECAT_CSR_CMD)和 EtherCAT CSR 接口数据寄存器(ECAT_CSR_DATA)作为一个接口,在完全范围内不可合并的 EtherCAT 控制和状态寄存器。有关如何访问 EtherCAT 寄存器的信息,请参阅章节 10.13 “EtherCAT CSR 和处理数据 RAM 访问” 页。在章节 10.16 “EtherCAT 内核 CSR 寄存器（可间接寻址）”中说明了 EtherCAT 内核寄存器。

提示: 这些寄存器（包括 EtherCAT 过程 RAM 和写数据 FIFO）在 EtherCAT 直接映射中不使用，并且也不可访问。

地址	EtherCAT 直接映射模式	寄存器名称（符号）
000h-01Ch	N/A (unused)	EtherCAT 过程 RAM 读数据 FIFO（ECAT_PRAM_RD_DATA）
020h-03Ch	N/A (unused)	EtherCAT 过程 RAM 写数据 FIFO（ECAT_PRAM_WR_DATA）
300h	N/A (unused)	EtherCAT CSR 接口数据寄存器（ECAT_CSR_DATA）
304h	N/A (unused)	EtherCAT CSR 接口命令寄存器（ECAT_CSR_CMD）
308h	N/A (unused)	EtherCAT 过程 RAM 读地址和长度寄存器（ECAT_PRAM_RD_ADDR_LEN）
30Ch	N/A (unused)	EtherCAT 过程 RAM 读命令寄存器（ECAT_PRAM_RD_CMD）
310h	N/A (unused)	EtherCAT 过程 RAM 写地址和长度寄存器（ECAT_PRAM_WR_ADDR_LEN）
314h	N/A (unused)	EtherCAT 过程 RAM 写命令寄存器（ECAT_PRAM_WR_CMD）

表 10- 17 EtherCAT 过程数据 RAM 和 CSR 访问寄存器

Funcience confidential

10.15.1 EtherCAT 过程 RAM 读数据 FIFO（ECAT_PRAM_RD_DATA）

偏移量: 000h-01Ch 大小: 32 位

这个只读寄存器存器与 EtherCAT 过程 RAM 读命令寄存器（ECAT_PRAM_RD_CMD）和 EtherCAT 过程 RAM 读地址和长度寄存器(ECAT_PRAM_RD_ADDR_LEN)一起使用，来对 EtherCAT 内核过程 RAM 执行读操作。

EtherCAT 过程数据 RAM 读命令寄存器（ECAT_PRAM_RD_CMD）中的 PRAM 可读数据（PRAM_READ_AVAIL）位为 1 时，从该寄存器读取的数据才有效。除非存在有效数据，否则主机不得读取该寄存器。

位	描述	类型	默认值
31:0	**EtherCAT 过程 RAM 读数据（PRAM_RD_DATA）** 该字段包含从 EtherCAT 内核过程 RAM 读取的值。 注：一些字节可能无效，具体取决于起始地址和传输长度。	RO	-

Funcience confidential

10.15.2 EtherCAT 过程 RAM 写数据 FIFO（ECAT_PRAM_WR_DATA）

偏移量: 020h-03Ch 大小: 32 位

该只写寄存器与 EtherCAT 过程 RAM 写命令寄存器（ECAT_PRAM_WR_CMD）和 EtherCAT 过程 RAM 写地址和长度寄存器（ECAT_PRAM_WR_ADDR_LEN）配合使用，以对 EtherCAT 内核过程 RAM 执行写操作。

除非 EtherCAT 过程 RAM 写命令寄存器（ECAT_PRAM_WR_CMD）中的 PRAM 可写空间（PRAM_WRITE_AVAIL） 位指示存在可用空间，否则主机不得写入该寄存器。

位	描述	类型	默认值
31:0	**EtherCAT 过程 RAM 写数据（PRAM_WR_DATA）** 该字段包含写入 EtherCAT 内核过程 RAM 的值。 注：一些字节可能无效，具体取决于起始地址和传输长度。	WO	-

Funcience confidential

10.15.3 EtherCAT CSR 接口数据寄存器（ECAT_CSR_DATA）

偏移量: 300h 大小: 32 位

该读/写寄存器与 EtherCAT CSR 接口命令寄存器（ECAT_CSR_CMD）配合使用，以对 EtherCAT 内核 CSR 执行读写操作。

位	描述	类型	默认值
31:0	**EtherCAT CSR 数据（CSR_DATA）** 该字段包含从 EtherCAT 内核 CSR 读取的值或者写入 EtherCAT 内核 CSR 的值。EtherCAT 内核 CSR 由 EtherCAT CSR 接口命令寄存器（ECAT_CSR_CMD）的 CSR 地址（CSR_ADDR）位选择。 始终在该字段的低位写入或读取有效数据。通过硬件处理任何需要的字节对齐。 执行读操作之后，返回的值取决于 EtherCAT CSR 接口命令寄存器（ECAT_CSR_CMD）中的读/写（R_nW） 位。如果读/写（R_nW） 置 1，则数据来自 EtherCAT 内核。如果读/写（R_nW） 清零，则数据为最后写入该寄存器的值。	R/W	00000000h

Funcience confidential

10.15.4 EtherCAT CSR 接口命令寄存器（ECAT_CSR_CMD）

偏移量: 304h 大小: 32 位

该读/写寄存器与 EtherCAT CSR 接口数据寄存器（ECAT_CSR_DATA）配合使用，以对 EtherCAT 内核 CSR 执行读写操作。

位	描述	类型	默认值
31	**CSR 繁忙（CSR_BUSY）** 向该位写入 1 时，将对 CSR 地址（CSR_ADDR） 中指定的 EtherCAT 内核 CSR 执行读操作或写操作（由 R_nW 位确定）。 该位将保持置 1 状态，直至操作完成（此时该位将自清零）。在读操作情况下，清零该位会向主机指示可从 EtherCAT CSR 接口数据寄存器（ECAT_CSR_DATA） 读取有效数据。 向该位写入 0 不起作用。 除非该位为 0，否则主机不得修改 ETHERCAT_CSR_CMD 和 ETHERCAT_CSR_DATA 寄存器。	R/W SC	0b
30	**读/写（R_nW）** 该位用于确定主机向指定的 EtherCAT?内核 CSR 执行读操作还是写操作。 0：写操作 1：读操作	R/W	0b
29:19	**保留位**	RO	-
18:16	**CSR 大小（CSR_SIZE）** 该字段用于指定 EtherCAT 内核 CSR 的大小（单位为字节）。 有效值为 1、 2 和 4。主机不得使用无效值。**注 4**。	R/W	0h
15:0	**CSR 地址（CSR_ADDR）** 该字段用于选择将通过读操作或写操作访问的 EtherCAT 内核 CSR。这是一个字节地址，该字节地址是用于指定 EtherCAT 内核 CSR 的偏移量的格式。 **注 4**	R/W	0h

注 4：字和双字访问必须根据下表在适当的地址边界上对齐。

CSR_SIZE[2:0]	CSR_ADDR[1:0]
1	00b、 01b、10b 和 11b
2	00b 和 10b
4	00b

表 10- 18 EtherCAT CSR 地址 VS.大小

Funcience confidential

10.15.5 EtherCAT 过程 RAM 读地址和长度寄存器（ECAT_PRAM_RD_ADDR_LEN）

偏移量: 308h 大小: 32 位

该读/写寄存器与 EtherCAT 过程 RAM 读数据 FIFO（ECAT_PRAM_RD_DATA） 和 EtherCAT 过程 RAM 读命令寄存器（ECAT_PRAM_RD_CMD） 配合使用，以对 EtherCAT 内核过程 RAM 执行读操作。

提示：起始字节地址和长度必须编程为有效值，以使所有传输均在边界为 1000h 和 1FFFh 的过程 RAM 地址范围内。

位	描述	类型	默认值
31:16	**PRAM 读长度（PRAM_READ_LEN）** 该字段用于指示要从 EtherCAT 内核过程 RAM 读取的字节数。当数据被从 EtherCAT 内核读取并置于 FIFO 中时，该字段递减。 除非 PRAM 读繁忙（PRAM_READ_BUSY） 位为低电平，否则主机不得修改该字段。	R/W	0000h
15:0	**PRAM 读地址（PRAM_READ_ADDR）** 该字段用于指示要读取的 EtherCAT 内核字节地址。当数据被从 EtherCAT 内核读取并置于 FIFO 中时，该字段递增。 注：过程 RAM 从地址 1000h 处开始。 除非 PRAM 读繁忙（PRAM_READ_BUSY） 位为 0，否则主机不得修改该字段。	R/W	0000h

Funcience confidential

10.15.6 EtherCAT 过程 RAM 读命令寄存器（ECAT_PRAM_RD_CMD）

偏移量: 30Ch 大小: 32 位

该读/写寄存器与 EtherCAT 过程 RAM 读数据 FIFO（ECAT_PRAM_RD_DATA）和 EtherCAT 过程 RAM 读地址和长度寄存器（ECAT_PRAM_RD_ADDR_LEN）配合使用，以对 EtherCAT 内核过程 RAM 执行读操作。

位	描述	类型	默认值
31	**PRAM 读繁忙（PRAM_READ_BUSY）** 向该位写入 1 时，将从 PRAM 读地址（PRAM_READ_ADDR） 中指定的 EtherCAT 内核过程 RAM 存储单元开始启动读操作，具体长度在 PRAM 读长度（PRAM_READ_LEN） 中指定。该位将保持置 1 状态，直至整个读操作完成（此时该位将自清零）。 向该位写入 0 不起作用。	R/W SC	0b
30	**PRAM 读中止（PRAM_READ_ABORT）** 向该位写入 1 将取消正在进行的读操作。 PRAM 读繁忙（PRAM_READ_BUSY）将清零，读数据 FIFO 以及状态位将复位。 该位将自清零。 向该位写入 0 不起作用。	R/W SC	0b
29:13	**保留位**	RO	-
12:8	**PRAM 数据可读次数（PRAM_READ_AVAIL_CNT）** 该字段用于指示在无需进一步校验状态的条件下 EtherCAT 过程 RAM 读数据 FIFO（ECAT_PRAM_RD_DATA） 可读取的次数。 当数据被从 EtherCAT 内核读取并置于 FIFO 中时，该字段递增。当从 EtherCAT 过程 RAM 读数据 FIFO（ECAT_PRAM_RD_DATA） 读取完整个双字数据时，该字段递减。	RO	00000b
7:1	**保留位**	RO	-
0	PRAM 可读数据（PRAM_READ_AVAIL） 该字段用于指示 EtherCAT 过程 RAM 读数据 FIFO（ECAT_PRAM_RD_DATA）是否存在有效数据可供读取。	RO	0b

Funcience confidential

10.15.7 EtherCAT 过程 RAM 写地址和长度寄存器（ECAT_PRAM_WR_ADDR_LEN）

偏移量: 310h 大小: 32 位

该读/写寄存器与 EtherCAT 过程 RAM 写数据 FIFO（ECAT_PRAM_WR_DATA）和 EtherCAT 过程 RAM 写命令寄存器（ECAT_PRAM_WR_CMD）配合使用，以对 EtherCAT 内核过程 RAM 执行写操作。

提示：起始字节地址和长度必须编程为有效值，以使所有传输均在边界为 1000h 和 1FFFh 的过程 RAM 地址范围内。

位	描述	类型	默认值
31:16	**PRAM 写长度（PRAM_WRITE_LEN）** 该字段用于指示要写入 EtherCAT 内核过程 RAM 的字节数。当数据从 FIFO 写入 EtherCAT 内核时，该字段递减。 除非 PRAM 写繁忙（AM_WRITE_BUSY） 位为低电平，否则主机不得修改该字段。	R/W	0000h
15:0	**PRAM 写地址（PRAM_WRITE_ADDR）** 该字段用于指示要写入的 EtherCAT 内核字节地址。当数据从 FIFO 写入 EtherCAT 内核时，该字段递增。 注： 过程 RAM 从地址 1000h 处开始。 除非 PRAM 写繁忙（AM_WRITE_BUSY） 位为 0，否则主机不得修改该字段。	R/W	0000h

Funcience confidential

10.15.8 EtherCAT 过程 RAM 写命令寄存器（ECAT_PRAM_WR_CMD）

偏移量: 314h 大小: 32 位

该读/写寄存器与 EtherCAT 过程 RAM 写数据 FIFO（ECAT_PRAM_WR_DATA）和 EtherCAT 过程 RAM 写地址和长度寄存器（ECAT_PRAM_WR_ADDR_LEN） 配合使用，以对 EtherCAT 内核过程 RAM 执行写操作。

位	描述	类型	默认值
31	**PRAM 写繁忙（AM_WRITE_BUSY）** 向该位写入 1 时，将从 PRAM 写地址（PRAM_WRITE_ADDR） 中指定的 EtherCAT 内核过程 RAM 存储单元开始启动写操作，具体长度在 PRAM 写长度（PRAM_WRITE_LEN） 中指定。该位将保持置 1 状态，直至整个写操作完成（此时该位将自清零）。 向该位写入 0 不起作用。	R/W SC	0b
30	**PRAM 写中止（PRAM_WRITE_ABORT）** 向该位写入 1 将取消正在进行的写操作。 PRAM 写繁忙（AM_WRITE_BUSY）将清零，写数据 FIFO 以及状态位将复位。该位将自清零。 向该位写入 0 不起作用。	R/W SC	0b
29:13	**保留位**	RO	-
12:8	**PRAM 空间可写次数（PRAM_WRITE_AVAIL_CNT）** 该字段用于指示在无需进一步校验状态的条件下 EtherCAT 过程 RAM 写数据 FIFO（ECAT_PRAM_WR_DATA） 可写入的次数。 当将整个双字数据写入 EtherCAT 过程 RAM 写数据 FIFO（ECAT_PRAM_WR_DATA） 时，该字段递减。当数据被从 FIFO 读取并置于 EtherCAT 内核时，该字段递增。	RO	10000b
7:1	**保留位**	RO	-
0	**PRAM 可写空间（PRAM_WRITE_AVAIL）** 该字段用于指示 EtherCAT 过程 RAM 写数据 FIFO（ECAT_PRAM_WR_DATA） 是否存在可用空间可供写入数据。	RO	1b

Funcience confidential

10.16 EtherCAT 内核 CSR 寄存器 (可间接/直接寻址)

本节列举了可间接/直接寻址的 EtherCAT 内核 CSR，它们通过可直接寻址的 EtherCAT CSR 接口数据寄存器（ECAT_CSR_DATA）和 EtherCAT CSR 接口命令寄存器（ECAT_CSR_CMD）进行访问。有关如何访问 EtherCAT 寄存器的信息，请参见章节 10.13“EtherCAT CSR 和过程数据 RAM 访问”。章节 10.15 “EtherCAT CSR 和过程数据 RAM 访问寄存器（可直接寻址）”将详细介绍可直接寻址的 EtherCAT 寄存器。关于 EtherCAT 内核 CSR 寄存器（可间接/直接寻址）的详细描述，请参考文档“寄存器”。

提示 1：对于超过一个字节的 EtherCAT 内核 CSR 寄存器， LSB 具有最低地址， MSB 具有最高地址。

提示 2：根据寄存器访问方式的不同，具体 EtherCAT 内核寄存器位的读/写行为可能有所不同。每个 EtherCAT 内核寄存器均包含“ECAT 类型”和“PDI 类型”列，分别提供通过 EtherCAT 主站节点或过程数据接口（SPI/主机总线）访问寄存器时的位/字段类型。

地址	长度（Byte）	寄存器名称
ESC Information		
0x0000	1	Type Register
0x0001	1	Revision Register
0x0002:0x0003	2	Build Register
0x0004	1	FMMUs Supported Register
0x0005	1	SyncManagers Supported Register
0x0006	1	RAM Size Register
0x0007	1	Port Descriptor Register
0x0008:0x0009	2	ESC Features Supported Register
Station Address		
0x0010:0x0011	2	Configured Station Address Register
0x0012:0x0013	2	Configured Station Alias Register
Write Protection		
0x0020	1	Write Register Enable Register
0x0021	1	Write Register Protection Register
0x0030	1	ESC Write Register Enable Register
0x0031	1	ESC Write Register Protection Register
Data Link Layer Register		
0x0040	1	ESC Reset ECAT Register
0x0041	1	ESC Reset PDI Register
0x0100:0x0103	4	ESC DL Control Register
0x0108:0x0109	2	Physical Read/Write Offset Register
0x0110:0x0111	2	ESC DL Status Register
Application Layer		
0x0120:0x0121	2	AL Control Register
0x0130:0x0131	2	AL Status Register
0x0134:0x0135	2	AL Status Code Register

Funcience confidential

0x0138	1	RUN LED Override Register
0x0139	1	ERR LED Override Register
PDI(Process Data Interface)		
0x0140	1	PDI Control Register
0x0141	1	ESC Configuration Register
0x0142:0x0143	2	ASIC Configuration Register
0x0144:0x0145	2	RESERVED Register
0x014E:0x014F	2	PDI Information Register
0x0150	1	PDI Configuration Register
0x0151	1	Sync/Latch PDI Configuration Register
0x0152:0x0153	2	Extended PDI Configuration Register
Interrupts		
0x0200:0x0201	2	ECAT Event Mask Register
0x0204:0x0207	4	AL Event Mask Register
0x0210:0x0211	2	ECAT Event Request Register
0x0220:0x0223	4	AL Event Request Register
Error Counters		
0x0300:0x0307	4×2	Rx Error Counter Register
0x0308:0x030B	4×1	Forwarded Rx Error Counter Register
0x030C	1	ECAT Processing Unit Error Counter Register
0x030D	1	PDI Error Counter Register
0x030E	1	PDI Error Code Register
0x0310:0x0313	4×1	Lost Link Counter Register
Watchdogs		
0x0400:0x0401	2	Watchdog Divider Register
0x0410:0x0411	2	Watchdog Time PDI Register
0x0420:0x0421	2	Watchdog Time Process Data Register
0x0440:0x0441	2	Watchdog Status Process Data Register
0x0442	1	Watchdog Counter Process Data Register
0x0443	1	Watchdog Counter PDI Register
EEPROM Interface		
0x0500	1	EEPROM Configuration Register
0x0501	1	EEPROM PDI Access State Register
0x0502:0x0503	2	EEPROM Control/Status Register
0x0504:0x0507	4	EEPROM Address Register
0x0508:0x050F	4/8	EEPROM Data Register
MII Management Interface		
0x0510:0x0511	2	MII Management Control/Status Register
0x0512	1	PHY Address Register
0x0513	1	PHY Register Address Register
0x0514:0x0515	2	PHY Data Register
0x0516	1	MII Management ECAT Access State Register
0x0517	1	MII Management PDI Access State Register
0x0518:0x051B	4	PHY Port Status Register
0x0600:0x067F	8×16	**FMMU[2:0] Register**
+0x0:0x3	4	FMMUx Logical Start Address Register
+0x4:0x5	2	FMMUx Length Register
+0x6	1	FMMUx Logical Start Bit Register

Funcience confidential

+0x7	1	FMMUx Logical Stop Bit Register
+0x8:0x9	2	FMMUx Physical Start Address Register
+0xA	1	FMMUx Physical Start Bit Register
+0xB	1	FMMUx Type Register
+0xC	1	FMMUx Activate Register
+0xD:0xF	3	FMMUx Reserved Register
0x0680:0x06FF		Reserved
0x0800:0x083F	8×8	SyncManager[3:0] Register
+0x0:0x1	2	SyncManager x Physical Start Address Register
+0x2:0x3	2	SyncManager x Length Register
+0x4	1	SyncManager x Control Register
+0x5	1	SyncManager x Status Register
+0x6	1	SyncManager x Activate Register
+0x7	1	SyncManager x PDI Control Register
0x0840:0x087F		Reserved
0x0900:0x09FF	256	**Distributed Clocks (DC)**
DC – Receive Times		
0x0900:0x0903	4	Receive Time Port 0 Register
0x0904:0x0907	4	Receive Time Port 1 Register
0x0908:0x090B	4	Receive Time Port 2 Register
0x090C:0x090F	4	Reserved
DC – Time Loop Control Unit		
0x0910:0x0917	4/8	System Time Register
0x0918:0x091F	4/8	Receive Time ECAT Processing Unit Register
0x0920:0x0927	4/8	System Time Offset Register
0x0928:0x092B	4	System Time Delay Register
0x092C:0x092F	4	System Time Difference Register
0x0930:0x0931	2	Speed Counter Start Register
0x0932:0x0933	2	Speed Counter Diff Register
0x0934	1	System Time Difference Filter Depth
0x0935	1	Speed Counter Filter Depth Register
DC – Cyclic Unit Control		
0x0980	1	Cyclic Unit Control Register
DC – SYNC Out Unit		
0x0981	1	Activation Register
0x0982:0x0983	2	Pulse Length of SyncSignals Register
0x0984	1	Activation Status Register
0x098E	1	SYNC0 Status Register
0x098F	1	SYNC1 Status Register
0x0990:0x0997	4/8	Start Time Cyclic Operation/Next SYNC0 Pulse Register
0x0998:0x099F	4/8	Next SYNC1 Pulse Register
0x09A0:0x09A3	4	SYNC0 Cycle Time Register
0x09A4:0x09A7	4	SYNC1 Cycle Time Register
DC – Latch In Unit		
0x09A8	1	Latch0 Control Register
0x09A9	1	Latch1 Control Register
0x09AE	1	Latch0 Status Register
0x09AF	1	Latch1 Status Register

Funcience Confidential

0x09B0:0x09B7	4/8	Latch0 Time Positive Edge Register
0x09B8:0x09BF	4/8	Latch0 Time Negative Edge Register
0x09C0:0x09C7	4/8	Latch1 Time Positive Edge Register
0x09C8:0x09CF	4/8	Latch1 Time Negative Edge Register
DC – SyncManager Event Times		
0x09F0:0x09F3	4	EtherCAT Buffer Change Event Time Register
0x09F8:0x09FB	4	PDI Buffer Start Event Time Register
0x09FC:0x09FF	4	PDI Buffer Change Event Time Register
ESC specific		
0x0E00:0x0E07h	8	Product ID Register(IP Core)
0x0E08:0x0E0Fh	8	Vendor ID Register(IP Core)
Digital Input/Output		
0x0F00:0x0F03	4	Digital I/O Output Data Register
0x0F10:0x0F17	1-8	General Purpose Outputs Register
0x0F18:0x0F1F	1-8	General Purpose Inputs Register
User RAM		
0x0F80:0x0FFF	128	User RAM
Process Data RAM		
0x1000:0x1003	4	Digital I/O Input Data Register
0x1000:0x2FFF	8 KB	Process Data RAM

表 10- 19 EtherCAT 内核 CSR 寄存器

Funcience confidential

11EEPROM 接口

器件包含 I²C 主控制器，该主控制器使用 **EESCL** 和 **EESDA** 引脚。**EESCL** 和 **EESDA** 需要外部上拉电阻。支持通过 1 字节和 2 字节寻址的 EEPROM。具体大小由配置引脚 **E2PSIZE** 确定。

11.1I²C 接口时序要求

本节规定 I²C 主接口的输入和输出时序。I²C 主接口在快速模式下以 148.8 kHz 的速率运行。

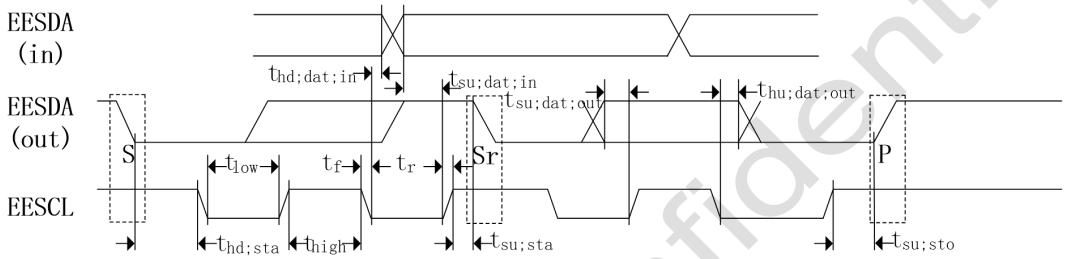


图 11- 1 I²C 主站时序图

符号	说明	最小值	典型值	最大值	单位
fscl	EESCL 时钟频率	-	148.8	-	khz
thigh	EESCL 高电平时间	3.0	-	-	us
tlow	EESCL 低电平时间	3.0	-	-	us
tr	EESDA 和 EESCL 的上升时间		-	300	ns
tf	EESDA 和 EESCL 的下降时间		-	300	ns
tsu;sta	重复启动条件下 EESDA 输出下降前 EESCL 高电平的建立时间（提供给从器件）	1000 注 45	-	-	ns
thd;sta	启动或重复启动条件下 EESDA 输出下降后 EESCL 的保持时间（提供给从器件）	1000 注 45	-	-	ns
tsu;dat;in	EESCL 上升前 EESDA 输入的建立时间（来自从器件）	200 注 46	-	-	ns
thd;dat;in	EESCL 下降后 EESDA 输入的保持时间（来自从器件）	0	-	-	ns
tsu;dat;out	EESCL 上升前 EESDA 输出的建立时间(提供给从器件)	400 注 47	-	-	ns
thd;dat;out	EESCL 下降后 EESDA 输出的保持时间(提供给从器件)	400 注 47	-	-	ns
tsu;sto	停止条件下 EESDA 输出上升前 EESCL 高电平的建立时间（提供给从器件）	1000 注 45	-	-	ns

表 11- 1 I²C 主器件时序值

注 45: 与 I²C 快速模式规范相比，这些值提供 400 ns 的裕量。

注 46: 与 I²C 快速模式规范相比，这些值提供大约 2100 ns 的裕量。

注 47: 与 I²C 快速模式规范相比，这些值提供 300 ns 的建立裕量和 400 ns 的保持裕量。

Funcience confidential

11.2等效 EEPROM

为降低系统成本和复杂度，芯片支持 EEPROM 等效模式。

等效 EEPROM 模式用于 non-volatile memory（非易变的存储 NVRAM）的微处理器附属的从站中。从站配置和设备说明可存储在单片机的 NVRAM 中，单片机可按 ESC 要求执行对 NVRAM 的读写操作。

从 EtherCAT 主站角度来看，等效 EEPROM 模式 和 I²C EEPROM 芯片没有区别。微处理器只是发出 EEPROM 指令并等待，直到 EEPROM 接口不再繁忙。

对于 EEPROM 等效模式，如果 EEPROM 指令被挂起，从站向微处理器发送一个中断，并自动将 busy bit（0x0502[15]）置 1。当 busy bit 被设 1 时，微处理器可读出指令和 EEPROM 地址。对于写操作，写数据存于数据寄存器中。对于读指令，读数据必须由微处理器存储在数据寄存器中。

一旦微处理器对 EEPROM 数据寄存器完成读写操作，将对 EEPROM 命令寄存器位写应答命令。微控制器必须写已执行到 EEPROM 命令寄存器的命令值。错误可以用两个错误位来表示。响应命令之后，EEPROM busy bit 0x0502[15]自清零，并且中断释放。

微处理器可以使用缓存的 EEPROM 内容的缓存图像，以减少访问时间和写入 NVRAM 的周期。NVRAM 的访问完成后，应该更新 NVRAM（超时后）。不依赖于主站特定的写入序列。

等效 EEPROM 期间，配置重新加载将以实际的 EEPROM（包括有效的 CRC）获取所有 16 个字节（每次 8 字节）的格式。等效 EEPROM 模式通过外部下拉 **EE_EMUL2** 或 **EE_EMUL1** 配置引脚实现。等效 EEPROM 模式由 EEPROM 控制/状态寄存器的等效 EEPROM 位来指示。

提示：为了正常的 EEPROM 操作，配置引脚 **EE_EMUL2** 或 **EE_EMUL1** 应外部上拉。

Funcience confidential

12 芯片模式配置

芯片模式由 **CHIP_MODE[1:0]**的配置控制，如下：

CHIP_MODE[1:0]	模式
0X	**2 端口模式** 端口 0 = PHY A，端口 1 = PHY B
10	**3 端口下行模式** 端口 0 = PHY A，端口 1 = PHY B，端口 2 = MII
11	**3 端口上行模式** 端口 0 = MII，端口 1 = PHY B，端口 2 = PHY A

表 12- 1 芯片模式选择

选择芯片模式后，便会通过 PDI 控制寄存器（0x0140）选择使用的过程数据接口（PDI）。有效选择如下：

PDI_SELECT	PDI 模式	ECAT 直接映射模式
0x04	DIG I/O	不适用
0x05	Beckhoff SPI	是
0x80	SPI	否
0x82	SPI	是
0x88	HBI Multiplexed 1 Phase 8-bit	否
0x89	HBI Multiplexed 1 Phase 16-bit	否
0x8A	HBI Multiplexed 2 Phase 8-bit	否
0x8B	HBI Multiplexed 2 Phase 16-bit	否
0x8C	HBI Indexed 8-bit	否
0x8D	HBI Indexed 16-bit	否
0x8E	HBI Demultiplexed 8-bit	否
0x8F	HBI Demultiplexed 16-bit	否
0x90	HBI Multiplexed 1 Phase 8-bit	是
0x91	HBI Multiplexed 1 Phase 16-bit	是
0x92	HBI Multiplexed 2 Phase 8-bit	是
0x93	HBI Multiplexed 2 Phase 16-bit	是
0x94	HBI Indexed 8-bit	是
0x95	HBI Indexed 16-bit	是
0x96	HBI Demultiplexed 8-bit	是
0x97	HBI Demultiplexed 16-bit	是
Others	保留	-

表 12- 2 PDI 模式选择

提示 1：芯片模式选择通过配置引脚 **CHIP_MODE[1:0]**，不受 PDI 接口选择的影响。

提示 2：由于引脚复用，当使用三端口模式时，只能使用 SPI 接口。

Funcience confidential

12.1HBI 子配置

PDI 配置寄存器（0x0150）和扩展 PDI 配置寄存器（0x0152 - 0x0153）用于 HBI 配置，见表 10-4，“EtherCAT 内核 EEPROM 可配置寄存器”。

PDI 配置寄存器（0x0150）和扩展 PDI 配置寄存器（0x0152 - 0x0153）由 EEPROM 内容初始化。

12.2SPI 子配置

PDI 配置寄存器（0x0150）用于 SPI 配置，见表 10-4，“EtherCAT 内核 EEPROM 可配置寄存器”。PDI 配置寄存器（0x0150）由 EEPROM 内容初始化。

12.3倍福 SPI 子配置

PDI 配置寄存器（0x0150）用于 SPI 配置，见表 10-4，“EtherCAT 内核 EEPROM 可配置寄存器”。PDI 配置寄存器（0x0150）由 EEPROM 内容初始化。

12.4等效 EEPROM 模式配置

通常在从站配置区读操作和设备配置前，所有的主接口(HBI 和 SPI)都是禁用的，大部分的设备通过 EEPROM 内容来配置。当等效 EEPROM 模式被使用，为了允许主机微处理器访问 EEPROM 寄存器，必须选择默认的主机接口配置/子配置。

在等效 EEPROM 模式中使用以下设置，直到设备被配置：

- **PDI 控制寄存器**

EE_EMUL[2:0]配置选择过程数据接口（PDI_SELECT），如表 12-3 所示。

提示：通常来说，由主机提供的作为等效 EEPROM 数据一部分的 PDI 类型应该和使用中的默认 PDI 相同。换句话说，PDI 类型不应该修改。允许在同一 PDI 类型内的 ECAT 直接映射模式和非 ECAT 直接映射模式之间切换。

EE_EMUL[2:0]	PDI_SELECT
000	SPI2 (0x80)
001	HBI4D_16bit(0X97)
010	HBI4M1P_16bit(0X91)
011	HBI4M2P_16bit(0X93)
100	SPI4 (0X82)
101	Beckhoff SPI (0X05)
110	不适用（EEPROM 使能）
111	不适用（EEPROM 使能）

表 12- 3 等效 EEPROM PDI_SELECT

Funcience confidential

- **PDI 配置寄存器和扩展 PDI 配置寄存器**

一旦主机接口选定，子配置默认值见表 12-4。

提示 1：这些默认值被选择为最大的向后兼容性，满足最小功能来加载配置数据，或者是不用在意。除 SPI SCS 极性和 HBI CS 极性之外，当配置设备时，如果需要，可以更改这些。新设备配置在最后一个等效 EEPROM 数据写入后生效。如果任何参数初始默认值更改，SPI 或 HBI 总线信号必须更改以匹配这些参数，而 SPI SCS 或 HBI CS 是无效的。

提示 2：WAIT_ACK 引脚不是初始启用的。HBI 和 SPI EtherCAT 直接映射模式必须同步总线周期以满足最差的情况访问时间。

提示 3：在等效 EEPROM 完成后，允许更新的设备配置对其产生影响。在最后的等效 EEPROM 数据之后，主机应该在进一步访问之前等待至少 1.5us。

寄存器	位	值
PDI 配置寄存器 （SPI 模式）	7:2 --- 保留	00h
	2 --- SPI AL 事件请求和 INT_STS 使能	0b
	1 --- SPI WAIT_ACK 极性	0b
	0 --- SPI WAIT_ACK 缓冲器类型	0b
PDI 配置寄存器 （倍福 SPI 模式）	7:6 --- 保留	00b
	5 --- 数据输出采样模式	**EE_EMUL_SPI3**
	4 --- SCS 极性	**EE_EMUL_SPI2**
	3:2 --- 保留	00b
	1:0 --- SPI 模式	**EE_EMUL_SPI[1:0]**
PDI 配置寄存器 （HBI 模式）	7 --- HBI ALE 条件	0b
	6 --- HBI RW 模式	0b
	5 --- HBI CS 极性	0b
	4 --- HBI RD RD/WR 极性	0b
	3 --- HBI WR EN 极性	0b
	2 --- HBI ALE 极性	如果 **EE_EMUL[2:0]** = 010 (HBI Multiplexed 1 Phase) ，那 **EE_EMUL_ALEO_POL**，否则 0b
	1 --- HBI WAIT_ACK 极性	0b
	0 --- HBI WAIT_ACK 缓冲器类型	1b
扩展 PDI 配置寄存器 （HBI 模式）	15:3 --- 保留	00h
	2 --- HBI BE 1/0 极性	0b
	1 --- 执行内部写入	0b
	0 --- 读操作 WAIT_ACK 没有延迟	0b

表 12- 4 等效 EEPROM PDI 默认值

Funcience confidential

13 通用定时器和自由运行时钟

本章详细介绍了通用定时器（General Purpose Timer，GPT）和自由运行时钟。

13.1通用定时器

该器件提供了一个 16 位可编程通用定时器，可用于产生周期性系统中断。该定时器的分辨率为 100 µs。

当通用定时器配置寄存器（GPT_CFG）的通用定时器使能（TIMER_EN）位置为有效（1）时，GPT 会将通用定时器配置寄存器（GPT_CFG）的通用定时器预载（GPT_LOAD）字段中的值装载到通用定时器计数寄存器（GPT_CNT）中。在芯片级复位时或者当通用定时器使能（TIMER_EN）位从有效状态（1）切换为无效状态（0）时，通用定时器预载（GPT_LOAD）字段将初始化为 FFFFh。复位时，通用定时器计数寄存器（GPT_CNT）也将初始化为 FFFFh。

使能后，GPT 将递减计数至 0000h。到达 0000h 时，计数器将回绕到 FFFFh，将中断状态寄存器（INT_STS）中的 GP 定时器（GPT_INT）中断状态位置为有效并将 IRQ 中断置为有效（如果中断允许寄存器（INT_EN）中 GP 定时器中断允许（GPT_INT_EN 位置 1），然后继续计数。GP 定时器（GPT_INT）中断状态位是粘住位。该位置为有效后，只能通过写 1 将其清零。有关 GPT 中断的更多信息，请参见章节 6.2.3 “通用定时器中断”。

软件可随时向通用定时器预载（GPT_LOAD）字段写入预载值（例如，通用定时器使能（TIMER_EN）位置为有效之前或之后）。通用定时器计数寄存器（GPT_CNT）将立即设置为新值并从该值继续递减计数（如果使能）。

13.2自由运行时钟

自由运行时钟（Free-Running Clock，FRC）是一个以 25 MHz 固定时钟工作的简单 32 位递增计数器。当前 FRC 值可通过自由运行 25 MHz 计数器寄存器（FREE_RUN）读取。芯片级复位置为有效时，该计数器将清零。复位置为无效时，计数器将每隔一个 25 MHz 时钟周期递增 1 次。当到达最大计数时，计数器将计满返回至 0。FRC 不会产生中断。

注：复位事件后，自由运行计数器会花费 160 ns 清零。

Funcience confidential

13.3通用定时器和自由运行时钟寄存器

本节详细介绍了与可直接寻址的通用定时器和自由运行时钟相关的系统 CSR。有关整个可直接寻址寄存器映射的概述，请参见章节 4.0 “寄存器映射”。

地址	EtherCAT 直接映射模式	寄存器名称（符号）
08Ch	308Ch	通用定时器配置寄存器（GPT_CFG）
090h	3090h	通用定时器计数寄存器（GPT_CNT）
09Ch	309Ch	自由运行 25 MHz 计数器寄存器（FREE_RUN）

表 13- 1 通用定时器和自由运行时钟寄存器

Funcience confidential

13.3.1 通用定时器配置寄存器（GPT_CFG）

偏移量： 08Ch/308Ch 大小： 32 位

该读/写寄存器用于配置器件的通用定时器（GPT）。GPT 可配置为以该寄存器中定义的时间间隔产生主机中断。GPT 的当前值可通过通用定时器计数寄存器（GPT_CNT）监视。更多信息，请参见章节 13.1 “通用定时器”。

位	说明	类型	默认值
31:30	**保留位**	RO	-
29	**通用定时器使能（TIMER_EN）** 该位用于使能 GPT。置 1 时，GPT 将进入运行状态。清零时，GPT 将暂停。 当该位从 1 跳变为 0 时，该寄存器的 GPT_LOAD 字段将预设为 FFFFh。 0：禁止 GPT 1：使能 GPT	R/W	0b
28:16	**保留位**	RO	-
15:0	**通用定时器预载（GPT_LOAD）** 该值预载到 GPT 中。这是 GPT 的起始值。使能时，定时器将从该值开始递减。	R/W	FFFFh

13.3.2 通用定时器计数寄存器（GPT_CNT）

偏移量： 090h/3090h 大小： 32 位

该只读寄存器反映通用定时器（GPT）的当前值。该寄存器应与通用定时器配置寄存器（GPT_CFG） 配合使用，以配置和监视 GPT。更多信息，请参见章节 13.1 “通用定时器”。

位	描述	类型	默认值
31:16	**保留位**	RO	-
15:0	**通用定时器当前计数（GPT_CNT）** 该 16 位字段表示 GPT 的当前值。	RO	FFFFh

Funcience confidential

13.3.3 自由运行 25MHZ 计数器寄存器（FREE_RUN）

偏移量： 09Ch/309Ch 大小： 32 位

该只读寄存器反映自由运行 25 MHz 计数器的当前值。更多信息，请参见章节 13.2 “自由运行时钟”。

位	描述	类型	默认值
31:0	**自由运行计数器（FR_CNT）** 该字段反映自由运行 32 位计数器的当前值。 复位时，计数器从 0 开始计数，每个 25 MHz 周期递增 1。 当到达最大计数时，计数器将计满返回至 0 并继续计数。 注： 复位事件后，自由运行计数器会花费 160 ns 清零。	RO	00000000h

Funcience confidential

14 其它

本章描述设备中存在的其他功能和寄存器。

14.1其它系统配置&状态寄存器

本节详细介绍了直接寻址系统 CSRs 的其余部分。这些寄存器允许监视和配置各种设备功能，如芯片 ID /修订、字节顺序测试和硬件配置。

要对整个直接可寻址的寄存器映射进行概述，参阅章节 4.0 “寄存器映射”。

地址	EtherCAT 直接映射模式	寄存器名称（SYMBOL）
050h	3050h	芯片 ID 和修订（ID_REV）
064h	3064h	字节顺序测试寄存器(BYTE_TEST)
074h	3074h	硬件配置寄存器(HW_CFG)

表 14- 1 其它寄存器

Funcience confidential

14.1.1 芯片 ID 和修订（ID_REV）

偏移量： 050h / 3050h 大小： 32 位

这个只读寄存器包含该设备的 ID 和修订字段。

位	描述	类型	默认值
31:16	**芯片 ID** 这个字段表示芯片 ID	RO	FCE1353:1353h FCE1354:1354h
15:0	**芯片修订** 这个字段表示芯片设计修订	RO	取决于设备修订

14.1.2 字节顺序测试寄存器（BYTE_TEST）

偏移量： 064h / 3064h 大小： 32 位

这个只读寄存器可以用来确定当前配置的字节顺序。字节排序是主机数据总线宽度和大小端的功能。参考章节 8.0“主机总线接口”提供关于字节顺序的额外信息。

BYTE_TEST 寄存器可以选择用作虚拟读取寄存器当保证写到读或者读到读的最短时间。参考章节 8.0“主机总线接口”获取更多信息。

对于在复位状态期间禁用的主机接口，BYTE_TEST 寄存器可以用来确定设备何时退出复位状态。

提示 1：当器件处于复位或未就绪/节能状态且主机接口未处于中间状态时，可读取该寄存器。如果主机接口处于复位状态，返回数据可能无效。然而在复位期间，返回的数据将与正常的有效数据不匹配。

提示 2：没有必要读取这个寄存器的所有 4 个字节。双字访问规则不适用于这个寄存器。

位	说明	类型	默认值
31:0	**字节测试（BYTE_TEST）** 这个字段反映当前字节顺序	RO	87654321h

Funcience confidential

14.1.3 硬件配置寄存器（HW_CFG）

偏移量： 074h / 3074h 大小： 32 位

该寄存器可配置各种硬件功能。

提示：当器件处于复位或未就绪/节能状态且主机接口未处于中间状态时，可读取该寄存器。如果主机接口处于复位状态，则返回的数据可能无效。

提示：不必读取该寄存器的全部四个字节。双字访问规则不适用于该寄存器。

位	描述	类型	默认值
31:28	保留	RO	-
27	**器件就绪（READY）** 置 1 时，该位指示器件已准备好接受访问。上电复位、 RST#复位、退出节能状态、EtherCAT 芯片级/模块级复位或数字复位后，主机处理器可询问该字段以指示器件是否已稳定且完全激活。 该位的上升沿会将中断状态寄存器（INT_STS）中的器件就绪（READY）位置为有效，并且可引起中断（如果允许）。 **注：**当 READY 位清零时，将禁止对除了 HW_CFG、 PMT_CTRL、BYTE_TEST 和 RESET_CTL 寄存器以外的任何内部资源进行读访问。该位置 1 之前，对任何地址的写访问都是无效的。 **注：**该位与功耗管理控制寄存器（PMT_CTRL）的 bit0 相同。	RO	0b
26	**自动交叉禁用 PHY B** 置 1 时，此位禁用自动交叉功能并且选择非交叉配置。 **注：**自动交叉操作可以进一步覆盖 PHY x 特殊控制/状态指示寄存器（PHY_SPECIAL_CONTROL_STAT_IND_x）	R/W	由 **100FD_B** 配置决定
25	**自动交叉禁用 PHY A** 置 1 时，此位禁用自动交叉功能并且选择非交叉配置。 **注：**自动交叉操作可以进一步覆盖 PHY x 特殊控制/状态指示寄存器（PHY_SPECIAL_CONTROL_STAT_IND_x）	R/W	由 **100FD_A** 配置决定
24	**自动协商禁用 PHY B** 置 1 时，此位： • 设置默认的操作模式，固定 100Mbps 全双工。 • 修改 MII 连接检测和配置操作（如果使能），检查和执行固定的 100Mbps 全双工链接。 • 修改增强型链接检测操作(如果使能)，在错误的情况下重置 PHY 代替重新启动自动协商。 **注：**当 MII 连接检测和配置以及增强型链接检测操作都是禁用的时候，操作模式可以通过标准的 PHY 寄存器更改。	R/W	由 **100FD_B** 配置决定
23	**自动协商禁用 PHY A** 置 1 时，此位： • 设置默认的操作模式，固定 100Mbps 全双工。 • 修改 MII 连接检测和配置操作（如果使能），检查和执行固定的 100Mbps 全双工链接。 • 修改增强型链接检测操作(如果使能)，在错误的情况下重置 PHY 代替重新启动自动协商。 **注：**当 MII 连接检测和配置以及增强型链接检测操作都是禁用的时候，操作模式可以通过标准的 PHY 寄存器更改。	R/W	由 **100FD_A** 配置决定
22:5	**保留位**	RO	-
4:0	**LED 极性** 清零时，相关的 LED 引脚低有效。 置 1 时，相关的 LED 引脚高有效。 Bit0：LINKACTLED0 Bit1：LINKACTLED1 Bit2：LINKACTLED2 Bit3：RUNLED/STATE_RUNLED Bit4：ERRLED **注：**这些位的极性与配置的极性相反。 **注：**这些位不影响可能共享引脚的功能。	R/W	与 **LEDPOL[4:0]** 配置相反

Funcience confidential

15 Operational Characteristics

15.1 Absolute Maximum Ratings*

Parameter		Min	Max	Units
Supply Voltage Note1	**VDD12TX1**	0	1.5	V
	VDD12TX2	0	1.5	V
	OSCVDD12	0	1.5	V
	VDDCR	0	1.5	V
Supply Voltage Note1	**VDD33TXRX1**	0	3.6	V
	VDD33TXRX2	0	3.6	V
	VDD33BIAS	0	3.6	V
	VDD33	0	3.6	V
	VDDIO	0	3.6	V
Ethernet Magnetics Supply Voltage		-0.5	3.6	V
Positive voltage on signal pins, with respect to ground Note2			3.6	V
Negative voltage on signal pins, with respect to ground Note3			-0.5	V
Positive voltage on **OSCI**, with respect to ground			3.6	V
Storage Temperature		-55	150	℃
Junction Temperatur			150	℃

Table 15- 1 Absolute Maximum Ratings

Note 1: When powering this device from laboratory or system power supplies, it is important that the absolute maximum ratings not be exceeded or device failure can result. Some power supplies exhibit voltage spikes on their outputs when AC power is switched on or off. In addition, voltage transients on the AC power line may appear on the DC output. If this possibility exists, it is suggested to use a clamp circuit.

Note 2: This rating does not apply to the following pins: **OSCI, RBIAS**

Note 3: This rating does not apply to the following pins: **RBIAS**

* Stresses exceeding those listed in this section could cause permanent damage to the device. This is a stress rating only. Exposure to absolute maximum rating conditions for extended periods may affect device reliability. Functional operation of the device at any condition exceeding those indicated in Section 15.3, "Recommended Operating Conditions**", Section 15.5, "DC Specifications", or any other applicable section of this specification is not implied. Note, device signals are NOT 5 volt tolerant.

Parameter		Min	Typ	Max	Unit
Power-up Rate	**VDD33**	30			µs/V
	VDDIO	30			µs/V
	VDD33TXRX1	30			µs/V
	VDD33TXRX2	30			µs/V
	VDD33BIAS	30			µs/V
	VDDCR	25			µs/V
	OSCVDD12	10			µs/V

Table 15- 2 Absolute Power-up Rate

Funcience confidential

15.2 ESD Ratings

Parameter	Definition	Min	Max	Units
ESD（HBM）	TBD	TBD		kV
ESD（CDM）	TBD	TBD		V

Table 15- 3 ESD Ratings

15.3 Recommended Operating Conditions**

Parameter		Min	Typ	Max	Unit
Supply Voltage	**VDD12TX1**	1.10	1.2	1.34	V
	VDD12TX2	1.10	1.2	1.34	V
	OSCVDD12	1.10	1.2	1.34	V
	VDDCR	1.10	1.2	1.34	V
Analog Port Supply Voltage	**VDD33TXRX1**	3.0	3.3	3.6	V
	VDD33TXRX2	3.0	3.3	3.6	V
	VDD33BIAS	3.0	3.3	3.6	V
	VDD33	3.0	3.3	3.6	V
I/O Supply Voltage **Note1**	**VDDIO**	1.62	3.3	3.6	V
Ethernet Magnetics Supply Voltage		2.25	3.3	3.6	V
Ambient Operating Temperature in Still Air	T_A	-40		105	℃
Junction Temperature	T_J			125	℃

Table 15- 4 Recommended Operating Conditions

Proper operation of the device is guaranteed only within the ranges specified in this section. After the device has completed power-up, **VDDIO and the magnetics power supply must maintain their voltage level with ±10%. Varying the voltage greater than ±10% after the device has completed power-up can cause errors in device operation.

Note: Do not drive input signals without power supplied to the device.

Funcience confidential

15.4Current Consumption and Power Consumption

This section details the device's typical supply current consumption and power dissipation for 100BASE-TX and power management modes of operation with the internal regulator enabled and disabled.

15.4.1 Internal Regulator Disabled

		3.3 V Device Current (mA) (A) Note5,Note7	1.2 V Device Current (mA) (B) Note6,Note7	TX Magnetics Current (mA) (C) Note8	Device Power with 2.5 V Magnetics (mW) Note9,Note10	Device Power with 3.3 V Magnetics (mW) Note9,Note11
Reset (**RST#**)	Typ.	24.5	21.0	0	106	106
D0, 100BASE-TX with Traffic	Typ.	54.3	44.6	82	438	504
D0, 100BASE-TX Idle	Typ.	54.6	44.6	82	439	505
D0, PHY Energy Detect Power Down	Typ.	12.9	24.0	0	71	71
D0, PHY General Power Down	Typ.	6.3	23.8	0	49	49
D1, 100BASE-TX Idle	Typ.	54.6	36.1	82	429	495
D1, PHY Energy Detect Power Down	Typ.	12.9	14.6	0	60	60
D1, PHY General Power Down	Typ.	6.4	14.4	0	38	38
D2, 100BASE-TX Idle	Typ.	55.1	36.1	82	430	495
D2, PHY Energy Detect Power Down	Typ.	13.0	3.3	0	47	47
D2, PHY General Power Down	Typ.	6.4	3.1	0	25	25
D3, PHY General Power Down	Typ.	6.4	0.6	0	22	22

Table 15- 5 FCE1353 Current Consumption And Power Dissipation(Regs.Disabled)

Funcience confident!

		3.3 V Device Current (mA) (A) Note5,Note7	1.2 V Device Current (mA) (B) Note6,Note7	TX Magnetics Current (mA) (C) Note8	Device Power with 2.5 V Magnetics (mW) Note9,Note10	Device Power with 3.3 V Magnetics (mW) Note9,Note11
Reset (**RST#**)	Typ.	24.5	21.0	0	106	106
D0, 100BASE-TX with Traffic	Typ.	54.3	44.6	82	438	504
D0, 100BASE-TX Idle	Typ.	54.6	44.6	82	439	505
D0, PHY Energy Detect Power Down	Typ.	12.9	24.0	0	71	71
D0, PHY General Power Down	Typ.	6.3	23.8	0	49	49
D1, 100BASE-TX Idle	Typ.	54.6	36.1	82	429	495
D1, PHY Energy Detect Power Down	Typ.	12.9	14.6	0	60	60
D1, PHY General Power Down	Typ.	6.4	14.4	0	38	38
D2, 100BASE-TX Idle	Typ.	55.1	36.1	82	430	495
D2, PHY Energy Detect Power Down	Typ.	13.0	3.3	0	47	47
D2, PHY General Power Down	Typ.	6.4	3.1	0	25	25
D3, PHY General Power Down	Typ.	6.4	0.6	0	22	22

Table 15- 6 FCE1354 Current Consumption And Power Dissipation(Regs.Disabled)

Note5: **VDD33TXRX1**,**VDD33TXRX2**,**VDD33BIAS**,**VDD33**,**VDDIO**

Note6: **VDD12TX1**,**VDD12TX2**,**OSCVDD12**,**VDDCR**

Note7: Current measurements do not include power applied to the magnetics or the optional external LEDs.

Note8: The Ethernet component current is independent of the supply rail voltage (2.5V or 3.3V) of the transformer.Two copper TP operation is assumed.

Note9: This includes the power dissipated by the transmitter by way of the current through the transformer.

Note10: 3.3×(A) + 1.2×(B) + (2.5)×(C) @ Typical

Note 11: 3.3×(A) + 1.2×(B) + (3.3)×(C) @ Typical

Funcience confidential

15.4.2 Internal Regulator Enabled

		3.3 V Device Current (mA) (A) Note12,Note13, Note14	TX Magnetics Current (mA) (C) Note15	Device Power with 2.5 V Magnetics (mW) Note16,Note17	Device Power with 3.3 V Magnetics (mW) Note16,Note18
Reset (**RST#**)	Typ.	46.8	0	155	155
D0, 100BASE-TX with Traffic	Typ.	103.9	82	547	613
D0, 100BASE-TX Idle	Typ.	104.4	82	549	614
D0, PHY Energy Detect Power Down	Typ.	38.9	0	128	128
D0, PHY General Power Down	Typ.	32.3	0	106	106
D1, 100BASE-TX Idle	Typ.	93.9	82	514	580
D1, PHY Energy Detect Power Down	Typ.	28.3	0	93	93
D1, PHY General Power Down	Typ.	21.7	0	72	72
D2, 100BASE-TX Idle	Typ.	93.9	82	514	580
D2, PHY Energy Detect Power Down	Typ.	16.5	0	55	55
D2, PHY General Power Down	Typ.	9.9	0	33	33
D3, PHY General Power Down	Typ.	7.3	0	24	24

Table 15- 7 FCE1353 Current Consumption And Power Dissipation(Regs.Enabled)

Funcience confidential

		3.3 V Device Current (mA) (A) Note12,Note13, Note14	TX Magnetics Current (mA) (C) Note15	Device Power with 2.5 V Magnetics (mW) Note16,Note17	Device Power with 3.3 V Magnetics (mW) Note16,Note18
Reset (**RST#**)	Typ.	46.8	0	155	155
D0, 100BASE-TX with Traffic	Typ.	103.9	82	547	613
D0, 100BASE-TX Idle	Typ.	104.4	82	549	614
D0, PHY Energy Detect Power Down	Typ.	38.9	0	128	128
D0, PHY General Power Down	Typ.	32.3	0	106	106
D1, 100BASE-TX Idle	Typ.	93.9	82	514	580
D1, PHY Energy Detect Power Down	Typ.	28.3	0	93	93
D1, PHY General Power Down	Typ.	21.7	0	72	72
D2, 100BASE-TX Idle	Typ.	93.9	82	514	580
D2, PHY Energy Detect Power Down	Typ.	16.5	0	55	55
D2, PHY General Power Down	Typ.	9.9	0	33	33
D3, PHY General Power Down	Typ.	7.3	0	24	24

Table 15- 8 FCE1354 Current Consumption And Power Dissipation(Regs.Enabled)

Note12: **VDD33TXRX1**, **VDD33TXRX2**, **VDD33BIAS**, **VDD33**, **VDDIO**

Note13: **VDD12TX1** and **VDD12TX2** are driven by the internal regulator via the PCB. The current is accounted for via **VDD33**.

Note14: Current measurements do not include power applied to the magnetics or the optional external LEDs.

Note15: The Ethernet component current is independent of the supply rail voltage (2.5V or 3.3V) of the transformer.Two copper TP operation is assumed.

Note16: This includes the power dissipated by the transmitter by way of the current through the transformer.

Note17: 3.3×(A) + (2.5)×(C) @ Typical

Note18: 3.3×(A) + (3.3)×(C) @ Typical

Funcience confidential

15.5DC Specifications

Symbol	Buffer Types	Parameter	Condition	Min	Typ	Max	Units	Notes
V_{ILI}	IS	Low Input Level		-0.3			V	
V_{IHI}		High Input Level				5.5	V	
V_{ILT}		Neg-Going Threshold		1.01	1.19	1.39	V	Schmitt
V_{IHT}		Pos-Going Threshold		1.43	1.65	1.86	V	Schmitt
V_{HYS}		Schmitt Trigger Hysteresis	V_{IHT} - V_{ILT}	336	399	459	mV	
I_{IH}		Input Leakage	VIN = **VSS** or **VDD33**	-10		10	μA	**Note19**
C_{IN}		Input Capacitance				5	pF	
R_{DPU}		Pull-Up Impedance	VIN = **VSS**	52.7	65.9	79.7	kΩ	
I_{DPU}		Pull-Up Current	VIN = **VSS**	37.6	50.1	68.3	μA	
R_{DPD}		Pull-Down Impedance	VIN = **VDD33**	46	66.8	94.3	kΩ	
I_{DPD}		Pull-Down Current	VIN = **VDD33**	31.8	49.4	78.3	μA	
$V_{IN-DIFF}$	AI (**RXPA/RXNA/ RXPB/RXNB**)	Differential Input Level		0.1		**VDD33TXRX*x***	V	
V_{CM}		Common Mode Voltage		1.0	**VDD33TXRX*x***-1.3		V	
C_{IN}		Input Capacitance				5	pF	
V_{THA}	AI (**CLK_25_EN/ XTAL_MODE**)	State A Threshold		-0.3		0.8	V	
V_{THB}		State B Threshold		1.2		1.7	V	
V_{THC}		State C Threshold		2.2		**VDD33**+0.3	V	
V_{FLOAT}		Pin Float Voltage		1.48		1.84 （**Note20**）	V	
V_{ILI}	ICK (**OSCI**) **Crystal Oscillator Overdrive Mode** （**Note21**）	Low Input Level		-0.3		0.35	V	
V_{IHI}		High Input Level		**OSCVDD12**-0.35		3.6	V	
I_{ILCK}		Input Leakage		-10		10	μA	
V_{ILI}	ICK (**OSCI**) **Schmitt Trigger Input Mode**	Low Input Level		-0.3		0.8	V	
V_{IHI}		High Input Level		**VDD33**-0.8		3.6	V	
V_{HYS}		Input Hysteresis		150			mV	
I_{ILCK}		Input Leakage		-10		10	μA	
V_{OL}	O8	Low Output Level	I_{OL} = 8mA			0.4	V	
V_{OH}		High Output Level	I_{OH} =-8mA	**VDD33**-0.4			V	
I_{OL}		I/O sinking current	V_{OUT}=0.4V	8.28	12.64	18.42	mA	
R_{OL}		I/O sinking output impedance	V_{OUT}=0.4V	21.71	31.64	48.32	Ω	
I_{OH}		I/O sourcing current	V_{OUT}=**VDD33**-0.4 V	8.08	11.57	18.08	mA	
R_{OH}		I/O sourcing output impedance	V_{OUT}=**VDD33**-0.4 V	22.13	30.94	49.5	Ω	
V_{OL}	OD12	Low Output Level	I_{OL} =12mA			0.4	V	
I_{OL}		I/O sinking current	V_{OUT}=0.4V	12.11	18.44	26.72	mA	
R_{OL}		I/O sinking output impedance	V_{OUT}=0.4V	14.97	21.69	33.02	Ω	
V_{OH}	OS12	High Output Level	I_{OH} =-12mA	**VDD33**-0.4			V	
I_{OH}		I/O sourcing current	V_{OUT}=**VDD33**-0.4 V	12.43	17.61	26.29	mA	
R_{OH}		I/O sourcing output impedance	V_{OUT}=**VDD33**-0.4 V	15.21	22.72	32.61	Ω	

Funcience confidential

Table 15- 9 Non-Variable I/O DC Electrical Characteristics

Note19: This specification applies to all inputs and tri-stated bi-directional pins. Internal pull-down and pull-up resistors add +/- 50 µA per-pin (typical).
Note20: Although V_{FLOAT}(max) could exceed V_{THB}, a float is guaranteed to be detected as State B.
Note21: **OSCI** can optionally be driven from a 25 MHz single-ended clock oscillator.

Symbol	Buffer Types	Parameter	Condition	Min	1.8V Typ	3.3V Typ	Max	Units	Notes
V_{ILI}	VIS	Low Input Level		-0.3				V	
V_{IHI}		High Input Level					3.6	V	
V_{ILT}		Neg-Going Threshold		0.64	0.83	1.51	1.76	V	Schmitt trigger
V_{IHT}		Pos-Going Threshold		0.81	1	1.65	1.93	V	Schmitt trigger
V_{HYS}		Schmitt Trigger Hysteresis	V_{IHT} - V_{ILT}	95.6	164.4	137.1	297.1	mV	
I_{IH}		Input Leakage	VIN = **VSS** or **VDDIO**	-10			10	µA	**Note22**
C_{IN}		Input Capacitance					2	pF	
R_{DPU}		Pull-Up Impedance	VIN = **VSS**	54	68	67	82	kΩ	
I_{DPU}		Pull-Up Current	VIN = **VSS**	20	27	49	67	µA	
R_{DPD}		Pull-Down Impedance	VIN = **VDDIO**	54	68	67	85	kΩ	
I_{DPD}		Pull-Down Current	VIN = **VDDIO**	19	26	48	66.5	µA	
V_{OL}	VO8	Low Output Level	I_{OL} = 8mA				0.4	V	
V_{OH}		High Output Level	I_{OH} =-8mA	**VDDIO**-0.4				V	
V_{OL}	VOD8	Low Output Level	I_{OL} = 8mA				0.4	V	
V_{OH}	VOS8	High Output Level	I_{OH} =-8mA	**VDDIO**-0.4				V	
V_{OL}	VO12	Low Output Level	I_{OL} = 12mA				0.4		
V_{OH}		High Output Level	I_{OH} =-12mA	**VDDIO**-0.4					
V_{OL}	VOD12	Low Output Level	I_{OL} = 12mA				0.4	V	
V_{OH}	VOS12	High Output Level	I_{OH} =-12mA	**VDDIO**-0.4				V	

Table 15- 10 Variable I/O DC Electrical Characteristics

Note22: This specification applies to all inputs and tri-stated bi-directional pins. Internal pull-down and pull-up resistors add ±50 µA per-pin (typical).

Parameter	Symbol	Min	Typ	Max	Units	Notes
Peak Differential Output Voltage High	V_{PPH}	950	-	1050	mVpk	**Note23**
Peak Differential Output Voltage Low	V_{PPL}	-950	-	-1050	mVpk	**Note23**
Signal Amplitude Symmetry	V_{SS}	98	-	102	%	**Note23**
Signal Rise and Fall Time	T_{RF}	3.0	-	5.0	ns	**Note23**
Rise and Fall Symmetry	T_{RFS}	-	-	0.5	ns	**Note23**
Duty Cycle Distortion	D_{CD}	35	50	65	%	**Note24**
Overshoot and Undershoot	V_{OS}	-	-	5	%	
Jitter	-	-	-	1.4	ns	**Note25**

Table 15- 11 100Base-TX Transceiver Characteristics

Note 23: Measured at line side of transformer, line replaced by 100 Ω (+/- 1%) resistor.
Note 24: Offset from 16 ns pulse width at 50% of pulse peak.
Note 25: Measured differentially

Parameter	Symbol	Min	Typ	Max	Units	Notes
Transmitter Peak Differential Output Voltage	V_{OUT}	2.2	2.5	2.8	V	**Note26**
Receiver Differential Squelch Threshold	V_{DS}	300	420	585	mV	

Funcience confidential

Table 15- 12 10Base-T Transceiver Characteristics

Note26: Min/max voltages guaranteed as measured with 100 Ω resistive load.

15.6AC Specifications

This section details the various AC timing specifications of the device.

Note: The I²C timing adheres to the NXP *I2C -Bus Specification*. Refer to the NXP *I²C -Bus Specification* for detailed I²C timing information.

Note：The MII/SMI timing adheres to the *IEEE 802.3 Specification.*

Note: The RMII timing adheres to the RMII Consortium *RMII Specification R1.2.*

15.6.1 Equivalent Test Load

Output timing specifications assume the 25pF equivalent test load, unless otherwise noted, as illustrated in Figure15-1.

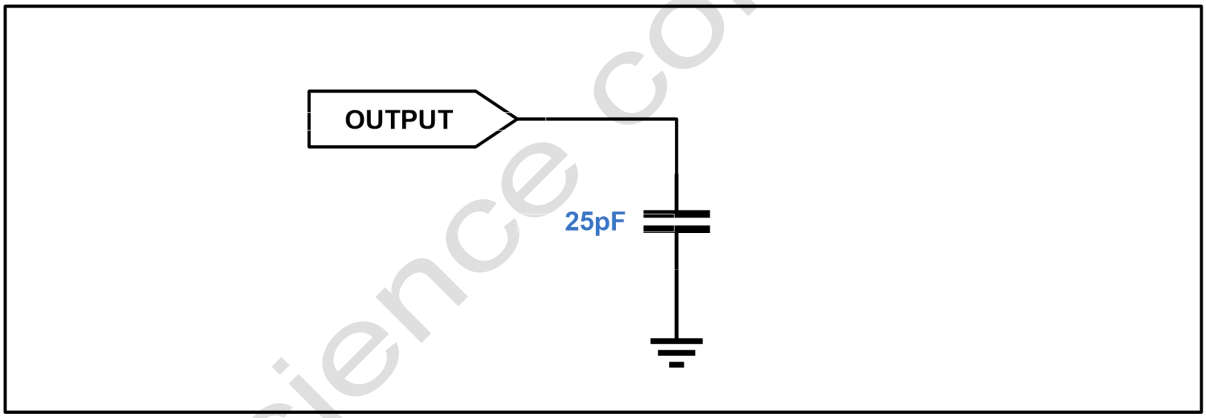


Figure 15- 1 Output Equivalent Test Load

Funcience confidential

15.6.2 Power Sequencing Timing

These diagrams illustrates the device power sequencing requirements.The **VDDIO**, **VDD33**, **VDD33TXRX1**,**VDD33TXRX2**, **VDD33BIAS** and magnetics power supplies must all reach operational levels within the specified time period tpon. When operating with the internal regulators disabled, **VDDCR**, **OSCVDD12**, **VDD12TX1** and **VDD12TX2** are also included into this requirement.

In addition, once the **VDDIO** power supply reaches 1.0 V, it must reach 80% of its operating voltage level (1.44V when operating at 1.8V, 2.0V when operating at 2.5V, 2.64V when operating at 3.3V) within an additional 15ms. This requirement can be safely ignored if using an external reset as shown in Section 15.6.3 "Reset and Configuration Strap Timing".

Device power supplies can turn off in any order provided they all reach 0 volts within the specified time period t_{poff}.

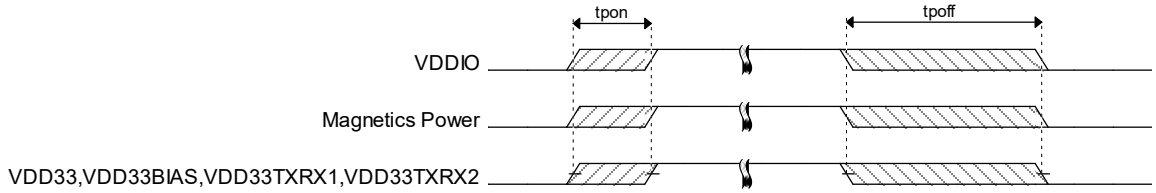


Figure 15- 2 Power Sequence Timing–Internal Regulators

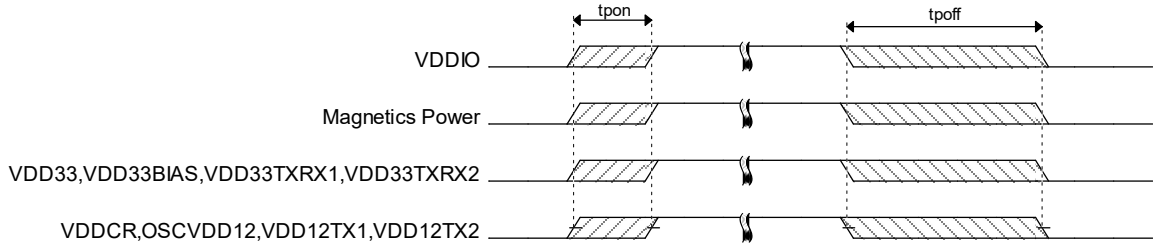


Figure 15- 3 Power Sequence Timing–External Regulators

Symbol	Description	Min	Typ	Max	Units
tpon	Power supply turn on time	-	-	50	ms
tpoff	Power supply turn off time	-	-	500	ms

Table 15- 13 Power Sequencing Timing Values

15.6.3 Reset And Configuration Strap Timing

This diagram illustrates the **RST#** pin timing requirements and its relation to the configuration strap pins and output drive.Assertion of **RST#** is not a requirement. However, if used, it must be asserted for the minimum period specified. The **RST#** pin can be asserted at any time, but must not be deasserted until t_{purstd} after all external power supplies have reached operational levels and if an external clock is used on the **OSCI** pin, it must not be deasserted until the clock input is stable. Refer to Section 5.2 "Resets"for additional information.

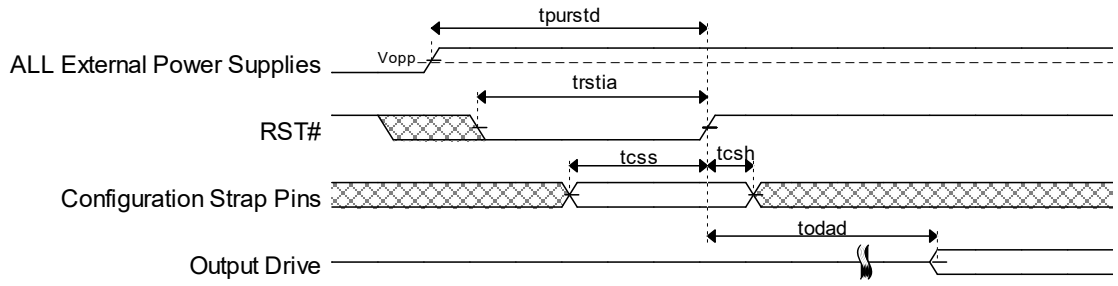


Figure 15- 4 RST# Pin Configuration Strap Latching Timing

Symbol	Description	Min	Typ	Max	Units
tpurstd	External power supplies at operational level to **RST#** deassertion (**Note 27**)	25			ms
trstia	**RST#** input assertion time	200	-	-	us
tcss	Configuration strap pins setup to **RST#** deassertion	200	-	-	ns
tcsh	Configuration strap pins hold after **RST#** deassertion	10	-	-	ns
todad	Output drive after deassertion	3	-	-	us

Table 15- 14 RST# Pin Configuration Strap Latching Timing Values

Note27: When configured to be an output, **CLK_25** is not driven until after the internal power-on reset time has expired. This occurs in approximately 21ms. In a daisy-chained clock configuration each device will time its power-on reset based on the **CLK_25** signal from the previous device. The total system power-on reset time will therefore be the compound sum of all devices. In order to ensure all devices are released from reset concurrently, the deassertion time of **RST#** should be set to the number of daisy-chained times tpurstd.

Note: The **OSCI** clock input must be stable prior to **RST#** deassertion.

Note: Device configuration straps, except **XTAL_MODE** and **CLK_25_EN**, are latched as a result of **RST#** assertion. Refer to Section 5.2.1 "Chip-Level Resets" for details.

Note: Configuration strap latching and output drive timings shown assume that the Power-On reset has finished first otherwise the timings in Section 15.7.4, "Power-On and Configuration Strap Timing" apply.

Note: **RST#** does not affect the **CLK_25_EN**, therefore the output enable time does not apply to the **CLK_25_EN** configuration strap.

15.6.4 Power-On And Configuration Strap Timing

This diagram illustrates the configuration strap valid timing requirements in relation to power-on. In order for valid configuration strap values to be read at power-on, the following timing requirements must be met.

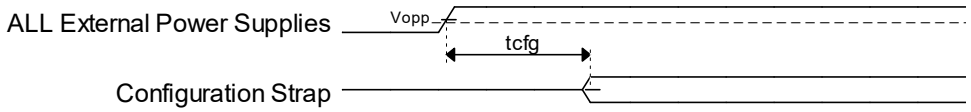


Figure 15- 5 Power-On Configuration Strap Latching Timing

Symbol	Description	Min	Typ	Max	Units
tcfg	Configuration strap valid time	-	-	15	ms

Table 15- 15 Power-On Configuration Strap Latching Timing Values

Note: Configuration straps must only be pulled high or low. Configuration straps must not be driven as inputs.

Device configuration straps, except **XTAL_MODE** and **CLK_25_EN**, are also latched as a result of **RST#** assertion.Refer to Section 15.7.3,"Reset and Configuration Strap Timing" and Section 5.2.1 "Chip-Level Resets" for additional details.

Funcience confidential

15.6.5 Host BUS Interface I/O Timing

Timing specifications for the Host Bus Interface are given in Section 7.7,"Timing Requirements" .

15.6.6 SPI/SQI Slave Interface I/O Timing

Timing specifications for the SPI/SQI Slave Bus Interface are given in Section 8.5, "SPI/SQI Timing Requirements".

15.6.7 I²C EEPROM I/O Timing

Timing specifications for I2C EEPROM access are given in Section 11.1, "I²C Interface Timing Requirements".

15.6.8 EtherCAT MII Port Management Access I/O Timing

Timing specifications for the MII Port Management access are given in Section 10.11.7, "External PHY Timing".

15.6.9 MII I/O Timing

Timing specifications for the MII Port interface are given in Section 10.11.7, "External PHY Timing".

15.6.10 Forwarding Delays

Symbol	Parameter	Min	Average	Max	Units
t_{pp}	PHYA port to PHYB port delay		730		ns

Table 15- 16 forwarding dalays

Funcience confidential

15.7Clock Circuit

The device can accept either a 25 MHz crystal or a 25 MHz single-ended clock oscillator (±50 ppm) input. If the singleended clock oscillator method is implemented, **OSCO** should be left unconnected and **OSCI** should be driven with a clock signal that adheres to the specifications outlined throughout Section 15.0, "Operational Characteristics". See Table 15-18 and the accompanying notes for the recommended crystal specifications when using a 25 MHz crystal.

Parameter	Symbol	Min	Nom	Max	Units	Notes
Crystal Cut	AT, typ					
Crystal Oscillation Mode	Fundamental Mode					
Crystal Calibration Mode	Parallel Resonant Mode					
Frequency	F_{fund}	-	25.000	-	MHz	
802.3 Frequency Tolerance at 25℃	F_{tol}	-	-	±40	ppm	Note 28
802.3 Frequency Stability Over Temp	F_{temp}	-	-	±40	ppm	Note 28
802.3 Frequency Deviation Over Time	F_{age}	-	±3 to 5	-	ppm	Note 29
802.3 Total Allowable PPM Budget		-	-	±50	ppm	Note 30
EtherCAT Frequency Tolerance at 25℃	F_{tol}	-	-	±15	ppm	Note 31
EtherCAT Frequency Stability Over Temp	F_{temp}	-	-	±15	ppm	Note 31
EtherCAT Frequency Deviation Over Time	F_{age}	-	±3 to 5	-	ppm	Note 29
EtherCAT Total Allowable PPM Budget		-	-	±25	ppm	Note 32
Shunt Capacitance	C_O	-	-	7	pF	
Load Capacitance	C_L	-	-	18	pF	
Drive Level	P_W	300 Note 33	-	-	μW	
Equivalent Series Resistance	R1	-	-	100	Ω	
Operating Temperature Range		Note 34	-	Note 35	℃	
OSCI Pin Capacitance		-	3 typ	-	pF	Note 36
OSCO Pin Capacitance		-	3 typ	-	pF	Note 36

Table 15- 17 Crystal Specifications

Note 28: The maximum allowable values for frequency tolerance and frequency stability are application dependent.Since any particular application must meet the IEEE ±50 ppm Total PPM Budget, the combination of these two values must be approximately ±45 ppm (allowing for aging).

Note 29: Frequency Deviation Over Time is also referred to as Aging.

Note 30: The total deviation for 100BASE-TX is ±50 ppm.

Note 31: The maximum allowable values for frequency tolerance and frequency stability are application dependent.Since any particular application must meet the EtherCAT ±25 ppm Total PPM Budget, the combination of these two values must be approximately ±15 ppm (allowing for aging).

Note 32: The total deviation for EtherCAT is ±25 ppm.

Note 33: The minimum drive level requirement PW is reduced to 100 uW with the addition of a 500 Ω series resistor,if C_O ≤5 pF, C_L ≤12 pF and R1≤80 Ω

Note 34: 0 °C for commercial version, -40 °C for industrial and extended industrial versions

Note 35: +70 °C for commercial version, +85 °C for industrial version, +105 °C for extended industrial version

Note 36: This number includes the pad, the bond wire and the lead frame. PCB capacitance is not included in this value. The **OSCI** pin, **OSCO** pin and PCB capacitance values are required to accurately calculate the value of the two external load capacitors. The total load capacitance must be equivalent to what the crystal expects to see in the circuit so that the crystal oscillator will operate at 25.000 MHz.

Funcience confidential

15.7.1 25 MHz Clock Output

Table 15-15 specifies the **OSCI** to **CLK_25** duty cycle distortion.

Parameter	Min	Nom	Max	Units	Notes
Crystal operation output duty cycle	44%	-	57%		**Note 37**
Crystal override mode output duty cycle distortion	0.76%	-	3.63%		
Schmitt trigger mode output duty cycle distortion	-1.03%	-	-1.36%		

Table 15- 18 25MHz Clock Output Specifications

Note 37: Duty cycle at **OSCI** is approximately 50%.

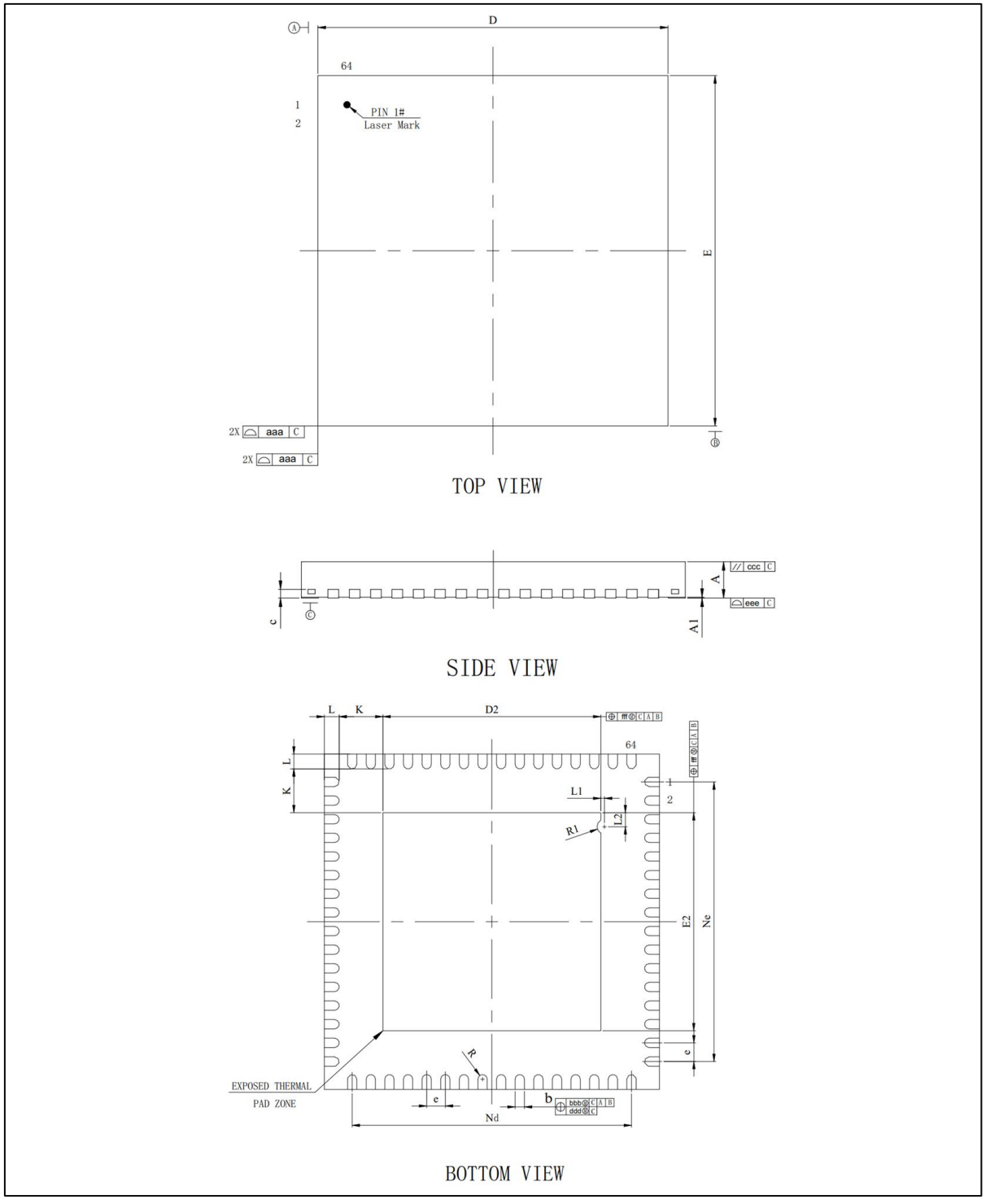
Note: Specifications at an output load on **CLK_25** of 10pF.

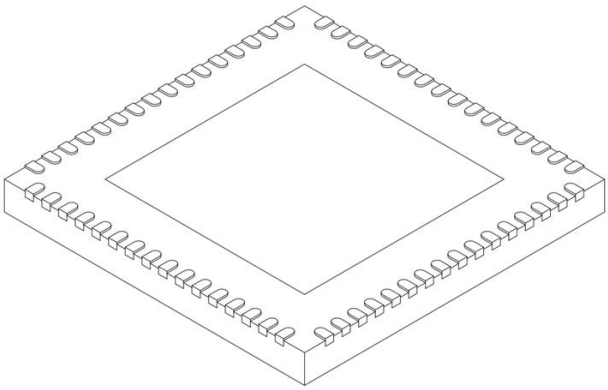
Funcience confidential

16 封装信息

16.1QFN64-EP 封装

QFN64-EP 封装如下所示。



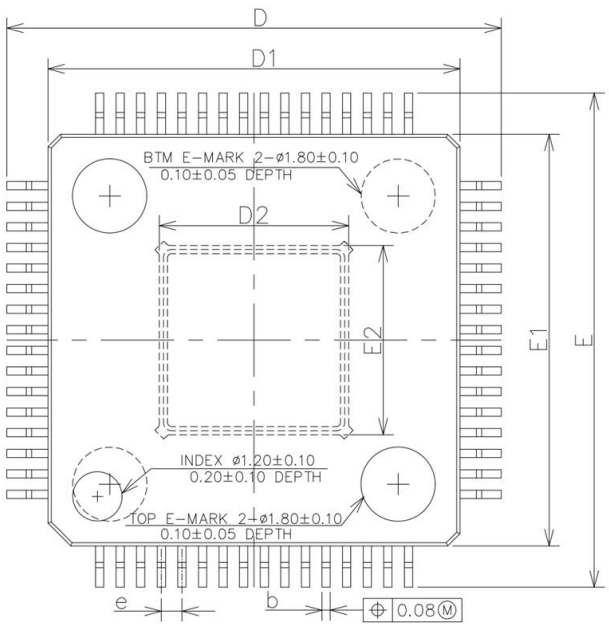


SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.80	0.85	0.90
A1	0	0.02	0.05
b	0.20	0.25	0.30
c	0.203REF		
D	8.90	9.00	9.10
D2	5.75	5.85	5.95
e	0.50BSC		
Nd	7.50BSC		
E	8.90	9.00	9.10
E2	5.75	5.85	5.95
Ne	7.50BSC		
L	0.35	0.40	0.45
R	0.125REF		
R1	0.20REF		
K	1.175REF		
L1	0.10REF		
L2	0.375REF		

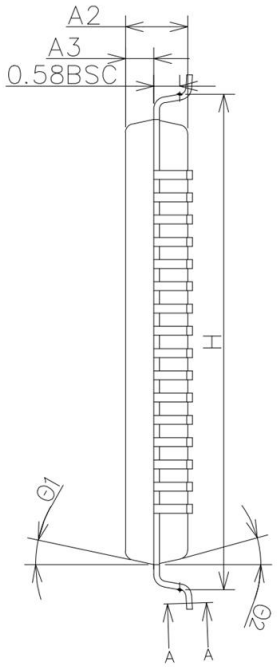
SYMBOL	MILLIMETER		
	MIN	NOM	MAX
aaa	0.10		
bbb	0.07		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

16.2QFP64-EP 封装

QFP64-EP 封装如下所示。



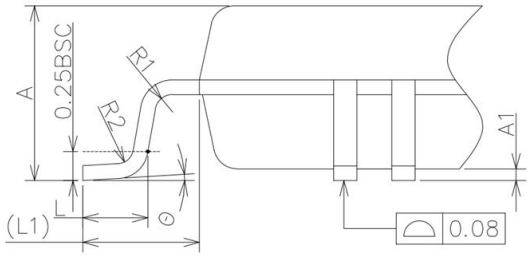
TOP VIEW



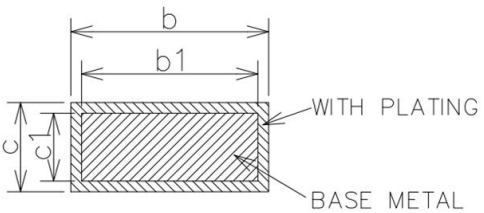
SIDE VIEW

COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	–	–	1.60
A1	0.05	–	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	–	0.27
b1	0.17	0.20	0.23
c	0.13	–	0.18
c1	0.117	0.127	0.137
D	11.95	12.00	12.05
D1	9.90	10.00	10.10
D2		4.60REF	
E	11.95	12.00	12.05
E1	9.90	10.00	10.10
E2		4.60REF	
e	0.40	0.50	0.60
H	11.09	11.13	11.17
L	0.53	–	0.70
L1		1.00REF	
R1		0.15REF	
R2		0.13REF	
θ	0°	3.5°	7°
θ1	11°	12°	13°
θ2	11°	12°	13°



LEAD FORM PART

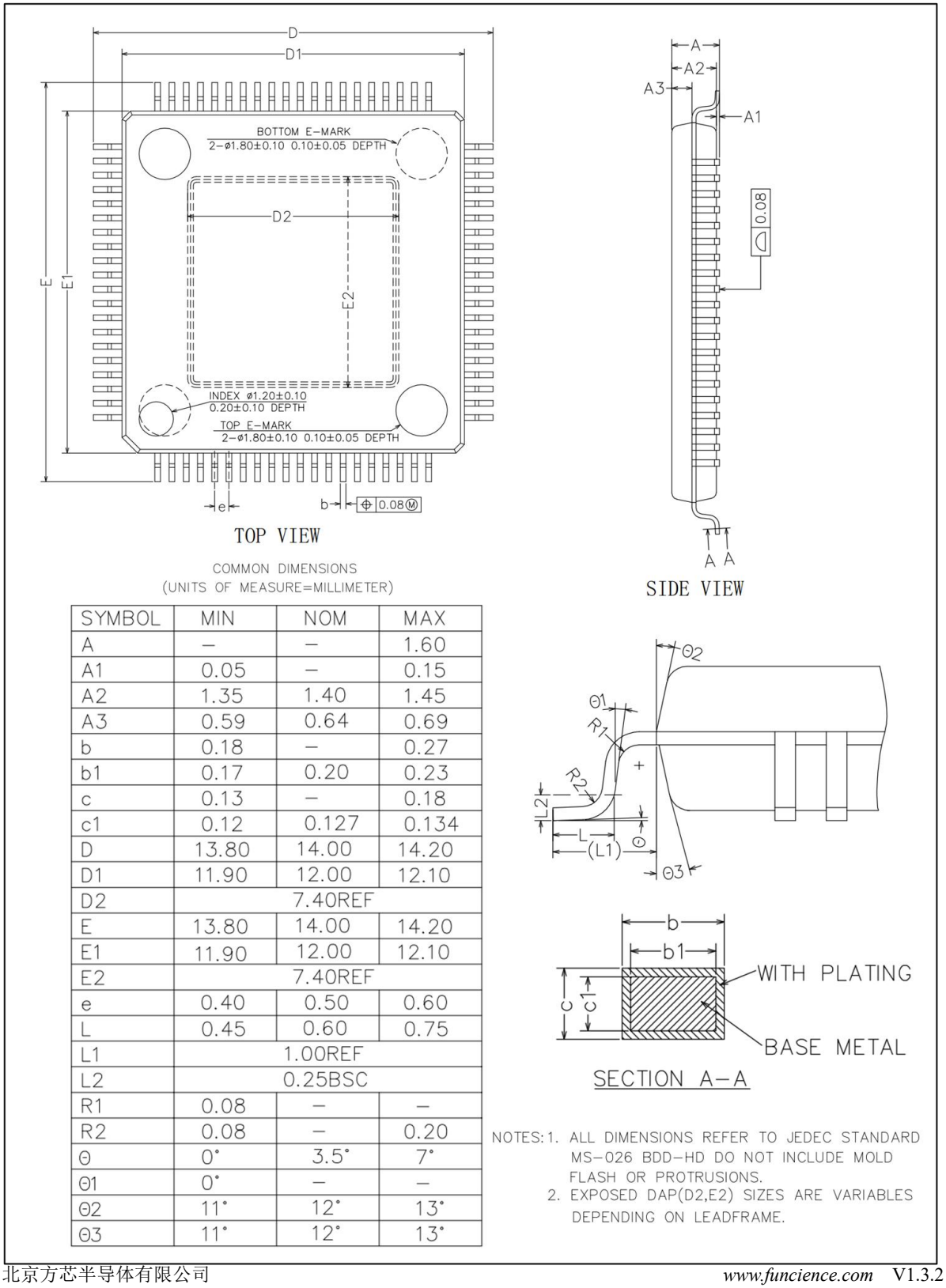


SECTION A–A

NOTES:1. ALL DIMENSIONS REFER TO JEDEC STANDARD MS-026 BCD-HD DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.
2. EXPOSED DAP(D2,E2) SIZES ARE VARIABLES DEPENDING ON LEADFRAME.

16.3QFP80-EP 封装

QFN80-EP 封装如下所示。



COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	–	–	1.60
A1	0.05	–	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	–	0.27
b1	0.17	0.20	0.23
c	0.13	–	0.18
c1	0.12	0.127	0.134
D	13.80	14.00	14.20
D1	11.90	12.00	12.10
D2		7.40REF	
E	13.80	14.00	14.20
E1	11.90	12.00	12.10
E2		7.40REF	
e	0.40	0.50	0.60
L	0.45	0.60	0.75
L1		1.00REF	
L2		0.25BSC	
R1	0.08	–	–
R2	0.08	–	0.20
θ	0°	3.5°	7°
θ1	0°	–	–
θ2	11°	12°	13°
θ3	11°	12°	13°

NOTES: 1. ALL DIMENSIONS REFER TO JEDEC STANDARD MS-026 BDD-HD DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.
2. EXPOSED DAP(D2,E2) SIZES ARE VARIABLES DEPENDING ON LEADFRAME.

附录 A 订购信息

Device	Package Type	Pins	Packing Type	Packing Qty	SPQ	Eco Plan	MSL	Op Temp (°C)	Status
FCE1354P2N.B	LQFP	80	Tray	119	1190	RoHS, Reach & Green	Level-3	-40 to 105	ACTIVE
FCE1353N2N.B	QFN	64	Tray	260	2600	RoHS, Reach & Green	Level-3	-40 to 105	ACTIVE
FCE1353P2N.B	LQFP	64	Tray	160	1600	RoHS, Reach & Green	Level-3	-40 to 105	ACTIVE

表 A- 1 订购信息

Funcience confidential

NOTICE AND DISCLAIMER

The technical and reliability data (including datasheet), design resources (including reference designs), design advice, application, tools or other resources, which have been provided “as is” and “with all faults” by FUNCIENCE. FUNCIENCE disclaims all warranties, including but not limited to any implied warranties of merchantability, fitness for a particular purpose or non-infringement of third party intellectual property rights.

These resources can be used for designing with FUNCIENCE products by skilled developers. You will be responsible for (1) selecting the appropriate FUNCIENCE products, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other requirements, such as safety, regulatory and etc. These resources may be changed without notice. And they can only be used for the development of an application that uses the FUNCIENCE products described in the resources. Other reproduction and display of these resources is prohibited. No license is granted to any other FUNCIENCE intellectual property right or to any third party intellectual property right.

FUNCIENCE’s products are provided subject to the Sales Contract. FUNCIENCE’s provision of these resources does not expand or otherwise alter FUNCIENCE’s applicable warranties or warranty disclaimers for FUNCIENCE products.

FUNCIENCE objects to and rejects any additional or different terms you may have proposed.

Address: Building 2, 1, Gaolizhang Road, Haidai District, Beijing, PRC, 100095

Copyright © 2024, FUNCIENCE CORPORATION

通知与声明

方芯提供的技术和可靠性数据（包括数据表）、设计资料（包括参考设计）、设计建议、应用、工具或其他资料均为“原样的”，不保证没有任何瑕疵，同时也不提供任何保证，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权等。

这些资料可供熟练使用方芯产品进行设计的开发人员使用。您将自行承担以下责任：(1) 选择合适的方芯产品，(2) 设计、验证并测试您的应用方案，(3) 确保您的应用满足相应标准及其他要求，如安全、法规等等。资料如有变更方芯将不会另行通知。这些材料仅用于开发本资料所述的方芯产品的应用方案。严禁对这些资料进行复制或展示。同时并未授权您使用任何方芯及其他第三方的知识产权。

方芯提供的产品受销售合同约束。方芯提供的这些资料也不会扩展或以其他方式改变方芯针对产品发布的适用担保或担保的免责声明。方芯拒绝接受您可能提出的任何附加或者不同的条款。

地址：北京市海淀区高里掌路 1 号院 2 号楼，邮编：100095，邮箱:support@funcience.com

Copyright © 2024，北京方芯半导体有限公司

Funcience confidential