应用于 IO 产品的 2 通道 EtherCAT 从站控制器

产品参数

- EtherCAT Port：
  - 数量：2
  - 端口类型：LVDS，电流标准
    - 支持 Standard 模式
    - 支持 Extend 模式
- FMMU 数量：4
- 同步管理 SM（SyncManager）数量：4
- RAM 容量：4KB
- 集成 64 bit 分布式时钟 DC（Distributed Clock）
- 过程数据接口 PDI（Process Data nterface）
  - SPI/QSPI 从站接口，最高频率 80MHz
- 3.3V 电源
- IO 电压范围从 1.8~3.3V
- 内部集成 1.2V LDO
- 封装：
  - FCE1322，FCE1323：QFN32-EP

主要应用

- 工控 IO 板卡
- 其他 EtherCAT 应用

产品目录

型号	PDI 接口	资源	DC 引脚	封装
FCE1322	SPI	FMMU：4 SM：4 RAM：4KB	2	QFN32-EP
FCE1323	SPI/SQI		2	QFN32-EP

内部资料

目录

图目录 7
表目录 9
术语 11
缓冲类型 14
寄存器术语 15
1 介绍 16
2 引脚描述和配置 18
2.1 引脚概述 18
2.1.1 FCE1322 引脚定义 18
2.1.1.1 引脚排布 18
2.1.1.2 引脚名称 19
2.1.2 FCE1323 引脚排布 20
2.1.2.1 引脚排布 20
2.1.2.2 引脚名称 21
2.2 引脚描述 22
2.2.1 端口 0 的 LVDS 引脚说明 23
2.2.2 端口 1 的 LVDS 引脚说明 23
2.2.3 通用引脚说明 23
2.2.4 SPI/SQI 引脚说明 24
2.2.5 EtherCAT 分布式时钟引脚说明 25
2.2.6 EEPROM 引脚说明 25
2.2.7 LED 和配置脚引脚说明 26
2.2.8 其他引脚说明 28
2.2.9 内核和 I/O 电源以及地引脚说明 29
2.3 配置引脚和使用方式 30
2.3.1 配置引脚和 LED 连接参考示例 30
3 寄存器映射 31
4 电源，时钟及复位 32
4.1 电源连接示意图 32
4.2 时钟 32
4.2.1 晶振 32
4.2.1.1 晶振时钟输出引脚 33
4.3 复位 33
4.3.1 芯片级复位 34
4.3.1.1 上电复位（POR） 35

内部资料

4.3.1.2 RST#引脚复位 35
4.3.1.3 EtherCAT 系统复位 35
4.3.2 模块级复位 36
4.3.2.1 单模块复位 36
4.3.3 复位寄存器 37
4.3.3.1 复位控制寄存器（RESET_CTL） 37
4.4 功耗管理 38
4.4.1 功耗管理寄存器 38
4.4.1.1 功耗管理控制寄存器（PMT_CTRL） 38
4.5 器件就绪操作 38
4.6 芯片启动过程 39
5 系统中断 40
5.1 功能概述 40
5.2 中断源 40
5.2.1 通用定时器中断 41
5.2.2 EtherCAT 中断 41
5.2.3 软件中断 42
5.2.4 器件就绪中断 42
5.3 中断寄存器 42
5.3.1 中断配置寄存器（IRQ_CFG） 43
5.3.2 中断状态寄存器（INT_STS） 44
5.3.3 中断允许寄存器（INT_EN） 45
6 SPI/SQI 从器件 46
6.1 功能概述 46
6.2 SPI/SQI 从器件操作 47
6.2.1 设备初始化 49
6.2.1.1 初始化完成的 SPI/SQI 从器件读轮询 49
6.2.2 功耗管理期间以及功耗管理之后的访问 49
6.2.3 等待/应答操作 50
6.2.4 配置指令 50
6.2.4.1 设置配置 50
6.2.4.2 使能 SQI 53
6.2.4.3 复位 SQI 53
6.2.5 SPI 读命令 54
6.2.5.1 读 57
6.2.5.2 快速读操作 59

内部资料

6.2.5.3 双输出读操作 61
6.2.5.4 四输出读操作 62
6.2.5.5 双 I/O 读操作 64
6.2.5.6 四 I/O 读操作 65
6.2.6 SPI 写命令 67
6.2.6.1 写 69
6.2.6.2 双数据写操作 71
6.2.6.3 SPI 四数据写操作 72
6.2.6.4 SPI 双地址/数据写操作 73
6.2.6.5 四地址/数据写操作 74
6.2.7 中断请求 (AL EVENT REQUEST) 和 中断状态 (INST_STS) 寄存器输出 75
6.3 EtherCAT 直接映射模式 75
6.3.1 Non-EtherCAT Core CSRs 75
6.3.1.1 读 75
6.3.1.2 写 76
6.3.2 EtherCAT Core CSRs and Process RAM 76
6.3.2.1 读 76
6.3.2.2 写 81
6.3.2.3 等待状态 84
6.4 控制器访问错误 87
6.5 SPI/SQI 时序要求 88
7 LVDS 接口 91
7.1 LVDS 接口信号 91
7.1.1 LVDS 端口连接电路图 91
8 EtherCAT 93
8.1 EtherCAT 功能概述 93
8.2 分布式时钟 94
8.2.1 SYNC/LATCH 引脚复用 94
8.2.2 SYNC IRQ 映射 94
8.2.3 SYNC 脉冲长度 94
8.2.4 SYNC/LATCH I/O 时序要求 94
8.3 PDI 选择和配置 95
8.4 SPI 主机接口 95
8.5 用户 RAM 95
8.6 EEPROM 可配置寄存器 96
8.7 LED 97

内部资料

8.7.1 EEPROM 错误和 ERR LED 97
8.7.2 双色状态 LED 98
8.8 EtherCAT 复位 98
8.9 EtherCAT 内核 CSR 寄存器（可直接寻址） 99
9 EEPROM 接口 104
9.1 I²C 接口时序要求 104
9.2 等效 EEPROM 105
10 通用定时器和自由运行时钟 106
10.1 通用定时器 106
10.2 自由运行时钟 106
10.3 通用定时器和自由运行时钟寄存器 106
10.3.1 通用定时器配置寄存器（GPT_CFG） 107
10.3.2 通用定时器计数寄存器（GPT_CNT） 107
10.3.3 自由运行 25MHZ 计数器寄存器（FREE_RUN） 108
11 其它 109
11.1 其它系统配置&状态寄存器 109
11.1.1 芯片 ID 和修订（ID_REV） 109
11.1.2 字节顺序测试寄存器（BYTE_TEST） 109
11.1.3 硬件配置寄存器（HW_CFG） 110
12 OPERATIONAL CHARACTERISTICS 111
12.1 Absolute Maximum Ratings* 111
12.2 Recommended Operating Conditions** 111
12.3 Current Consumption and Power Consumption 112
12.4 DC Specifications 113
12.4.1 LVDS DC Specifications 115
12.5 AC Specifications 116
12.5.1 Equivalent Test Load 116
12.5.2 Power Sequencing Timing 116
12.5.3 Reset And Configuration Strap Timing 117
12.5.4 Power-On And Configuration Strap Timing 118
12.5.5 SPI/SQI Slave Interface I/O Timing 118
12.5.6 I2C EEPROM I/O Timing 118
12.6 Clock Circuit 119
13 封装信息 121
13.1 QFN32-EP 封装信息 121
14 订购信息 122

内部资料

15 修订记录 123

内部资料

图目录

图 1-1 芯片框图 16
图 1-2 典型用法拓扑图 17
图 2-1 FCE1322 引脚排布（顶视） 18
图 2-2 FCE1323 引脚排布（顶视） 20
图 2-3 配置引脚和 LED 连接参考示例 30
图 4-1 电源连接 32
图 4-2 芯片启动过程 39
图 5-1 功能中断层级 41
图 6-1 SPI 模式设置配置 52
图 6-2 SQI 模式设置配置 52
图 6-3 使能 SQI 53
图 6-4 SPI 模式复位 SQI 53
图 6-5 SQI 模式复位 SQI 54
图 6-6 SPI READ Single Register 57
图 6-7 SPI READ Multiple Registers 58
图 6-8 SPI FAST READ Single Register 59
图 6-9 SPI FAST READ Multiple Registers 60
图 6-10 SQI FAST READ Single Register 60
图 6-11 SQI FAST READ Multiple Registers 60
图 6-12 SPI DUAL OUTPUT READ Single Register 61
图 6-13 SPI DUAL OUTPUT READ Multiple Registers 62
图 6-14 SPI QUAD OUTPUT READ Single Register 63
图 6-15 SPI QUAD OUTPUT READ Multiple Registers 63
图 6-16 SPI DUAL I_O READ Single Register 64
图 6-17 DUAL I_O READ Multiple Registers 65
图 6-18 SPI QUAD I_O READ Single Register 66
图 6-19 SPI QUAD I_O READ Multiple Registers 66
图 6-20 SPI WRITE Single Register 69
图 6-21 SPI WRITE Multiple Registers 70
图 6-22 SQI WRITE Single Register 70
图 6-23 SQI WRITE Multiple Registers 70
图 6-24 SPI DUAL DATA WRITE Single Register 71
图 6-25 SPI DUAL DATA WRITE Multiple Registers 71
图 6-26 SPI QUAD DATA WRITE Single Register 72
图 6-27 SPI QUAD DATA WRITE Multiple Registers 72

内部资料

图 6-28 SPI DUAL ADDRESS DATA WRITE Single Register 73
图 6-29 SPI DUAL ADDRESS DATA WRITE Multiple Registers 73
图 6-30 SPI QUAD ADDRESS DATA WRITE Single Register 74
图 6-31 SPI QUAD ADDRESS_DATA WRITE Multiple Registers 74
图 6-32 高有效 SCK 第一数据位 77
图 6-33 SPI WAIT ACK EtherCAT Core 读操作 86
图 6-34 SPI WAIT ACK EtherCAT Core 写操作 87
图 6-35 SPI/SQI 输入时序 88
图 6-36 SPI/SQI 输出时序 88
图 6-37 SPI/SQI WAIT_ACK 时序 89
图 7-1 LVDS 接口信号 91
图 7-2 LVDS 端口接收端 92
图 7-3 两片芯片 LVDS 接口连接举例 92
图 8-1 ETHERCAT SYNC/LATCH 时序图 94
图 8-2 配置 LED 极性 97
图 8-3 双色状态 LED 98
图 9-1 I2C 主站时序图 104

Figure 12-1 Output Equivalent Test Load 116
Figure 12-2 Power Sequence Timing 116
Figure 12-3 RST# Pin Configuration Strap Latching Timing 117
Figure 12-4 Power-On Configuration Strap Latching Timing 118
Figure 12-5 Typical application with a 25MHz crystal 120

内部资料

表目录

表 2-1 FCE1322 引脚名称 19
表 2-2 FCE1323 引脚名称 21
表 2-3 端口 0 的 LVDS 引脚 23
表 2-4 端口 1 的 LVDS 引脚 23
表 2-5 通用引脚 23
表 2-6 SPI/SQI 引脚 24
表 2-7 EtherCAT 分布式时钟引脚 25
表 2-8 EEPROM 引脚 25
表 2-9 LED 和配置引脚 26
表 2-10 其他引脚 28
表 2-11 内核和 I/O 电源以及地引脚 29
表 3-1 新增自定义寄存器 31
表 4-1 复位源和受影响的设备功能 33
表 5-1 中断寄存器 42
表 6-1 SPI 指令 48
表 6-2 SQI 指令 49
表 6-3 空字节顺序和默认值 50
表 6-4 SPI/SQI 时序值 89
表 7-1 LVDS 接口信号 91
表 8-1 EtherCAT SYNC/LATCH 时序值 95
表 8-2 EtherCAT 内核 EEPROM 可配置寄存器 96
表 8-3 EtherCAT 内核 CSR 寄存器 99
表 9-1 I2C 主器件时序值 104
表 10-1 通用定时器和自由运行时钟寄存器 106
表 11-1 其它寄存器 109
表 14-1 订购信息 122

Table 12-1 Absolute Maximum Ratings 111
Table 12-2 Recommended Operating Conditions 111
Table 12-3 FCE1322 DC Characteristics (Supply Current) 112
Table 12-4 FCE1323 DC Characteristics (Supply Current) 112
Table 12-5 Non-Variable I/O DC Electrical Characteristics 113
Table 12-6 Variable I/O DC Electrical Characteristics 114
Table 12-7 RBIAS resistor 114
Table 12-8 Standard LVDS DC Specifications 115

内部资料

Table 12-9 Extended LVDS DC Specifications 115
Table 12-10 Power Sequencing Timing Values.....117
Table 12-11 RST# Pin Configuration Strap Latching Timing Values.....117
Table 12-12 Power-On Configuration Strap Latching Timing Values 118
Table 12-13 Crystal Specifications (Note 1) 119

内部资料

术语

10BASE-T	10 Mbps Ethernet，符合 IEEE 802.3 标准。
100BASE-TX	100 Mbps Fast Ethernet，符合 IEEE802.3u 标准。
ADC	Analog-to-Digital Converter
ALR	Address Logic Resolution
AN	Auto-Negotiation
BLW	Baseline Wander
BM	Buffer Manager，开关结构的一部分。
BPDU	Bridge Protocol Data Unit，承载生成树协议信息的消息。
Byte	8 bits
CSMA/CD	Carrier Sense Multiple Access/Collision Detect
CSR	Control and Status Registers
CTR	Counter
DA	Destination Address
DWORD	32 bits
EPC	EEPROM Controller
FCS	Frame Check Sequence，添加到以太网帧末尾的额外校验和字符，用于进行错误检测和校正。
FIFO	First In First Out buffer
FSM	Finite State Machine
GPIO	General Purpose I/O
Host	主机，外部系统（包含处理器，应用软件等）。
IGMP	Internet Group Management Protocol

内部资料

Inbound	入站（指主机向器件输入的数据）
Level-Triggered Sticky Bit	这类状态位在其代表的条件置为有效时置 1。该位保持置 1 状态，直至其代表的条件不再为真为止，该状态位通过写 0 来清零。
lsb	Least Significant Bit
LSB	Least Significant Byte
LVDS	Low Voltage Differential Signaling
MDI	Medium Dependent Interface
MDIX	Media Independent Interface with Crossover
MII	Media Independent Interface
MIIM	Media Independent Interface Management
MIL	MAC Interface Layer
MLD	Multicast Listening Discovery
MLT-3	Multi-Level Transmission Encoding (3-Levels)，一种 3 级编码方法，逻辑电平变化表示编码位“1”，逻辑输出保持同一电平表示编码位“0”。
msb	Most Significant Bit
MSB	Most Significant Byte
NRZI	Non Return to Zero Inverted，该编码方法针对“1”信号反相，针对“0”信号保持不变。
N/A	Not Applicable
NC	No Connect
OUI	Organizationally Unique Identifier
Outbound	出站（指器件向主机的输出的数据）
PISO	Parallel In Serial Out
PLL	Phase Locked Loop

内部资料

PTP	Precision Time Protocol
PDI	Process Data Interface
RESERVED	指保留的位域或地址。 除非另外说明，否则保留位必须始终为零以进行写操作。 除非另外说明，否则无法在读取保留位时保证这些值。 除非另外说明，否则请勿读取或写入保留的地址。
RTC	Real-Time Clock
SA	Source Address
SFD	Start of Frame Delimiter，指示以太网帧前导码结束的 8 位值。
SIPO	Serial In Parallel Out
SMI	Serial Management Interface
SQE	Signal Quality Error（也称为“心跳”）
SSD	Start of Stream Delimiter
UDP	User Datagram Protocol，在 IP 网络顶层运行的无连接协议。
UUID	Universally Unique IDentifier
WORD	16 bits

内部资料

缓冲类型

O8	具有 8mA 灌电流和 8mA 拉电流的 3.3V 输出
VIS	可变电压施密特触发器输入
VO8	具有 8mA 灌电流和 8mA 拉电流的可变电压输出
VOD8	具有 8mA 灌电流的可变电压开漏输出
VOS8	具有 8mA 拉电流的可变电压开源输出
VOD12	具有 12mA 灌电流的可变电压开漏输出
VOS12	具有 12mA 拉电流的可变电压开源输出
PU	50μA（典型值）内部上拉。除非引脚说明中另外说明，否则始终使能内部上拉。 **【注】**内部上拉电阻用于防止未连接输入悬空。请勿依靠内部电阻驱动器件外部的信号。连接到必须拉高的负载时，必须添加外部电阻。
PD	50μA（典型值）内部下拉。除非引脚说明中另外说明，否则始终使能内部下拉。 **【注】**内部下拉电阻用于防止未连接输入悬空。请勿依靠内部电阻驱动器件外部的信号。连接到必须拉低的负载时，必须添加外部电阻。
AI	模拟输入
LVDS	低压差分信号
ICLK	晶振输入引脚
OCLK	晶振输出引脚
P	电源引脚

内部资料

寄存器术语

R	Read：可以读取具有该属性的寄存器或位。
W	Write：可以写入具有该属性的寄存器或位。
RO	Read Only：写操作不起作用。
WO	Write only：如果寄存器或位是只写的，读操作将返回未指定的数据。
W1S	Write One to Set：通过写 1 设置值，写 0 不起任何作用。
W1C	Write One to Clear：通过写 1 将值清零，写 0 不起任何作用。
WAC	Write Anything to Clear：写任意值均可将值清零。
RC	Read to Clear：读取后将内容清零，写操作不起作用。
LL	Latch Low：读取寄存器时清零。
LH	Latch High：读取寄存器时清零。
SC	Self-Clearing：置 1 后自清零内容。写 0 不起任何作用。可读取内容。
RO/LH	Read Only，Latch High：具有该属性的位将保持高电平，直至该位被读取。读取该位后，如果仍存在高电平条件，则该位保持高电平。如果已清除高电平条件，则该位变为低电平。如果未读取该位，则无论高电平条件是否发生变化，该位均保持高电平。部分以太网 PHY 寄存器中使用该模式。
NASR	Not Affected by Software Reset：使能软件复位时，NASR 位的状态不发生改变。
RESERVED	Reserved Field：保留字段必须写入 0，以确保未来的兼容性。读取时无法保证保留位的值。

内部资料

1 介绍

FCE132X 是一个款 2 端口 EtherCat 从站处理芯片，其内部包含了 2 个 LVDS PHY，固定运行在 100Mbps 以支持 EtherCat 数据通信，可以和方芯公司其它带 LVDS 接口的 ESC 芯片互联，芯片内部包含一个完整的 EtherCat 协议处理模块，并在成本，体积和功耗上进行了优化。芯片和从站处理器通过 SPI 或 QSPI 进行通信。

芯片为 ESC 加基础外设，包含如下功能：

- 2 个 port，2 个 LVDS PHY，LVDS 驱动支持 standard 和 extend 标准；
- 完整的 EtherCat 从站；
- PDI 支持 Q/SPI 接口。

Q/SPI 接口的定义和时序和 FCE135X 相同，寄存器定义也基本相同，如果有基于 FCE135X 开发的软件，可以直接移植。

【注意】可参考相应的应用 AN 及 FCE135X 软件移植说明。

该系列芯片差别在于内部资源数量，各型号差异在于外部资源的区别。

- FCE132X 的内部 RAM 为 4KB，FMMU 和 SM 都为 4 个。

FCE132X 系列的内部框图如下图所示。

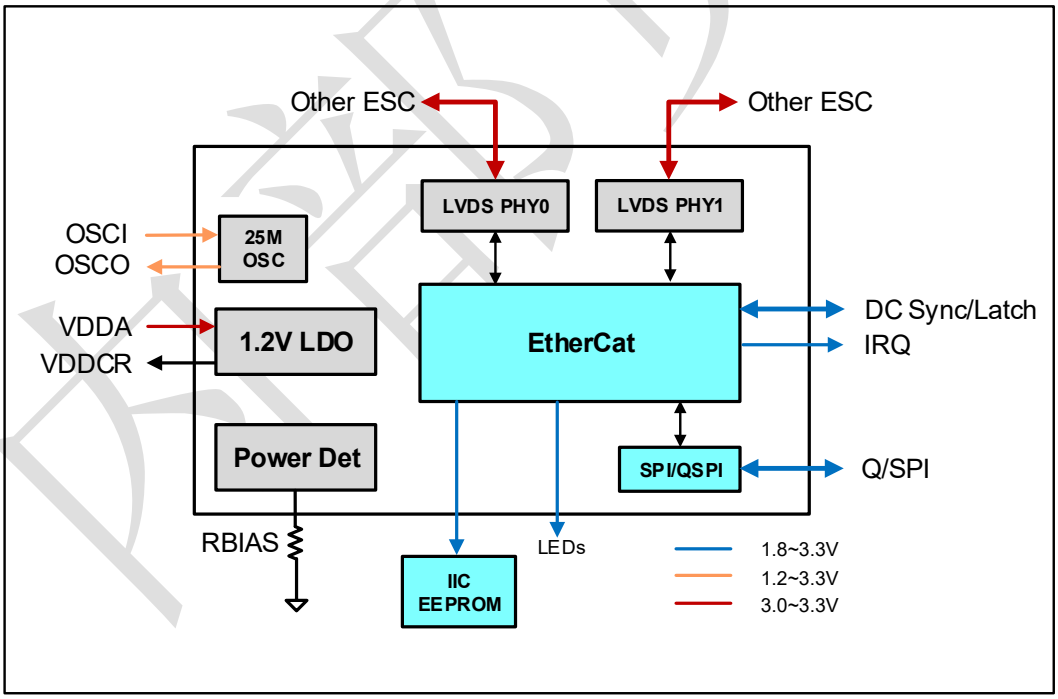


图 1-1 芯片框图

该系列典型用法拓扑如下图所示。

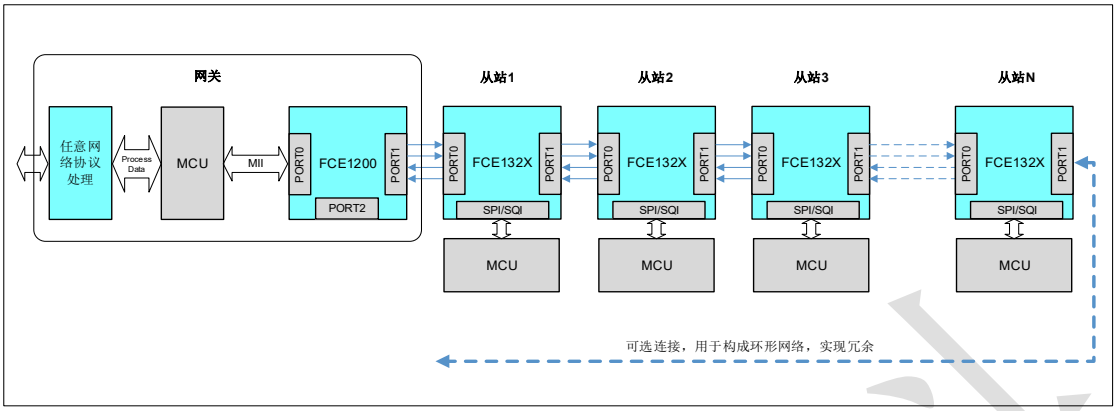


图 1-2 典型用法拓扑图

内部资料

2 引脚描述和配置

2.1 引脚概述

2.1.1 FCE1322 引脚定义

2.1.1.1 引脚排布

FCE1322 采用 QFN32-EP 封装，其引脚排布如下。

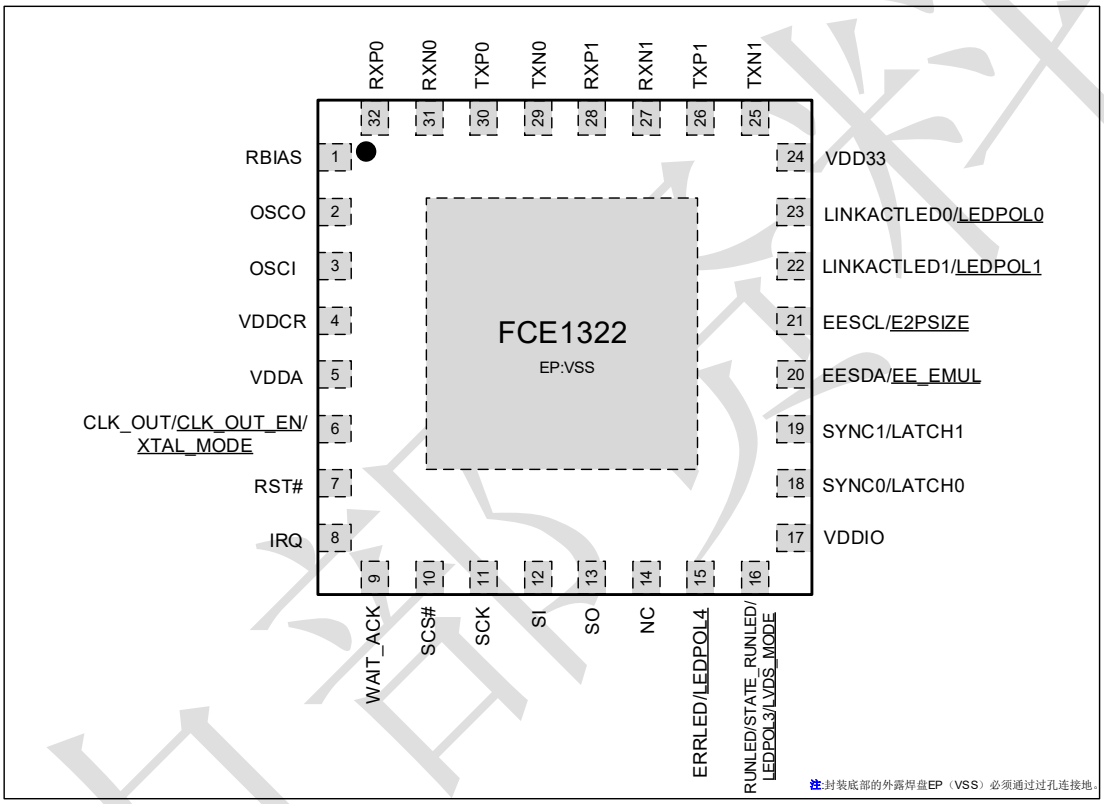


图 2-1 FCE1322 引脚排布（顶视）

【注】

1. 当在信号名称的末尾使用“#”时，表示该信号低电平有效。例如，RST#表示复位信号为低电平。

2. 配置引脚由带下划线的符号名称标识。参考章节 2.3“配置引脚和使用方式”了解更多信息。

3. 每个信号的缓冲类型在章节 2.2“引脚描述”的引脚描述表格列“缓冲类型”中指示。在章节“缓冲类型”区域提供了缓冲类型的描述。

2.1.1.2 引脚名称

下表详细说明了 FCE1322 的引脚名称，如下表所示。

表 2-1 FCE1322 引脚名称

引脚	引脚名称	引脚	引脚名称
EP	VSS	17	VDDIO
1	RBIAS	18	SYNC0/LATCH0
2	OSCO	19	SYNC1/LATCH1
3	OSCI	20	EESDA/EE_EMUL
4	VDDCR	21	EESCL/E2PSIZE
5	VDDA	22	LINKACTLED1/LEDPOL1
6	CLK_OUT/CLK_OUT_EN/XTAL_MODE	23	LINKACTLED0/LEDPOL0
7	RST#	24	VDD33
8	IRQ	25	TXN1
9	WAIT_ACK	26	TXP1
10	SCS#	27	RXN1
11	SCK	28	RXP1
12	SI	29	TXN0
13	SO	30	TXP0
14	NC	31	RXN0
15	ERRLED/LEDPOL4	32	RXP0
16	RUNLED/STATE_RUNLED /LEDPOL3/LVDS_MODE		

内部资料

2.1.2 FCE1323 引脚排布

2.1.2.1 引脚排布

FCE1323 采用 QFN32-EP 封装，其引脚排布如下。

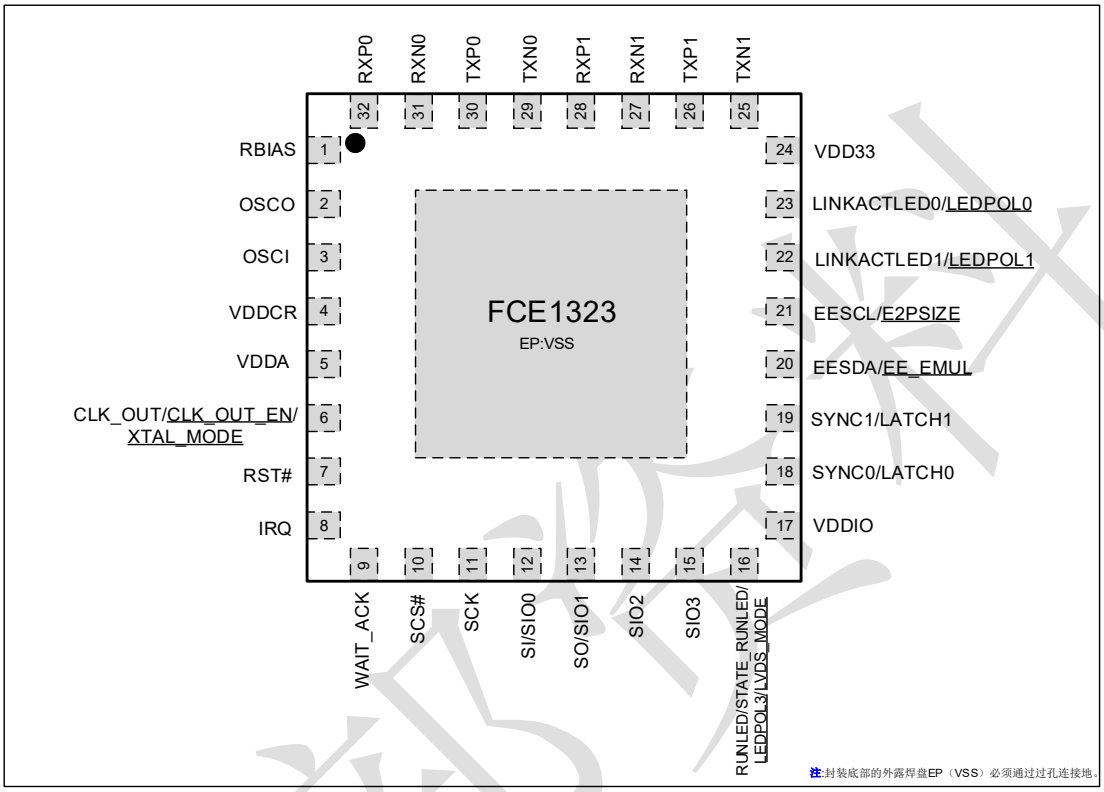


图 2-2 FCE1323 引脚排布（顶视）

【注】

1，当在信号名称的末尾使用“#”时，表示该信号低电平有效。例如，RST#表示复位信号为低电平。

2，配置引脚由带下划线的符号名称标识。参考章节 2.3“配置引脚和使用方式”了解更多信息。

3，每个信号的缓冲类型在章节 2.2“引脚描述”的引脚描述表格列“缓冲类型”中指示。在章节“缓冲类型”区域提供了缓冲类型的描述。

2.1.2.2 引脚名称

下表详细说明了 FCE1323 的引脚名称，如下表所示。

表 2-2 FCE1323 引脚名称

引脚	引脚名称	引脚	引脚名称
EP	VSS	17	VDDIO
1	RBIAS	18	SYNC0/LATCH0
2	OSCO	19	SYNC1/LATCH1
3	OSCI	20	EESDA/EE_EMUL
4	VDDCR	21	EESCL/E2PSIZE
5	VDDA	22	LINKACTLED1/LEDPOL1
6	CLK_OUT/CLK_OUT_EN/XTAL_MODE	23	LINKACTLED0/LEDPOL0
7	RST#	24	VDD33
8	IRQ	25	TXN1
9	WAIT_ACK	26	TXP1
10	SCS#	27	RXN1
11	SCK	28	RXP1
12	SI/SIO0	29	TXN0
13	SO/SIO1	30	TXP0
14	SIO2	31	RXN0
15	SIO3	32	RXP0
16	RUNLED/LEDPOL3/LVDS_MODE【注1】		

【注 1】虽然还可以通过寄存器切换成 STATE_RUNLED 使用，但是因为没有 ERRLED 这个引脚，STATE_RUNLED 作为双色灯控制的功能也无效了。

内部资料

2.2 引脚描述

本章节包含了 FCE132X 的引脚描述，分为如下功能组。

- 端口 0 的 LVDS 引脚，具体详见章节 2.2.1 “端口 0 的 LVDS 引脚说明”。
- 端口 1 的 LVDS 引脚，具体详见章节 2.2.2 “端口 1 的 LVDS 引脚说明”。
- 通用引脚，具体详见章节 2.2.3 “通用引脚说明”。
- SPI/SQI 引脚，具体详见章节 2.2.4 “SPI/SQI 引脚说明”。
- EtherCAT 分布式时钟引脚，具体详见章节 2.2.5 “EtherCAT 分布式时钟引脚说明”。
- EEPROM 引脚，具体详见章节 2.2.6 “EEPROM 引脚说明”。
- LED 和配置引脚，具体详见章节 2.2.7 “LED 和配置引脚说明”。
- 其它引脚，具体详见章节 2.2.8 “其它引脚说明”。
- 内核和 I/O 电源以及地引脚，具体详见章节 2.2.9 “内核和 I/O 电源以及地引脚说明”。

内部资料

2.2.1 端口 0 的 LVDS 引脚说明

表 2-3 端口 0 的 LVDS 引脚

引脚数	名称	符号	缓冲类型	描述
1	端口 0 的 LVDS RX 正通道	RXP0	LVDS	端口 0 的 LVDS 信号
1	端口 0 的 LVDS RX 负通道	RXN0	LVDS	
1	端口 0 的 LVDS TX 正通道	TXP0	LVDS	
1	端口 0 的 LVDS TX 负通道	TXN0	LVDS	

2.2.2 端口 1 的 LVDS 引脚说明

表 2-4 端口 1 的 LVDS 引脚

引脚数	名称	符号	缓冲类型	描述
1	端口 1 的 LVDS RX 正通道	RXP1	LVDS	端口 1 的 LVDS 信号
1	端口 1 的 LVDS RX 负通道	RXN1	LVDS	
1	端口 1 的 LVDS TX 正通道	TXP1	LVDS	
1	端口 1 的 LVDS TX 负通道	TXN1	LVDS	

2.2.3 通用引脚说明

表 2-5 通用引脚

引脚数	名称	符号	缓冲类型	描述
1	偏置参考	RBIAS	AI	用于内部偏置电路。外部连接 12.1kΩ，1%精度的电阻到地。 关于连接信息请参考器件参考原理图。 **【注】**额定电压为 1.2V，电阻将耗费约 1mW 的功率。

内部资料

2.2.4 SPI/SQI 引脚说明

表 2-6 SPI/SQI 引脚

引脚数	名称	符号	缓冲类型	描述
1	SPI/SQI 从片选	SCS#	VIS (PU)	该引脚是 SPI/SQI 从片选输入 CS 端口。低电平时，选择 SPI/SQI 从器件进行 SPI/SQI 传输。高电平时，SPI/SQI 串行数据输出为三态。
1	SPI/SQI 从串行时钟	SCK	VIS (PU)	该引脚是 SPI/SQI 从串行时钟输入 CLK 端口。
1	等待/应答	WAIT_ACK	VO8/VOD8	为 PDI 接口指示信号，该引脚指示何时主机总线周期可以完成。 当不选择器件时，该引脚为三态。 通常是推挽式，缓存类型可以通过配置寄存器设置更改为开漏。 通常低电平有效指示等待，用于推挽操作，极性可通过配置寄存器的设置改变。 当两个位都低时，该引脚失能。
1	SPI/SQI 从站串行数据输入/输出	SIO0	VIS/VO8 (PU)	SQI 模式，该引脚是用 SQI 从站数据输入和输出。 **【注】**仅适用于 FCE1323
	SPI 从站串行数据输入	SI	VIS (PU)	SPI 模式，该引脚是 SPI 从站串行数据输入。
1	SPI/SQI 从串行数据输入/输出	SIO1	VIS/VO8 (PU)	SQI 模式，该引脚是用 SQI 从站数据输入和输出。 **【注】**仅适用于 FCE1323
	SPI 从串行数据输出	SO	VO8 (PU) **【注 1】**	该引脚是 SPI 从站串行数据输出。
1	SPI/SQI 从串行数据输入/输出	SIO2	VIS/VO8 (PU)	SQI 模式，该引脚是用 SQI 从站数据输入和输出。 **【注】**仅适用于 FCE1323
1	SPI/SQI 从站串行数据输入/输出	SIO3	VIS/VO8 (PU)	SQI 模式，该引脚是用 SQI 从站数据输入和输出。 **【注】**仅适用于 FCE1323

【注 1】虽然该引脚是 SPI 指令的输出，但它包含上拉，因为它实际上是 SIO bit1。

内部资料

2.2.5 EtherCAT 分布式时钟引脚说明

表 2-7 EtherCAT 分布式时钟引脚

引脚数	名称	符号	缓冲类型	描述
2	同步	SYNC1 SYNC0	VO8/VOD8/VOS8	这些引脚是分布式时钟同步（输出）信号。 **【注】**加载 EEPROM 之前，不驱动这些信号（高阻态）。
2 （参考**【注】**）	锁存	LATCH1 LATCH0	VIS	这些引脚是分布式时钟锁存（输入）信号。 **【注】**通常该引脚与 SYNC0/SYNC1 功能共享。关于更加详细的 SYNC/LATCH 引脚复用，请参考章节 8.2.1“SYNC/LATCH 引脚复用”。

2.2.6 EEPROM 引脚说明

表 2-8 EEPROM 引脚

引脚数	名称	符号	缓冲类型	描述
1	EEPROM I^2C 串行数据输出	EESDA	VOD8	EEPROM 的 SDA 引脚 当器件正访问外部 EEPROM 时，该引脚是开漏输出。
	EEPROM Emulation 模式控制脚	EE_EMUL **【注 1】**	VIS	该引脚配置在 EEPROM 仿真模式下的默认 PDI 0：SPI 1：使用外部 EEPROM 芯片
1	EEPROM I^2C 串行时钟	EESCL	VO8	EEPROM 的 SCL 引脚 当器件正访问外部 EEPROM 时，该引脚是 I^2C 时钟输出。
	EEPROM 容量配置脚	E2PSIZE **【注 1】**	VIS (PU)	该引脚配置 EEPROM 容量，默认为上拉。 0：选择 1Kb（128×8）到 16Kb（2K×8） 1：选择 32Kb（4K×8）到 4Mb（512K×8） **【注】**仅采样端口配置时有上拉。

【注 1】 配置引脚由带下划线的符号名称标识。配置引脚值在上电复位，EtherCAT 复位，或者 RST#置为无效时锁存。更多信息，请参见章节 2.3“配置引脚和使用方式”。

【注】

EESCL/E2PSIZE 在端口配置阶段为输入，此时采样 EEPSIZE 的配置值（配置为 0 或 1，外部需使用对应容量的 EEPROM 芯片）。完成配置值锁定后，EESCL 为 PullPush 输出，默认为 0。

EESDA/EE_EMUL 在端口配置阶段为输入，此时采样 EE_EMUL 的配置值，若外部上拉（即 EE_EMUL=1），则配置为使用外部 EEPROM 芯片，此时 EEPSIZE 有效，外部需使用对应容量的 EEPROM 芯片。若外部下拉（即 EE_EMUL=0），

则配置为使用等效 EEPROM 模式，此时 EEPSIZE 无效。完成配置值锁定后，EESDA 为开漏输出。

2.2.7 LED 和配置脚引脚说明

表 2-9 LED 和配置引脚

引脚数	名称	符号	缓冲类型	描述
1	错误 LED	ERRLED	VOD12 /VOS12	该引脚是错误 LED 输出，由 ESC 或本地 MCU 控制。 该引脚被配置为开漏/开源输出。该引脚的开漏与开源以及默认极性的默认选择取决于复位时采样的配置脚值。 该引脚通过 ASIC 配置寄存器（0x0142:0x0143）的错误 LED 使能位（位 14）被使能作为输出。如果低电平有效，这个引脚在 EEPROM 加载错误情况下被强制使能。 **【注】**不适用于 FCE1323。
	LED4 极性配置脚	LEDPOL4 **【注 1】**	VIS (PU)	ERRLED 引脚的默认极性在配置加载期间被决定。 如果配置脚值是 0，则 LED 默认设置为高电平有效，因为假设如果一个 LED 存在，则将其用作下拉。（参见**【注 2】**） 如果配置脚值是 1，则 LED 默认设置为低电平有效，因为假设接到 VDD33 的 LED 用作上拉。 **【注】**不适用于 FCE1323，仅采样端口配置时有上拉。
1	运行 LED	RUNLED	VOD12 /VOS12	该引脚是运行 LED 输出，用于指示 AL 状态，由 AL 状态寄存器控制。 该引脚被配置为开漏/开源输出。该引脚的开漏与开源以及默认极性的默认选择取决于复位时采样的配置脚值。
	状态运行 LED	STATE_RUNLED	VOD12 /VOS12	该引脚是状态运行 LED 输出，等于 RUN LED 联合 ERR LED 反面。它可以用来控制双色 RUN/ERR LED 的 RUN 侧。 该引脚被配置为开漏/开源输出。该引脚的开漏与开源以及默认极性的默认选择取决于复位时采样的配置脚值。 通过 ASIC 配寄存器（0x0142:0x0143）的状态运行 LED 使能位（位 6）来在运行和状态运行之间进行选择。 **【注】**不适用于 FCE1323。
	LVDS 摆幅选择	LVDS_MODE/ LEDPOL3 **【注 1】**	VIS	用于 LVDS 摆幅选择，默认为下拉 0：standard 模式 1：extend 模式

	LED3 极性配置脚			因为这个引脚是和一个配置脚共用的，所以 RUNLED /STATE_RUNLED 或 RUNLED 引脚的默认极性在配置加载期间被决定。 **【注】**RUNLED /STATE_RUNLED 仅适用于 FCE1322。 如果配置脚值是 0，则 LED 默认设置为高电平有效，因为假设使用接地 LED 作为下拉。 （参见**【注 2】**） 如果配置脚值是 1，则 LED 默认设置为低电平有效，因为假设使用接到 VDDIO 的 LED 用作上拉。
1	链路/活动 LED 端口 1	LINKACTLED1	VOD12 /VOS12	端口 1 的链路状态指示引脚。 该引脚是端口 1 的链路/活动 LED 输出（熄灭=无链路，点亮=有链路但无活动，闪烁=有链路且有活动）。 该引脚被配置为开漏/开源输出。该引脚的开漏与开源以及默认极性的默认选择取决于复位时采样的配置脚值。
	LED1 极性配置脚	LEDPOL1 **【注 1】**	VIS	LINKACTLED1 引脚的默认极性在配置加载期间被决定。 如果配置脚值是 0，则 LED 默认设置为高电平有效，因为假设使用接地 LED 作为下拉。 如果配置脚值是 1，则 LED 默认设置为低电平有效，因为假设使用接到 VDDIO 的 LED 用作上拉。
1	链路/活动 LED 端口 0	LINKACTLED0	VOD12 /VOS12	该引脚是端口 0 的链路/活动 LED 输出（熄灭=无链路，点亮=有链路但无活动，闪烁=有链路且有活动）。 该引脚被配置为开漏/开源输出。该引脚的开漏与开源以及默认极性的默认选择取决于复位时采样的配置脚值。
	LED0 极性配置脚	LEDPOL0 **【注 1】**	VIS	LINKACTLED0 引脚的默认极性在配置加载期间被决定。 如果配置脚值是 0，则 LED 默认设置为高电平有效，因为假设使用接地 LED 作为下拉。 （参见**【注 2】**） 如果配置脚值是 1，则 LED 默认设置为低电平有效，因为假设使用接到 VDDIO 的 LED 用作上拉。

【注 1】配置引脚由带下划线的符号名称标识。配置引脚值在上电复位，EtherCAT 复位，或者 RST#置为无效时锁存。更多信息，请参见章节 2.3 “配置引脚和使用方式”。

【注 2】当使用 LED 作为下拉配置时，需要一个外部补充下拉以确保一个有效的低电平。

2.2.8 其他引脚说明

表 2-10 其他引脚

引脚数	名称	符号	缓冲类型	描述
1	中断输出	IRQ	VO8/VOD8	中断请求输出。该信号的极性、来源和缓冲器类型可通过配置寄存器（IRQ_CFG）设置来编程。
1	系统外部复位	RST#	VIS/VOD8	作为输入时，该低电平有效信号允许外部硬件复位器件。该器件还包含一个内部上电复位电路。因此，如果无需外部硬件复位，则可将该信号悬空态。当使用时，该信号必须符合操作特性部分中详细说明的复位时序要求。 作为输出时，在 POR 或来自主站控制器或主机接口的 EtherCAT 复位命令序列的响应期间，该信号被驱动为低电平。
1	晶振输入或外部时钟输入	OSCI	ICLK	外部 25MHz 晶振输入。该引脚也可由单端时钟振荡器驱动。如果采用这种方法，OSCO 应保持悬空。 **【注】**在时钟菊花链配置中，使用前面器件的 CLK_OUT 作为输入时钟源时，该引脚应该通过 XTAL_MODE 配置输入为施密特触发输入模式。
1	晶振输出或 OSCI 时钟取反输出	OSCO	OCLK	外部 25MHz 晶振输出。
1	晶振时钟输出	CLK_OUT	O8	25MHz 晶振输出，Free run 25M，可用于 MCU 时钟输入。
	晶振时钟输出使能配置脚	CLK_OUT_EN **【注 1】**	AI (参见**【注】**)	多个 DC 电平配置使能 CLK_OUT 输出，以及在 OSCI 引脚上选择晶振振荡器操作或者施密特触发输入操作。 低于 0.8V：晶振电路选择振荡器模式，关闭 CLK_OUT。 等于 1.5V：晶振电路选择振荡器模式，同时 CLK_OUT 输出 free run clock，输出 25MHz 时钟。 大于 2.2V：晶振电路选择外部直接输入模式，同时 CLK_OUT 输出 Free run clock，输出 25MHz 时钟。 **【注】**如果在配置加载期间悬空，该引脚将偏向于 VDD33/2。不需要外部分压器。 如果使用外部上拉将该引脚设置到 2.2V 以上，则上拉应连接到 VDD33。 此引脚外部下拉或者连接到 VSS，可用于将其设置到 0.8V 以下。
1	晶振时钟输入模式配置脚	XTAL_MODE **【注 1】**		

【注 1】配置引脚由带下划线的符号名称标识。配置引脚值在上电复位，EtherCAT 复位，或者 RST#置为无效时锁存。更多信息，请参见章节 2.3 “配置引脚和使用方式”。

2.2.9 内核和 I/O 电源以及地引脚说明

表 2-11 内核和 I/O 电源以及地引脚

引脚数	名称	符号	缓冲类型	描述
1	稳压器+3.3V 电源	VDD33	P	用于内部稳压器电源。 （参见**【注 1】**）
1	+1.8V 到 +3.3V 可变电源	VDDIO	P	可变 I/O 电源。 （参见**【注 1】**）
1	+1.2V 数字内核电源	VDDCR	P	通过片上稳压器供电，内部 1.2V LDO 输出。 （参见**【注 1】**） 应该在引脚（稳压器输出引脚）上使用并联到地的 1μF 和 470μF 去耦电容。
1	+3.3V 电源	VDDA	P	供电电压。 （参见**【注 1】**）
1	地	VSS	P	公共地。 此外露焊盘必须通过过孔阵列连接到地平面。

【注 1】有关更多连接信息，请参见章节 4.1 “电源连接示意图”。

内部资料

2.3 配置引脚和使用方式

配置引脚允许将芯片的各种功能自动配置为用户定义的值。配置引脚在上电复位（POR）、EtherCAT 复位或引脚复位（RST#）时锁存，通过电阻上拉或下拉来进行配置，这些引脚在复位之前，都是处于高阻输出，纯输入态，复位上升沿进行采样。配置引脚由带下划线的符号名称标识，定义在引脚描述章节的配置引脚。

配置引脚包含内部电阻，以防止信号在未连接时浮动。如果一个特定配置引脚连接到了一个负载，那么应使用外部上拉或下拉电阻增加内部电阻，以确保在锁存之前达到了所需的电压水平。内部电阻也可以通过添加外部电阻来改变。

2.3.1 配置引脚和 LED 连接参考示例

下图为配置引脚配置和 LED 连接的参考示例，具体使用情况，请参考章节 8.7 “LED”。

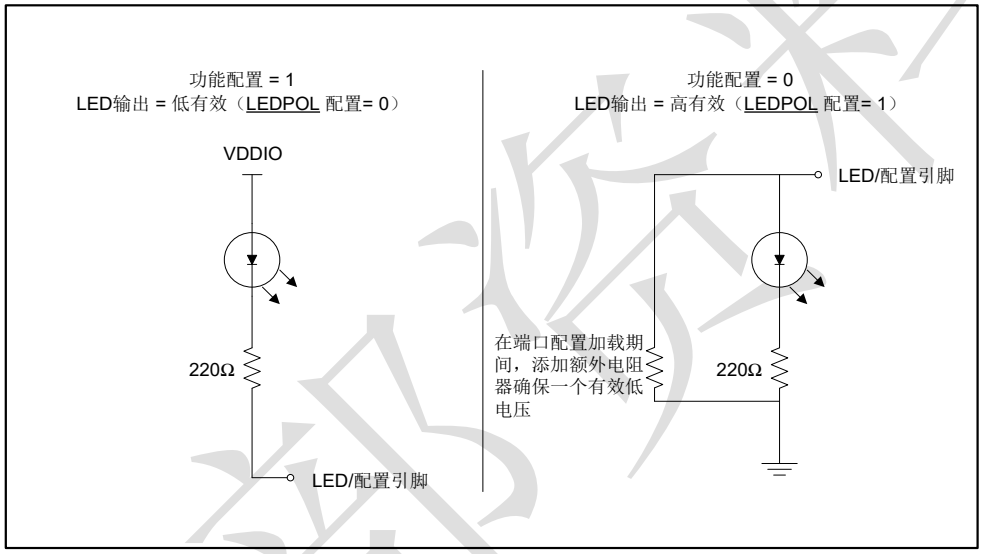


图 2-3 配置引脚和 LED 连接参考示例

内部资料

3 寄存器映射

可访问的寄存器都被映射进 EtherCAT 协议规范的 64KB 的存储空间中，可以使用 EtherCAT 协议支持的所有寻址方式访问。

细定义请参考文档《EtherCAT Products Register Description》。

本产品在标准 EtherCAT 寄存器基础上新增的自定义寄存器。

表 3-1 新增自定义寄存器

地址	寄存器名称（符号）
3050h	为了兼容 FCE135X 的软件，建议保留，不要使用
3054h	中断配置寄存器 (IRQ_CFG)
3058h	中断状态寄存器 (INT_STS)
305Ch	中断使能寄存器 (INT_EN)
3064h	字节顺序测试寄存器 (BYTE_TEST)
3074h	硬件配置寄存器 (HW_CFG)
3084h	为了兼容 FCE135X 的软件，建议保留，不要使用
308Ch	为了兼容 FCE135X 的软件，建议保留，不要使用
3090h	为了兼容 FCE135X 的软件，建议保留，不要使用
309Ch	为了兼容 FCE135X 的软件，建议保留，不要使用
31F8h	复位控制寄存器 (RESET_CTL)

内部资料

4 电源，时钟及复位

4.1 电源连接示意图

芯片的电源连接如下图所示。

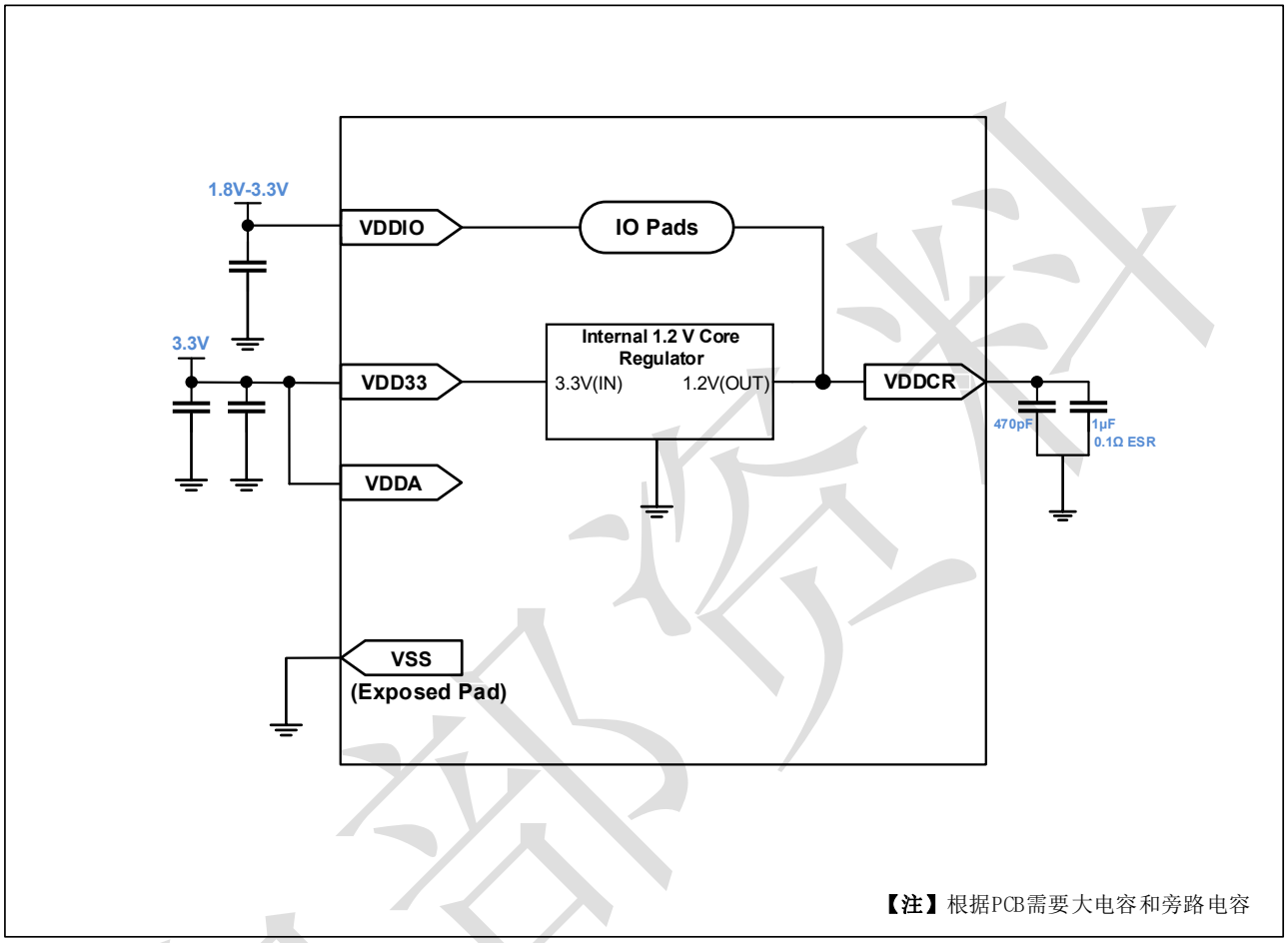


图 4-1 电源连接

4.2 时钟

器件可按照各个子模块的要求生成所有系统时钟。时钟子系统主要为晶振。

4.2.1 晶振

器件需要固定频率 25MHz 时钟源供内部时钟振荡器和 PLL 使用。这通常通过将 25MHz 晶振连接到章节 12.6“Clock Circuit”中指定的 OSCI 和 OSCO 引脚来提供。此时钟也可以通过使用单端 25MHz 时钟源驱动 OSCI 输入引脚来提供。如果选择单端源，则时钟输入必须连续运行，器件才能正常工作。

【应用注意】在时钟菊花链配置中 clock daisy chaining configuration，使用前面设备的 CLK_OUT 作为设备的输入时钟源时，此端口应通过 XTAL_MODE 配置输入脚设置为施密特触发器输入模式。

【注意】章节 12.6 的表“Crystal Specifications”中提供了晶振规范。

4.2.1.1 晶振时钟输出引脚

晶振时钟可输出到专用端口 CLK_OUT 引脚，用于其他设备的基准时钟。此端口在 CLK_OUT_EN 为高时使能。

4.3 复位

器件提供多个硬件和软件复位源，这允许对器件的不同级别进行复位。所有复位可分为如下几节所述的三种复位类型：

- 芯片级复位
  - 上电复位（POR）
  - RST#引脚复位
  - EtherCAT 系统复位
- 单模块复位
  - Port 0 LVDS 复位
  - Port 1 LVDS 复位
  - EtherCAT Controller 复位

器件支持使用配置脚来对各种器件参数进行自动自定义配置。这些配置脚值在所有芯片级复位置为无效时进行设置，可用于在上电或引脚（RST#）复位时轻松设置芯片的默认参数。

表 4-1 汇总了各种复位源对器件的影响。有关每种复位类型的详细信息，请参见后面各小节。

表 4-1 复位源和受影响的设备功能

模块/功能	POR	RST# Pin	EtherCAT System Reset	0X31F8 Reset
25MHz 振荡器	【注 1】			
稳压器	【注 2】			
EtherCAT 内核	×	×	×	
LVDS0	×	×	×	×
LVDS1	×	×	×	×
PLL	【注 3】			
SPI/SQI 从站	×	×	×	
通用定时器	×	×	×	
自由运行计数器	×	×	×	
系统控制和状态寄存器	×	×	×	
配置引脚锁存	是	是	是	否
EEPROM 加载程序运行	是	是	是	否
三态输出引脚【注 4】	是	是	是	否

RST#引脚低驱动	是		是	否

【注 1】POR 由 XTAL 稳压器执行，而不在系统级执行。

【注 2】POR 在稳压器内部执行。

【注 3】POR 在 PLL 内部执行。

【注 4】仅限用于配置脚的输出引脚。

4.3.1 芯片级复位

芯片级复位事件激活所有内部复位，可有效复位整个器件。芯片级复位通过触发以下任何输入事件启动：

- 上电复位 (POR)
- RST#引脚复位
- EtherCAT 系统复位

首先可通过轮询字节顺序测试寄存器（BYTE_TEST）确定芯片级复位/配置是否完成。在主机接口复位完成之前，返回的数据是无效的。一旦返回的数据是正确的字节顺序值，主机接口复位即完成。

整个芯片级复位的完成必须通过硬件配置寄存器（HW_CFG）或功耗管理控制寄存器（PMT_CTRL）的 READY 位直至该位置 1 来确定。READY 位置 1 时表示复位已完成且器件已准备好接受访问。

硬件配置寄存器（HW_CFG）、功耗管理控制寄存器（PMT_CTRL）、字节顺序测试寄存器（BYTE_TEST）和复位控制寄存器（RESET_CTL）外，当 READY 位清零时，对任何内部资源进行读访问都不应通过 S/W 完成。在 READY 位置 1 之前，对任何地址的写操作均是无效的。芯片级复位涉及可变输出电平焊盘的调节、配置脚的锁存以及主复位的生成。

- 配置引脚锁存

在 POR、EtherCAT 复位或 RST#引脚复位期间，配置脚锁存将开启。

在 POR、EtherCAT 复位或 RST#引脚复位释放后，配置脚锁存将关闭。

CLK_25_EN 和 XTAL_MODE 配置脚和输出启用，拉起和拉下 CLK_OUT 引脚不受 EtherCAT 复位或 RST#引脚重置控制，配置脚锁存将关闭。

- 可变电平 I/O 焊盘调节

在 EtherCAT、POR 或 RST#引脚复位释放后，将向 VO 调节电路发送 1μs 脉冲（低有效）。2μs 后，输出引脚即使能。

在启用输出之前，2μs 延迟允许时间为变量输出级引脚调优，并为使用输出引脚共享的配置脚提供输入保留时间。

- 主复位和时钟生成复位

在使能输出引脚后，复位与主系统时钟同步而成为主复位。主复位用于生成本地复位以及复位时钟生成。

4.3.1.1 上电复位（POR）

当器件刚上电或者断开电源并将其重新施加到器件时，将发生上电复位。此事件会复位器件内的所有电路。此复位的结果是锁存配置脚并执行 EEPROM 加载。POR 用于触发可变电平 I/O 焊盘的调节以及芯片级复位。

POR 也可用作系统级复位。RST#变为漏极开路输出，并在 POR 期间置为有效。其目的是在 EtherCAT 内核复位时完全复位 EtherCAT 从器件并/或使外部 PHY 保持复位。

作为开漏输出，RST 旨在被连接或进入系统复位。

【注意】在所有电压均工作前，不会驱动 RST#引脚。另外，如果系统需要在电源斜升期间保持复位，则需要外部系统级解决方案。

施加有效电压后，POR 复位通常需要约 21ms。

4.3.1.2 RST#引脚复位

将 RST#输入引脚驱动为低电平会启动芯片级复位。此事件会复位器件内的所有电路。使用此复位输入是可选的，但使用时，必须将其驱动为章节 12.5.3“Reset and Configuration Strap Timing”中指定的时间段。此复位的结果是锁存配置脚并执行 EEPROM 加载。

RST#引脚复位通常需要约 1.3ms。

【注意】RST#引脚在内部拉高。如果未使用，此信号可保持未连接状态。请勿依靠内部上拉电阻驱动器件外部的信号。

4.3.1.3 EtherCAT 系统复位

EtherCAT 系统复位由三个独立的连续帧/命令组成的特殊序列启动，其功能与 **RST#**引脚复位相同，除了在 EtherCAT 系统复位期间，**RST#**引脚变为开漏输出，并且置为有效的时间至少需要 80ms。

一个竞争设备和系统复位可通过 EtherCAT 主站或通过本地主机向 ESC Reset ECAT Register（对于主站，0x0040）或 ESC Reset PDI Register（对于本地主机，0x0041）写入 0x52（“R”）、0x45（“E”）和 0x53（“S”）的值序列来启动。

由于 EtherCAT 模块将通过 EEPROM 重新配置器件，主机接口将被禁止，直至复位完成。复位是否完成必须通过章节 6.2.1.1 中所述的用于 SPI/SQI 中所述的方法来确定。

EtherCAT 控制器复位通常需要约 1.3ms。

【注意】将 RST#引脚连接到系统复位的目的是对 EtherCAT 从器件执行完全复位。EtherCAT 主站只在极其罕见的情况下发起复位，即本地单片机因严重事件停止且无法被通知重新初始化时。

内部资料

4.3.2 模块级复位

模块级复位包含各种复位寄存器位输入，并为各种模块生成复位。模块级复位可影响一个或多个模块。

4.3.2.1 单模块复位

单模块复位将仅复位指定的模块。单模块复位不会锁存配置脚。

单模块复位通过触发以下复位来启动：

- Port0 LVDS Reset
- Port1 LVDS Reset

Port 0 LVDS Reset

Port0 LVDS 复位通过将复位控制寄存器（RESET_CTL）的 LVDS_0 _RST 位置 1 来执行。

完成 Port0 LVDS 复位后，LVDS_0_RST 位自动清零。器件的其他模块不会受到此复位的影响。

在正常情况下，Port0 LVDS 复位后，LVDS_0_RST 位将清零约 102μs。

Port 1 LVDS Reset

类似于 Port1 LVDS 中的描述，复位的 bit 位为：复位控制寄存器（RESET_CTL）的 LVDS_1_RST 位，其余描述相同。

内部资料

4.3.3 复位寄存器

4.3.3.1 复位控制寄存器（RESET_CTL）

偏移量：1F8h/31F8h　　大小：32 位

这个寄存器包含软件控制的重新设置。

【注意 1】当器件处于复位或未就绪/节能状态且主机接口未处于中间状态时，可以读取此寄存器。如果主机接口处于复位状态，则返回的数据可能无效。

【注意 2】不必读取此寄存器的全部四个字节。DWORD(双字)访问规则不适用于此寄存器。

位	描述	类型	默认值
31:3	**保留位**	RO	0b
2	**端口 1 LVDS 复位（LVDS_1_RST）** 将该位置 1 会复位端口 1 LVDS。内部逻辑使 LVDS 自动保持复位状态至少 102us。当端口 1 LVDS 从复位状态释放时，该位自动清零。当该位置 1 时，将忽略对该位的所有写操作。	R/W SC	0b
1	**端口 0 LVDS 复位（LVDS_0_RST）** 将该位置 1 会复位端口 0 LVDS。内部逻辑使 LVDS 自动保持复位状态至少 102us。当端口 0 LVDS 从复位状态释放时，该位自动清零。当该位置 1 时，将忽略对该位的所有写操作。	R/W SC	0b
0	**保留位**	RO	0b

内部资料

4.4 功耗管理

器件不支持功耗管理功能。

4.4.1 功耗管理寄存器

4.4.1.1 功耗管理控制寄存器（PMT_CTRL）

偏移量：084h /3084h　　大小：32 位

【注意】当器件处于复位或未就绪/节能状态且主机接口未处于中间状态时，可以读取此寄存器。如果主机接口处于复位状态，则返回的数据可能无效。仅支持以字节为单位访问此寄存器。

位	描述	类型	默认值
31:27	**保留位**	RO	0b
26	**LED 禁止（LED_DIS）** 此位用于禁止 LED 输出。漏极开路/源极开路 LED 不进行驱动。推挽式 LED 仍进行驱动，但会设置为无效状态。 0：使能 LED 1：禁止 LED	R/W	0b
25:1	**保留位**	RO	-
0	**器件就绪（READY）** 此位置 1 时指示器件已准备好接受访问。上电、RST#复位、从节能状态恢复、 EtherCAT 芯片级或模块级复位或者数字复位后，主机处理器可查询此字段来了解器件是否稳定并处于完全工作状态。 此位的上升沿将使 INT_STS 中的器件就绪（READY）位置为有效，并且可引起中断（如果允许中断）。 **【注】**当 READY 位清零时，除 HW_CFG、 PMT_CTRL、 BYTE_TEST 寄存器外，禁止对任何内部资源进行读访问。在此位置 1 前，对任何地址的写操作均是无效的。 **【注】**此位与硬件配置寄存器（HW_CFG）的 bit 27 相同。	RO	0b

4.5 器件就绪操作

器件支持就绪状态寄存器位，该位用于向主机软件指示器件何时完全准备好进行操作。此位可通过功耗管理控制寄存器（PMT_CTRL）或硬件配置寄存器（HW_CFG）读取。

上电复位、RST#复位、EtherCAT 芯片级复位或数字复位（见章节 4.3 “复位”）后，器件就绪（READY）位指示器件已读取并通过 EEPROM 的内容进行配置。

通过复位控制寄存器（RESET_CTL）进行的 EtherCAT 复位将使 EtherCAT 内核从 EEPROM 重载，从而暂时导致器件就绪（READY）位变为低电平。

4.6 芯片启动过程

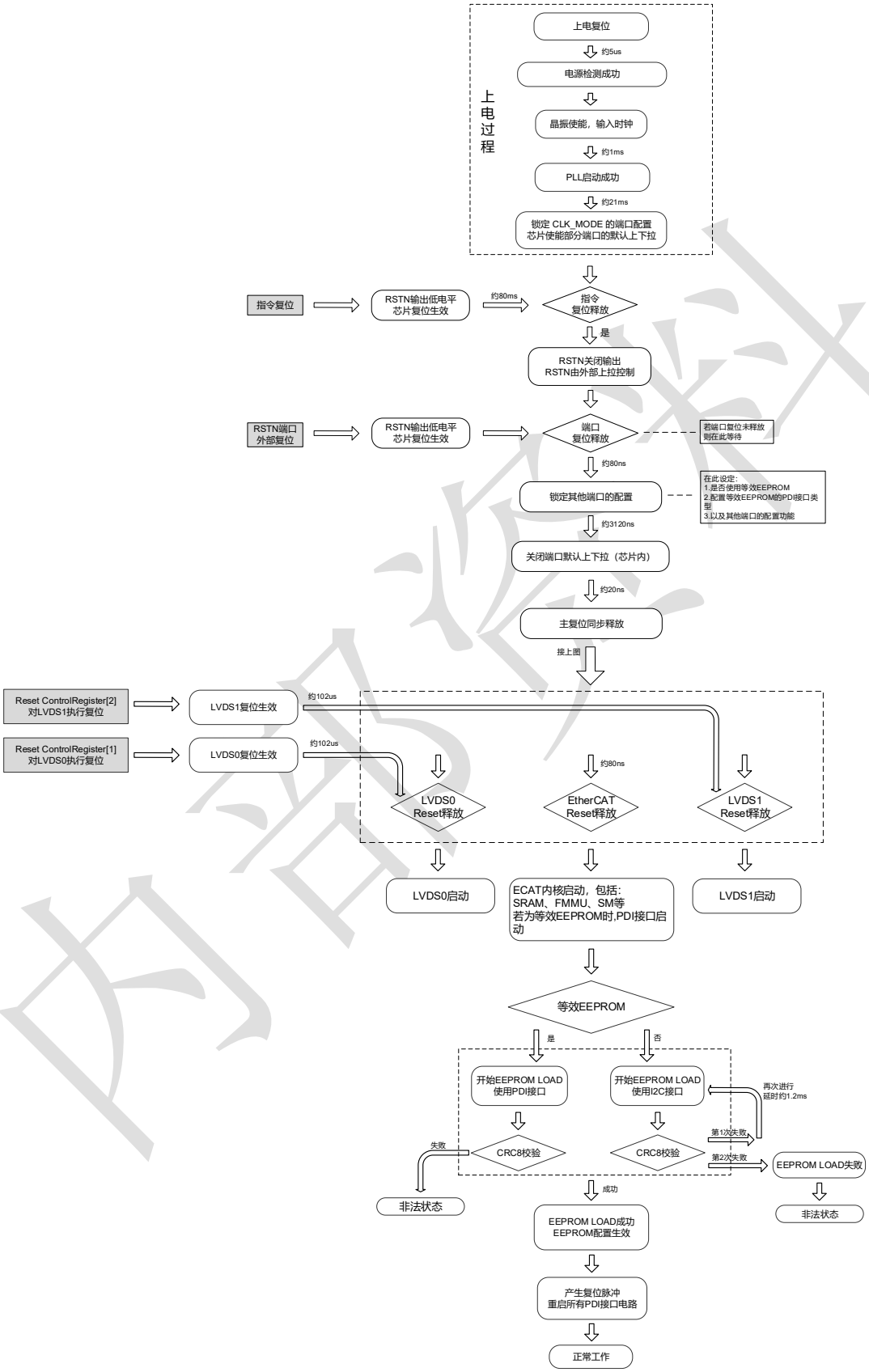


图 4-2 芯片启动过程

5 系统中断

5.1 功能概述

本章介绍器件的系统中断结构。器件提供了多层可编程中断结构，此结构通过系统中断控制器来控制。可编程系统中断由各个器件子模块在内部生成，并可配置为通过 IRQ 中断输出引脚生成单个外部主机中断。主机中断的可编程性质为用户提供了根据应用要求优化性能的能力。IRQ 中断缓冲器类型、极性和置为无效间隔是可修改的。IRQ 中断可配置为漏极开路输出，以便与其他器件共用中断。所有内部中断均可屏蔽并且能够触发 IRQ 中断。

5.2 中断源

器件能生成以下类型的中断：

- 通用定时器中断（GPT）
- EtherCAT 中断
- 软件中断（通用）
- 器件就绪中断

所有中断均通过排列成多层类分支结构的寄存器（如图 5-1 所示）进行访问和配置。器件中断结构的顶层是中断状态寄存器（INT_STS）、中断允许寄存器（INT_EN）和中断配置寄存器（IRQ_CFG）。

中断状态寄存器（INT_STS）和中断允许寄存器（INT_EN）聚合并允许/禁止来自各个器件子模块的所有中断，将它们组合在一起以产生 IRQ 中断。这两个寄存器为通用定时器、软件和器件就绪中断提供直接中断访问/配置。可以在这两个寄存器内直接监视、允许/禁止和清除这些中断。此外，还为 EtherCAT 从器件提供了事件指示。这些中断的区别在于中断源在其他子模块寄存器中生成和清除。INT_STS 寄存器不提供有关子模块内的哪个特定事件引起中断的详细信息，需要软件轮询额外的子模块中断寄存器（如图 5-1 所示）才能确定准确的中断源并将其清除。对于涉及多个寄存器的中断，只有在处理了中断并在其中断源清除后，才能在 INT_STS 寄存器中将其清除。

中断配置寄存器（IRQ_CFG）负责使能/禁止 IRQ 中断输出引脚以及配置其属性。IRQ_CFG 寄存器允许修改 IRQ 引脚缓冲器类型、极性和置为无效间隔。置为无效定时器可保证 IRQ 输出的最小中断置为无效周期，可通过中断配置寄存器（IRQ_CFG）的中断置为无效间隔（INT_DEAS）字段进行编程。全零设置将禁止置为无效定时器。无论出于何种原因，置为无效间隔都从 IRQ 引脚置为无效时开始。

【注意】置为无效定时器不应用于 PME 中断。在置为无效定时器选通之后，PME 中断被引导到 IRQ 逻辑中。PME 中断置为有效不会影响置为无效定时器。

内部资料

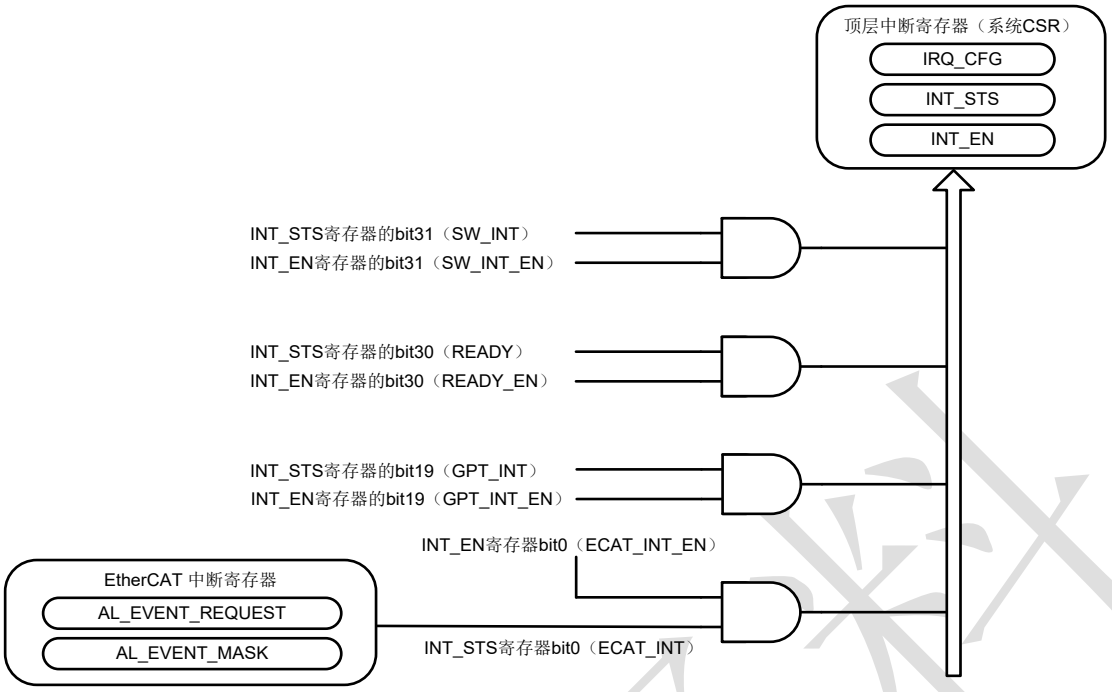


图 5-1 功能中断层级

以下各节详细介绍了每个中断类别及其相关的寄存器。有关所有中断寄存器中各位的定义，请参见相应功能的章节。

5.2.1 通用定时器中断

顶层中断状态寄存器（INT_STS）和中断允许寄存器（INT_EN）中提供 GP 定时器（GPT_INT）中断。此中断在通用定时器计数寄存器（GPT_CNT）从 0 折回 FFFFh 时发出，在中断状态寄存器（INT_STS）的 GP 定时器（GPT_INT）位写 1 时清除。

为了使通用定时器中断事件触发外部 IRQ 中断引脚，必须通过通用定时器配置寄存器（GPT_CFG） 中的通用定时器使能（TIMER_EN）位使能 GPT，中断允许寄存器（INT_EN）的 GP 定时器中断允许（GPT_INT_EN）位必须置 1 且必须通过中断配置寄存器（IRQ_CFG）的 IRQ 使能（IRQ_EN）位使能 IRQ 输出。

有关通用定时器的更多详细信息，请参见章节 10.1 “通用定时器”。

5.2.2 EtherCAT 中断

中断状态寄存器（INT_STS）的顶层 EtherCAT 中断事件（ECAT_INT）提供发生 AL 事件请求寄存器中 EtherCAT 中断事件的指示。AL 事件屏蔽寄存器提供所有 EtherCAT 中断条件的允许/禁止。AL 事件请求寄存器提供所有 EtherCAT 中断的状态。

为了使 EtherCAT 中断事件触发外部 IRQ 中断引脚，必须在 AL 事件屏蔽寄存器中允许所需的 EtherCAT 中断，中断允许寄存器（INT_EN）的 EtherCAT 中断事件允许（ECAT_INT_EN）位必须置 1 且必须通过中断配置寄存器（IRQ_CFG）的 IRQ 使能（IRQ_EN）位使能 IRQ 输出。

有关 EtherCAT 中断的更多详细信息，请参见章节 8.0 “EtherCAT”。

5.2.3 软件中断

顶层中断状态寄存器（INT_STS）和中断允许寄存器（INT_EN）中提供了通用软件中断。当中断允许寄存器（INT_EN）的软件中断允许（SW_INT_EN）位从清零切换为置 1（即，在使能的上升沿）时，将产生中断状态寄存器（INT_STS）的软件中断（SW_INT）位。此中断提供了一种简单的软件产生中断的方法，设计为用于常规软件使用。

为了使软件中断事件触发外部 IRQ 中断引脚，必须通过中断配置寄存器（IRQ_CFG）的 IRQ 使能（IRQ_EN）位使能 IRQ 输出。

5.2.4 器件就绪中断

顶层中断状态寄存器（INT_STS）和中断允许寄存器（INT_EN）中提供了器件就绪中断。中断状态 寄存器（INT_STS）的器件就绪（READY）位用于指示器件已准备好在上电或复位条件后接受访问。在中断状态寄存器（INT_STS）中对该位写 1 会将其清零。

为了使器件就绪中断事件触发外部 IRQ 中断引脚，中断允许寄存器（INT_EN）的器件就绪中断允许（READY_EN）位必须置 1 且必须通过中断配置寄存器（IRQ_CFG）的 IRQ 使能（IRQ_EN）位使能 IRQ 输出。

5.3 中断寄存器

本节详细介绍与可直接寻址中断相关的系统 CSR。这些寄存器用于控制、配置和监视 IRQ 中断输出引脚以及各种器件中断源。有关整个可直接寻址寄存器映射的概述，请参见章节 3.0 “Register Map”。

表 5-1 中断寄存器

地址	EtherCAT 直接映射模式	寄存器名称（符号）
054h	3054h	中断配置寄存器（IRQ_CFG）
058h	3058h	中断状态寄存器（INT_STS）
05Ch	305Ch	中断允许寄存器（INT_EN）

5.3.1 中断配置寄存器（IRQ_CFG）

偏移量：054h/3054h　　大小：32 位

读/写寄存器用于配置和指示 IRQ 信号的状态。

位	描述	类型	默认值
31:24	**中断置为无效间隔（INT_DEAS）** 此字段用于确定中断请求置为无效间隔（10 微秒的倍数）。 将此字段设置为 0 会使器件禁止 INT_DEAS 间隔、复位间隔计数器并发出任何待处理中断。如果向此字段写入新的非零值，任何后续中断都将遵循新设置。	R/W	00h
23:15	**保留位**	RO	-
14	**中断置为无效间隔清零（INT_DEAS_CLR）** 向此寄存器写入 1 会将中断控制器中的置为无效计数器清零，从而使新的置为无效间隔开始（无论中断控制器当前是否处于有效的置为无效间隔）。 0：正常工作 1：清零置为无效计数器	R/W SC	0h
13	**中断置为无效状态（INT_DEAS_STS）** 此位置 1 时表示中断控制器当前处于置为无效间隔中并且可能的中断将不会发送到 IRQ 引脚。此位清零时表示中断控制器当前未处于置为无效间隔中并且中断将发送到 IRQ 引脚。 0：中断控制器未处于置为无效间隔中 1：中断控制器处于置为无效间隔中	RO	0b
12	**主站中断（IRQ_INT）** 此只读位用于指示内部 IRQ 线的状态，无论 IRQ_EN 位的设置或中断置为无效功能的状态如何。当此位置 1 时，允许的中断之一当前处于有效状态。 0：没有允许的中断处于有效状态 1：一个或多个允许的中断处于有效状态	RO	0b
11:9	**保留位**	RO	-
8	**IRQ Enable（IRQ_EN）** 此位控制 IRQ 引脚的最终中断输出。清零时，IRQ 输出禁止且永久置为无效。此位对任何内部中断状态位均不起作用。 0：禁止 IRQ 引脚上的输出 1：使能 IRQ 引脚上的输出	R/W	0b
7:5	**保留位**	RO	-
4	**IRQ Polarity（IRQ_POL）** 清零时，此位使 IRQ 线用作低电平有效输出。置 1 时，IRQ 输出高电平有效。当 IRQ（通过 IRQ_TYPE 位）配置为开漏输出时，此位被忽略且中断始终低电平有效。 0：IRQ 低电平有效输出 1：IRQ 高电平有效输出	R/W NASR **【注 1】**	0b
3:1	**保留位**	RO	-

0	IRQ Buffer Type（IRQ_TYPE） 当此位清零时，IRQ 引脚用作漏极开路输出，用于线或中断配置。置 1 时，IRQ 为推挽式驱动器。 注：当配置为漏极开路输出时，IRQ_POL 位被忽略且中断输出始终低电平有效。 0：IRQ 引脚漏极开路输出 1：IRQ 引脚推挽式驱动器	R/W NASR **【注 1】**	0b

【注 1】当复位控制寄存器（RESET_CTL）中的 DIGITAL_RST 位置 1 时，不会复位指定为 NASR 的寄存器位。

5.3.2 中断状态寄存器（INT_STS）

偏移量：058h/3058h　　大小：32 位

此寄存器包含中断的当前状态。值 1 表示满足相应中断条件，而值 0 表示未满足中断条件。此寄存器的位反映了中断源的状态，与在中断允许寄存器（INT_EN）中是否允许中断源作为中断无关。当指示为 R/W1C 时，向相应位写入 1 将响应并清除中断。

位	描述	类型	默认值
31	**软件中断（SW_INT）** 当中断允许寄存器（INT_EN）的软件中断允许（SW_INT_EN）位设置为高电平时，将产生此中断。 写入 1 将清除此中断。	R/W1C	0b
30	**器件就绪（READY）** 此中断用于指示器件已准备好在上电或复位条件后接受访问。	R/W1C	0b
29:20	**保留位**	RO	-
19	**GP 定时器（GPT_INT）** 当通用定时器计数寄存器（GPT_CNT）从 0 折回 FFFFh 时，将发出此中断。	R/W1C	0b
18:1	**保留位**	RO	-
0	**EtherCAT 中断事件（ECAT_INT）** 此位指示 EtherCAT 中断事件。中断源可通过轮询 AL 事件请求寄存器确定。	RO	0b

内部资料

5.3.3 中断允许寄存器（INT_EN）

偏移量：05Ch/305Ch　　大小：32 位

此寄存器包含 IRQ 输出引脚的中断允许。向任何一位写入 1 均会允许相应中断作为 IRQ 的中断源。中断状态寄存器（INT_STS）寄存器中的位仍将反映中断源的状态，与在此寄存器中是否允许中断源作为中断无关（软件中断允许（SW_INT_EN）除外）。有关每个中断的说明，请参见中断状态寄存器（INT_STS）中的各位，这些位的布局与此寄存器的布局相同。

位	描述	类型	默认值
31	软件中断允许（SW_INT_EN）	R/W	0b
30	器件就绪允许（READY_EN）	R/W	0b
29:20	保留位	RO	-
19	GP 定时器中断允许（GPT_INT_EN）	R/W	0b
18:1	保留位	RO	-
0	EtherCAT 中断事件允许（ECAT_INT_EN）	R/W	0b

内部资料

6 SPI/SQI 从器件

6.1 功能概述

SPI/SQI 从器件提供低引脚数同步从接口，便于器件与主机系统之间的通信。SPI/SQI 从器件可访问系统 CSR、内部 FIFO 和存储器。该器件支持一条和多条通过递增、递减和静态寻址的寄存器读写命令。SPI 模式支持单、双和四位通道，工作时钟速率最高为 80MHz。SQI 模式支持四位通道，工作时钟速率最高为 80MHz。

【注意】单通道-1bit：SIO[3:2]-未使用，SIO[1]-SO，SIO[0]-SI；

双通道-2bit：SIO[3:2]-未使用，SIO[1:0]-SIO；

四通道-4bit：SIO[3:0]-SIO。

以下内容概述了 SPI/SQI 从器件提供的功能，采用递增、递减和静态寻址实现单次或多次寄存器读操作/写操作：

- 读操作
  - Serial Read：以最高 30MHz 的频率进行 4 线（时钟、选择、数据输入和数据输出）读操作。串行命令、地址和数据。
  - Fast Read：以最高 80MHz 的频率进行 4 线（时钟、选择、数据输入和数据输出）读操作。串行命令、地址和数据。
  - Dual/Quad Output Read：以最高 80MHz 的频率进行 4 线或 6 线（时钟、选择、数据输入/数据输出）读操作。串行命令和地址以及并行数据。
  - Dual/Quad I/O Read：以最高 80MHz 的频率进行 4 线或 6 线（时钟、选择、数据输入/数据输出）读操作。串行命令、并行地址和数据。首次访问为空字节。
  - SQI Read：以最高 80MHz 的频率进行 6 线（时钟、选择、数据输入/数据输出）写操作。并行命令、地址和数据。首次访问为空字节。
- 写操作
  - Write：以最高 80MHz 的频率进行 4 线（时钟、选择、数据输入和数据输出）写操作。串行命令、地址和数据。
  - Dual/Quad Data Write：以最高 80MHz 的频率进行 4 线或 6 线（时钟、选择、数据输入/数据输出）读操作。串行命令、地址和并行数据。首次访问为空字节。
  - Dual/Quad Address/Data Write：以最高 80MHz 的频率进行 4 线或 6 线（时钟、选择、数据输入/数据输出）写操作。串行命令、并行地址和数据。
  - SQI Write：以最高 80MHz 的频率进行 6 线（时钟、选择、数据输入/数据输出）写操作。并行命令、地址和数据。

内部资料

6.2 SPI/SQI 从器件操作

SIO[3:0]引脚上的输入数据在 SCK 输入时钟的上升沿被采样。SIO[3:0]引脚上的输出数据在时钟的下降沿被采样。SCK 输入时钟可以是高电平有效脉冲或低电平有效脉冲。当 SCS#片选输入为高电平(无效)时，SIO[3:0]输入被忽略，SIO[3:0]输出为高阻态。

在 SPI 模式下，8 位指令在 SCS#变为有效后从输入时钟的第一个上升沿开始。该指令始终以串行方式输入 SI/SIO0。

对于读指令和写指令，指令字节后跟两个地址字节。根据指令的不同，地址字节可以串行方式输入，或者以每个时钟 2 或 4 位的方式输入。某些寄存器虽然按 4 字节对齐的完整 32 位访问，但地址字段被视为字节地址。使用十四个地址位指定地址。地址字段的 bit15 和 14 用于指定连续访问时地址自动递减（address[15:14]=10b）还是自动递增（address[15:14]=01b）。

对于读命令（除 READ 指令之外），地址字节之后还需跟随一或两个传输长度字节。取决于传输指令，传输长度字节以串行方式输入，或者以每个时钟 2 位或 4 位的方式输入。虽然有的寄存器按 4 字节对齐的完整 32 位访问，但传输长度字段被视为字节长度。对于一个字节传输长度格式，bit7 是低电平并且 bits6-0 指定了最大 127 字节的长度。对于两字节传输长度格式，第一个字节的 bit7 是高电平并且 bits6-0 指定了低七位的长度。第二个字节段的 bits6-0 指定了具有一个最大的 16,383 字节（16K-1）的传输长度的高 7 位。传输长度不包括任何空字节。

对于读指令和写指令，地址字节或传输长度字节之后会插入大量的可编程的（起始）空字节。这些空字节数量由寄存器或配置决定。

对于读指令和写指令，如果存在空字节，则一个或多个 32 位数据字段跟在空字节后面，否则将跟在地址字节后面。数据以串行方式输入，或者以每个时钟 2 位或 4 位的方式输入。

每个 32 位数据之间，也可单独插入可编程的空字节（可为 0）。在地址字节后的空字节字段以及写指令中的所有空字节字段内，设备均不驱动输出，处于高阻态。对于读命令，设备会在后续的空字节周期内驱动输出。写命令的空字节周期仍保持高阻。主机在发送空字节时应将其置为 0x00，以保证未来兼容性。模块在空字节周期输出的数据无定义、可忽略。空字节以串行输入并且串行输出，或者以每个时钟 2 位或 4 位的方式并行输入或输出。

每种读/写命令所需的空字节数量都可以单独设定，具体通过 Set SPI Config（SPICFG）指令 进行配置。SPICFG 指令自身不带任何空字节，它的格式始终不变。

可通过使能四 I/O（EQIO）指令从 SPI 模式切换至 SQI 模式。一旦处于 SQI 模式，后续的所有命令、地址、空字节和数据字节均以每个时钟 4 位的方式输入。可通过复位四 I/O（RSTQIO）指令退出 SQI 模式。

所有指令、地址、转移长度和数据均以最高有效位（msb）、最高双位（msd）或最高半字节（msn）在前的方式传输。地址以最高有效字节（MSB）在前的方式传输。转移长度以最高有效字节（LSB）在前的方式传输。多字节数据以最低有效字节（LSB）在前（小尾数法）的方式传输。

SPI 接口支持 80MHz 输入时钟。正常（非高速）读指令是被限制在 30MHz。可通过编程空字节数量用于降低数据速率或者增加初始读访问时间。

SPI 接口支持最短 50 ns 的连续命令间隔时间（最短 SCS#无效时间为 50ns）。

表 6-1 列出了 SPI 模式下支持的指令。表格 6-2 列出了 SQI 指令。不得使用不受支持的命令。

表 6-1 SPI 指令

指令	说明	位宽度【注 1】	指令代码	地址字节	长度字节	起始空字节【注 2】【注 3】	每字节或字空字节【注 4】	数据字节	最大频率
配置									
SETCFG	设置配置	1-0-1	01h	0	0	0	0	39	80MHz
EQIO	使能 SQI	1-0-0	38h	0	0	0	0	0	80MHz
RSTQIO	复位 SQI	1-0-0	FFh	0	0	0	0	0	80MHz
读									
READ	读操作	1-1-1	03h	2	0	0 to 255	0 to 255	4 to ∞/ 1 to ∞	30MHz
FASTREAD	以较高速度进行读操作	1-1-1	0Bh	2	1 or 2	1 to 255	0 to 255	4 to 16K / 1 to 16K	80MHz
SDOR	SPI 双输出读操作	1-1-2	3Bh	2	1 or 2	1 to 255	0 to 255	4 to 16K / 1 to 16K	80MHz
SDIOR	SPI 双 I/O 读操作	1-2-2	BBh	2	1 or 2	2 to 255	0 to 255	4 to 16K / 1 to 16K	80MHz
SQOR	SPI 四输出读操作	1-1-4	6Bh	2	1 or 2	1 to 255	0 to 255	4 to 16K / 1 to 16K	80MHz
SQIOR	SPI 四 I/O 读操作	1-4-4	EBh	2	1 or 2	4 to 255	0 to 255	4 to 16K / 1 to 16K	80MHz
写									
WRITE	写操作	1-1-1	02h	2	0	0 to 255	0 to 255	4 to ∞/ 1 to ∞	80MHz
SDDW	SPI 双数据写操作	1-1-2	32h	2	0	0 to 255	0 to 255	4 to ∞/ 1 to ∞	80MHz
SDADW	SPI 双地址 / 数据写操作	1-2-2	B2h	2	0	0 to 255	0 to 255	4 to ∞/ 1 to ∞	80MHz
SQDW	SPI 四数据写操作	1-1-4	62h	2	0	0 to 255	0 to 255	4 to ∞/ 1 to ∞	80MHz
SQADW	SPI 四地址/数据写操作	1-4-4	E2h	2	0	0 to 255	0 to 255	4 to ∞/ 1 to ∞	80MHz

【注 1】位宽度格式是：指令编码位宽度，地址/传输长度/初始空字节位宽、数据/后续空字节位宽。

【注 2】尽管最小值被设置为默认值，但不应该由硬件强制执行，应该被软件使用。EtherCAT 直接映射模式应使用章节 6.3“EtherCAT 直接映射模式”中的最小值。

【注 3】初始空字节的位宽与地址的位宽一致。

【注 4】数据之间的空字节的位宽与数据的位宽一致。

表 6-2 SQI 指令

指令	说明	位宽度【注 1】	指令代码	地址字节	长度字节	起始空字【注 2】【注 3】	每字节或字空字节【注 4】	数据字节	最大频率
配置									
SETCFG	设置配置	4-0-4	01h	0	0	0	0	39	80MHz
RSTQIO	复位 SQI	4-0-0	FFh	0	0	0	0	0	80MHz
读									
FASTREAD	以较高速度进行读操作	4-4-4	0Bh	2	1 or 2	3 to 255	0 to 255	4 to 16K/ 1 to 16K	80MHz
写									
WRITE	写操作	4-4-4	02h	2	0	0 to 255	0 to 255	4 to / 1 to	80MHz

【注 1】位宽度格式是：指令编码位宽度，地址/传输长度/初始空字节位宽、数据/后续空字节位宽。

【注 2】硬件只是把这些最小值设为默认值，软件必须主动使用这些最小值，否则可能导致操作失败或不稳定。EtherCAT 直接映射模式应使用章节 6.3“EtherCAT 直接映射模式”中的备用最小值。

【注 3】初始空字节的位宽与地址的位宽一致。

【注 4】数据之间的空字节的位宽与数据的位宽一致。

6.2.1 设备初始化

在设备完成初始化、所有配置输入引脚生效之前，SPI/SQI 接口既不会响应也不会被任何外部引脚动作所影响。模块初始化完成后，SPI/SQI 接口会暂时忽略所有输入引脚，直到检测到 SCS# 的上升沿 才重新开始响应。

6.2.1.1 初始化完成的 SPI/SQI 从器件读轮询

在设备初始化前，SPI/SQI 接口将无法返回有效数据。为确定 SPI/SQI 接口何时起作用，应轮询字节顺序测试寄存器（BYTE_TEST）一旦读到正确的特征值，即可认为接口为工作状态。在这一点上，可以通过轮询硬件配置寄存器（HW_CFG）的器件就绪（READY）位来确定器件何时完全配置。

【注意】在轮询 BYTE_TEST 寄存器时，主机应该只使用单寄存器读操作（每次 SCS#为低电平时发生一个数据周期）。

6.2.2 功耗管理期间以及功耗管理之后的访问

除 D0 以外的任何电源管理模式期间，读和写将被忽略，SPI/SQI 接口将不响应，不受任何外部引脚活动的影响。

一旦电源管理模式切换回 D0，SPI/SQI 接口将忽略引脚，直到检测到 SCS#的上升沿。

为确定 SPI/SQI 接口何时起作用，应轮询字节顺序测试寄存器（BYTE_TEST）。一旦读到正确的特征值，即可认为接口为工作状态。在这一点上，可以通过轮询硬件配置寄存器（HW_CFG）的器件就绪（READY）来确定器件何时完全配置。

【注意】在轮询 BYTE_TEST 寄存器时，主机应该只使用单寄存器读操作（每次 SCS#为低电平时发生一个数据周期）。

6.2.3 等待/应答操作

在 EtherCAT 直接映射模式下（见章节 6.3 “EtherCAT 直接映射模式”），主机系统必须满足设备时序访问要求。对于从 EtherCAT Core CSR 或 Process Data RAM 中读取数据，读周期必须等到读数据被内部检索到。所有写周期必须等待之前对 EtherCAT Core CSR 或 Process Data RAM 的写访问在内部完成。主机系统可以等待指定的最差情况的访问时间，也可以使用 WAIT_ACK 信号。

WAIT_ACK 引脚通过 PDI 配置寄存器（SPI 模式）的 SPI WAIT_ACK 极性和 SPI WAIT_ACK 缓冲器类型位的组合启用。

WAIT_ACK 可以设置为低电平有效的开漏输出或者三态推挽输出。这由 PDI 配置寄存器（SPI 模式）的 SPI WAIT_ACK 缓冲器类型位控制。若设为推挽输出，其极性由 PDI 配置寄存器（SPI 模式）的 SPI WAIT_ACK 极性位控制。WAIT_ACK 操作在章节 6.3.2.3 “等待状态”，等待状态中描述。

【注意】PDI 配置寄存器 0x0150[1:0](SPI 模式)：

0x0150[1:0]=2’b01，WAIT_ACK 表示 push-pull 输出，并且 WAIT_ACK 为 0 表示等待，1 表示应答；
0x0150[1:0]=2’b11，WAIT_ACK 表示 push-pull 输出，并且 WAIT_ACK 为 1 表示等待，0 表示应答；
0x0150[1:0]=2’b10，WAIT_ACK 表示开漏输出，并且 WAIT_ACK 为 0 表示等待(需上拉)，1 表示应答；
0x0150[1:0]=2’b00，WAIT_ACK 无法输出。

6.2.4 配置指令

6.2.4.1 设置配置

设置配置指令可设定每条指令的空字节数量。该指令支持 SPI 和 SQI 总线协议，时钟频率最高支持 80MHz。

首先通过激活 SCS#来选择 SPI/SQI 从站接口，8-bit SETCFG 指令为 01h，在 SPI 模式下，输入到 SI/SIO[0]引脚，每个时钟一位；在 SQI 模式下，输入到 SIO[3:0]引脚，每个时钟 4 位。

命令字节后跟随数据字节，对于 SPI 模式，从第一个字节的 msb 开始，数据输入到 SI/SIO[0]引脚。对于 SQI 模式，从第一个字节的 msn 开始，数据输入到 SIO[3:0]引脚。剩余的 bits/nibbles 在随后的时钟边沿被移位。当 SCS#输入无效时，结束。

空字节的顺序和默认值如下。每个指令有 3 个值。第一个是在第一个数据字节之前的空字节数；第二个是在双字中的字节之间的空字节数；第三个是在双字之间的空字节数。注意在一条命令的最后一个数据字节之后不再插入（无）空字节。

在 EtherCAT 直接映射模式下，参数值（最小值）应按照章节 6.3 “EtherCAT 直接映射模式”中所述设置。

表 6-3 空字节顺序和默认值

字节顺序	指令	起始 【注 1】	一个双字中 【注 2】	双字之间 【注 3】
		默认值		
SPI				

0	READ cmd:0X03	0【注 3】	-	-
1		-	0	-
2			-	0
3	FASTREAD cmd:0X0B	1	-	-
4		-	0	-
5			-	0
6	SDOR cmd:0X3B	1	-	-
7		-	0	-
8			-	0
9	SDIOR cmd:0XBB	2	-	-
10		-	0	-
11			-	0
12	SQOR cmd:0X6B	1	-	-
13		-	0	-
14			-	0
15	SQIOR cmd:0XEB	4	-	-
16		-	0	-
17		-	-	0
18	WRITE cmd:0X02	0	-	-
19		-	0	-
20			-	0
21	SDDW cmd:0X32	0	-	-
22		-	0	-
23			-	0
24	SDADW cmd:0XB2	0	-	-
25		-	0	-
26			-	0
27	SQDW cmd:0X62	0	-	-
28		-	0	-
29			-	0
30	SQADW cmd:0XE2	0	-	-
31		-	0	-
32			-	0
SQI				
33	FASTREAD	3	-	-

34	cmd:0X0B	-	0	-
35			-	0
36	WRITE cmd:0X02	0	-	-
37		-	0	-
38			-	0

【注 1】指发送寄存器地址和传输数据之间的空字节数，当前的 SIO[3:0]使用的 bit 位数量与发送寄存器地址的 SIO 数量相同。

【注 2】指传输数据双字内部各个字节间的空字节数量，当前 SIO[3:0]使用的 bit 位数量与传输数据的 SIO 数量相同。

【注 3】指传输双字数据之间的空字节数量（各个双字之间），当前 SIO[3:0]使用的 bit 位数量与传输数据的 SIO 数量相同。

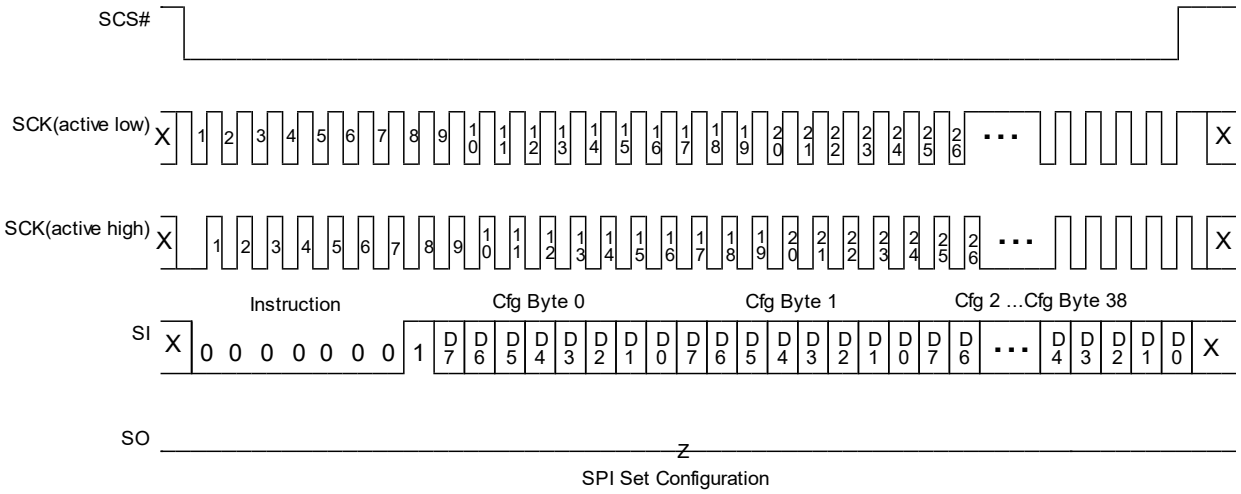


图 6-1 SPI 模式设置配置

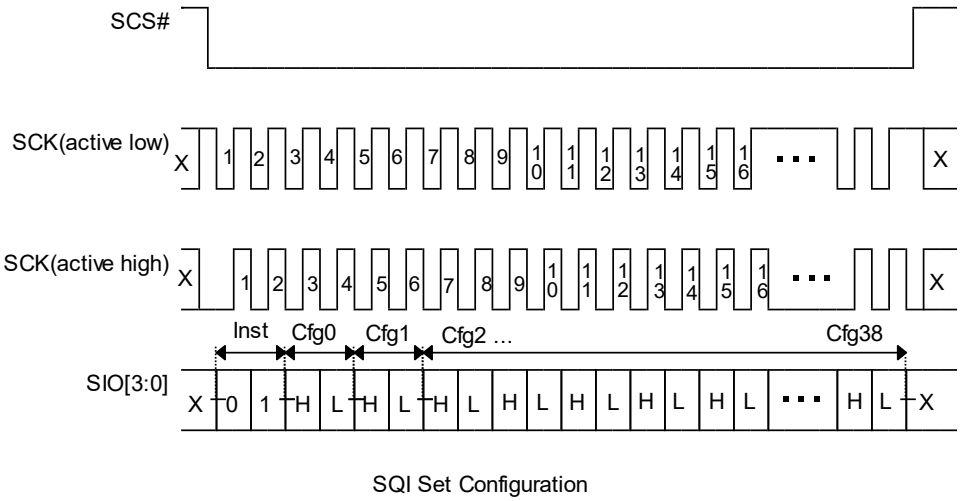


图 6-2 SQI 模式设置配置

6.2.4.2 使能 SQI

使能 SQI 指令只能在 SPI 模式下使用，时钟频率最高支持 80MHz，用于把接口切换为 SQI 模式。一旦进入 SQI 模式，SQI 总线协议不支持该指令。

首先将 SCS#置为有效，选择 SPI 从接口。8 位 EQIO 指令（38h）以每个时钟 1 位的方式输入 SI/SIO[0]引脚。要结束该周期，需将 SCS#输入置为无效。

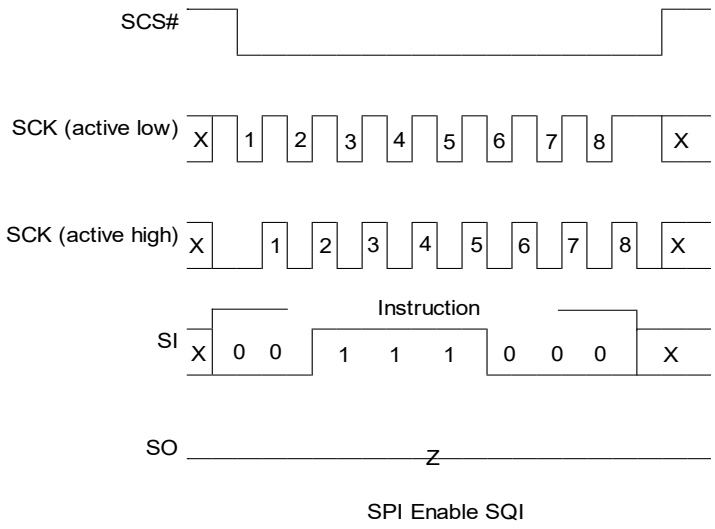


图 6-3 使能 SQI

6.2.4.3 复位 SQI

复位 SQI 指令可将接口从 SQI 模式切回 SPI 模式。该指令时钟频率最高 80MHz。SPI 和 SQI 两种总线协议均支持该指令。

首先将 SCS#置为有效，选择 SPI/SQI 从接口。8 位 RSTQIO 指令（FFh）在 SPI 模式下以每个时钟 1 位的方式输入 SI/SIO[0]引脚，在 SQI 模式下以每个时钟 4 位的方式输入 SIO[3:0]引脚。要结束该周期，需将 SCS#输入置为无效。

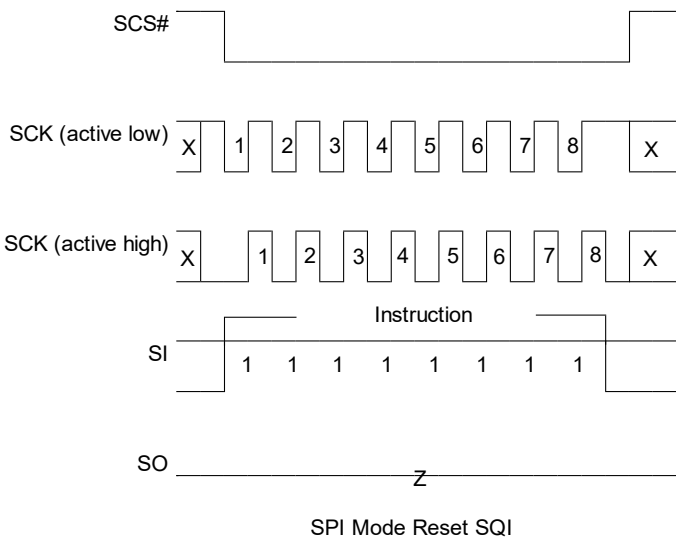


图 6-4 SPI 模式复位 SQI

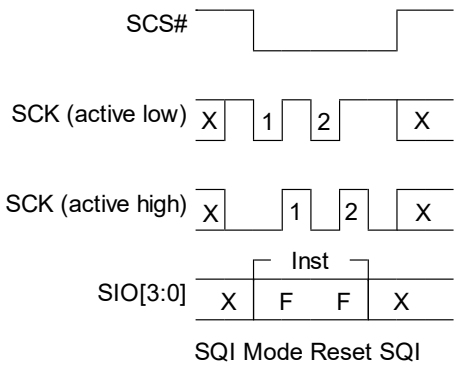


图 6-5 SQI 模式复位 SQI

6.2.5 SPI 读命令

SPI/SQI 从器件支持各种读命令。以下内容适用于所有读命令。

- 多次读操作

当 SCS#有效时，可通过继续提供时钟脉冲来执行除第一次读操作外的其他读操作。地址的高 2 位用于指定自动递增（address[15:14]=01b）或自动递减（address[15:14]=10b）。内部双字地址基于这两位递增、递减或保持不变。保持固定内部地址对于寄存器轮询很有用。

对于当前输出转换结束，地址递增或递减，如果合适的话，并行完成另一个同步操作。

对于多次双字常量地址和自动递增/递减操作如下。注意双字地址保持常数或者它是递增或递减的。在双字内的字节地址一直递增：

Dec/inc=00：常量双字匹配地址

读 4 字节在双字内的递增的字节命令

内部地址重复每个双字。

起始地址：yyyy

内部地址：yyyy

字节地址：	yyyy	+1	+2	+3
第一个数据输出：	valid	valid	valid	valid

内部地址：yyyy

字节地址：	yyyy	+1	+2	+3
第二数据输出：	valid	valid	valid	valid

内部地址：yyyy

字节地址：	yyyy	+1	+2	+3

最终数据输出：	valid	valid	valid	valid

Dec/inc=01：递增双字匹配起始地址

在每个双字中递增的读取 4 字节

内部地址是每 4 个增加一个双字递增

起始地址：yyyy

内部地址：yyyy

字节地址：	yyyy	+1	+2	+3
第一个数据输出：	valid	valid	valid	valid

下一个内部地址：下一个双字

字节地址：	+4	+5	+6	+7
第二数据输出：	valid	valid	valid	valid

下一个内部地址：下一个双字

字节地址：	+8	+9	+10	+11
最终数据输出：	valid	valid	valid	valid

Dec/inc=10：递减的双字匹配起始地址

在每个双字中递增的读取 4 字节

内部地址是每 4 个增加一个双字递减

起始地址：yyyy

内部地址：yyyy

字节地址：	yyyy	+1	+2	+3
第一个数据输出：	valid	valid	valid	valid

下一个内部地址：前一个双字

字节地址：	-4	-3	-2	-1
第二数据输出：	valid	valid	valid	valid

下一个内部地址：前一个双字

字节地址：	-8	-7	-6	-5

内部资料

最终数据输出：	valid	valid	valid	valid

Dec/inc=11：保留

上述规则仅适用于按 4 字节对齐的完整 32 位寄存器访问。若需进行 32 位寄存器的部分字节访问或非 4 字节对齐的寄存器地址操作（在 EtherCAT 直接映射模式），请参考章节 6.3.2.1。

- 读结束

为了避免在内部提前预取超出最终输出数据的额外内容，采用了两种机制来限制预取范围，确保不会读到无用数据。

对于读指令，使用 SI 输入。在最后输出字节期间，SPI 主站必须设置 SI 位高电平（输入字节=FFh），否则器件会误认为还有后续地址，再次产生一次内部预取（读出），可能导致数据异常。

对于其他读指令（FASTREAD，SDOR，SDIOR，SQOR，SQIOR），地址字段之后必须紧跟着给出本次传输的字节长度字段，用于告诉器件要读多少字节。

- 空字节

为了提供充足的时间去获得寄存器的数据（尤其的当从 EtherCAT 直接映射模式下的 EtherCAT Core CSRs and Process RAM 读出的时候）可在命令中插入空字节。空字节的数量可通过设置配置指令分别针对每种读命令类型进行单独配置。

每个指令有三个数值。第一是在第一数据字节之前的空字节数。第二是在双字之内（intra-双字）的空字节数。第三是存在双字之间（inter-双字）的空字节数。注意，在一条命令的最后一个数据字节之后不再插入（无）空字节。

【应用注意 1】双字之间的空字节数量就是第三个配置值本身，不会与第二个配置值累加或并行出现。

【应用注意 2】即使命令使用字节缓冲模式，双字边界适用于所有读命令。如果合适的话，内部空字节数可以设置为相同的。

【应用注意 3】对于读命令，不支持将空字节配置中的第二个参数设为 0，而第三个参数设为非 0 的情况；在这种情形下，通常应将第二、第三两个参数设置为同一数值。

【应用注意 4】按 4 字节对齐的寄存器地址判定依据是最后一次读出的那个字节的地址，而不是累计的字节计数（即并非简单的“每四个字节一次”）。在 EtherCAT 直接映射模式下尤为重要，因为此时的起始地址可能并非是按 4 字节对齐的完整 32 位寄存器地址操作。参考章节 7.3.2.1 的地址说明如何更新地址。

【应用注意 5】空字节的时钟周期因指令的位宽度而变化。

- 特殊 CSR 处理
  - 即时位

由于数据以串行方式读取，因此所选寄存器的值在每次 32 位读操作开始时进行保存，以防止主机读取中间值。多次读序列中将进行多次保存。

6.2.5.1 读

读操作指令以每个时钟 1 位的方式输入指令代码、地址字节以及可能的起始空字节，并以每个时钟 1 位的方式输出数据。该指令仅在 SPI 总线协议下可用，时钟频率最高支持 30MHz。SQI 总线协议不支持该指令。

首先将 SCS#置为有效，选择 SPI 从接口。8 位 READ 指令（03h）输入到 SI/SIO[0]引脚，其后跟两个地址字节并且 0-255 的空字节。地址字节用于指定器件内的字节地址。

在最后一个地址位或空字节的时钟下降沿，SO/SIO[1]引脚的输出方式为：所选寄存器的低字节先传，且每个字节的高 bit 在前的方式。寄存器的其余 bit 位在后续的时钟下降沿处输出。对于多字节的寄存器，下一个字节同之前字节输出方式。对于多个寄存器的读操作，下一个寄存器的第一位在之前字节或者空字节的最后位输出。

为了避免模块把下一个地址的数据提前预取（读出）进来，主机必须在 SI 脚上给出明确的结束标志。当最后一个输出字节正在移出时，主机必须把 SI 拉高（输入字节 = FFh）。除最后一个输出字节外，主机的 SI 必须保持低电平（输入字节 = 00h）。如果主机未在最后字节期间拉高 SI，模块会误以为自己还要读下一个地址，从而触发内部预取（读出），可能导致当前数据丢失或出错。

要结束该周期，需将 SCS#输入置为无效。此时 SO/SIO[1]引脚被置为高阻态。

图 6-6 和图 6-7 给出了单个寄存器读操作和多个寄存器读操作的典型图示。分别为一个双字寄存器读出和多个双字寄存器读出。最后的双字之后不再加任何空字节。部分双字寄存器读操作在读完最后一个数据字节之后立即结束没有后续空字节。多次寄存器读操作同样没有空字节。

【应用注意】一个空字节配置，他有第二个参数（intra-双字）等于 0 和第三个不支持不等于 0 的参数（intra-双字）。通常情况下常第二和第三参数是相同的数值。

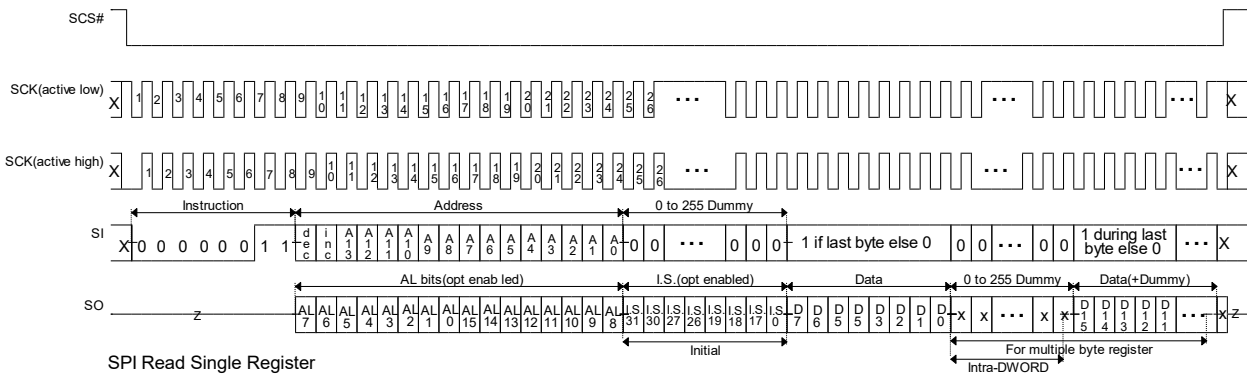


图 6-6 SPI READ Single Register

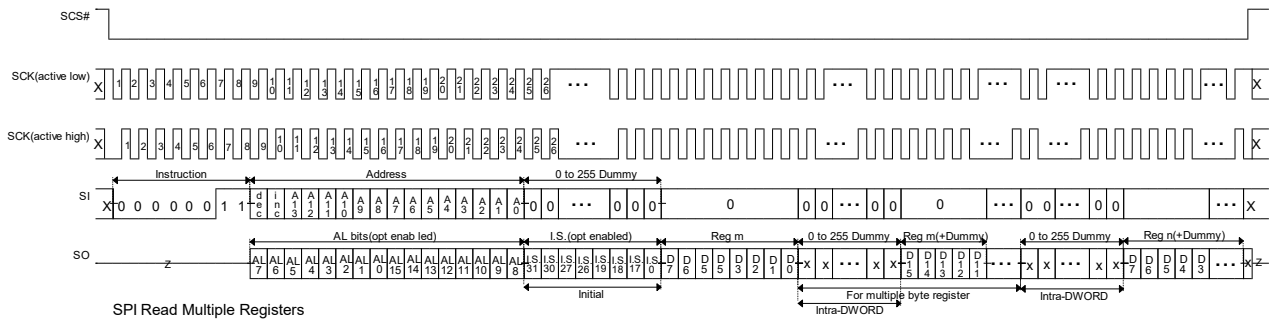


图 6-7 SPI READ Multiple Registers

【注意】FCE132X 与 FCE135X 在使用 SPI 接口时存在差异，情况如下。

FCE135X 使用 SPI 接口时，将指令设置为普通读（0x03）对 0x3xxx 区域的访问为 32 位访问。

FCE132X 使用 SPI 接口时，将指令设置为普通读（0x03）对 0x3xxx 区域的访问为 8 位访问。

例：指令为普通读（0x03），设 0x3064 作为寄存器地址时访问的寄存器地址如下：

FCE135X 内部地址变化（仅作理解参考）

Dec/inc=00：地址保持不变

访问寄存器的地址依次为 0x3064、0x3064+1、0x3064+2、0x3064+3、0x3064、0x3064+1、0x3064+2、0x3064+3，以此类推。

Dec/inc=01：自动递增

访问寄存器的地址依次为 0x3064、0x3064+1、0x3064+2、0x3064+3、0x3068、0x3068+1、0x3068+2、0x3068+3，以此类推。

Dec/inc=10：自动递减

访问寄存器的地址依次为 0x3064、0x3064+1、0x3064+2、0x3064+3、0x3060、0x3060+1、0x3060+2、0x3060+3，以此类推。

FCE132X 内部地址变化（仅作理解参考）

Dec/inc=00：地址保持不变

访问寄存器的地址固定 0x3064（后续访问地址恒为此地址）

Dec/inc=01：自动递增

访问寄存器的地址依次为 0x3064、0x3064+1、0x3064+2、0x3064+3、0x3064+4、0x3064+5、0x3064+6、0x3064+7，以此类推。

Dec/inc=10：自动递减

访问寄存器的地址依次为 0x3064、0x3064-1、0x3064-2、 0x3064-3、0x3064-4、0x3064-5、0x3064-6、0x3064-7，以此类推。

6.2.5.2 快速读操作

以较高速度进行读操作指令以每个时钟 1 位的方式输入指令代码、地址、传输长度和起始空字节，并以每个时钟 1 位的方式输出数据并且每个时钟 1 位的方式输出随后的空字节。在 SQI 模式下，以每个时钟 4 位的方式输入指令代码、地址、传输长度和起始空字节，并以每个时钟 4 位的方式输出数据并且每个时钟 4 位的方式输出随后的空字节。该指令在 SPI 和 SQI 两种总线协议下均受支持，最高时钟频率可达 80MHz。

首先将 SCS#置为有效，选择 SPI/SQI 从接口。对于 SPI 模式，8 位 FASTREAD 指令（0Bh）输入到 SI/SIO[0]引脚，其后跟 2 个地址字节、1 或 2 个传输长度字节、1 到 255 的空字节。对于 SQI 模式， 8 位 FASTREAD 指令输入到 SIO[3:0]引脚，其后跟 2 个地址字节、1 或 2 个传输长度字节以及 3 到 255 空字节。地址字节用于指定器件内的字节地址。传输长度字节指定在字节内的数据字节并且传输长度字节不包括任何空字节。长度为 7 位（最大 127B）或 14 位（最大 16383B）。

在最后一个空位（或半字节）的上升沿后的时钟下降沿，SO/SIO[1]引脚将以所选寄存器的 LSB 的 msb 在前的方式驱动。对于 SQI 模式，SIO[3:0]将以所选寄存器的 LSB 的 msn 在前的方式驱动。对于对齐的非双字在前的地址，1 到 3 个填补字节（可能是每个填补字节的空字节）发生在数据字节之前。填补字节不会被记在传输长度上。

剩下的寄存器位被随后的下降沿移出。对于多个字节寄存器，下一个字节跟在在前字节或空字节的最后一位后面。对于多个寄存器读操作，下一个寄存器的第一位跟在字节或在前空字节的最后一位后面。

要结束该周期，需将 SCS#输入置为无效。此时，SO/SIO[3:0]引脚被置为高阻态。

图 6-8 和图 6-9 说明了对于 SPI 模式的典型单个寄存器的快速读操作和多次寄存器的快速读操作。图 6-10 和图 6-11 对于 SQI 模式的典型单一寄存器的快速读操作和多次寄存器的快速读操作。传输长度段可能是 1 个或者 2 个字节。显示一个起始地址为 4 字节对齐的 32 位寄存器。最后一个双字读完后不再附加（无）空字节。也可以进行部分双字寄存器读取：在最后一个有效数据字节结束后即终止，不再追加空字节。此外，部分双字读取还可以从非 4 字节对齐的地址开始。

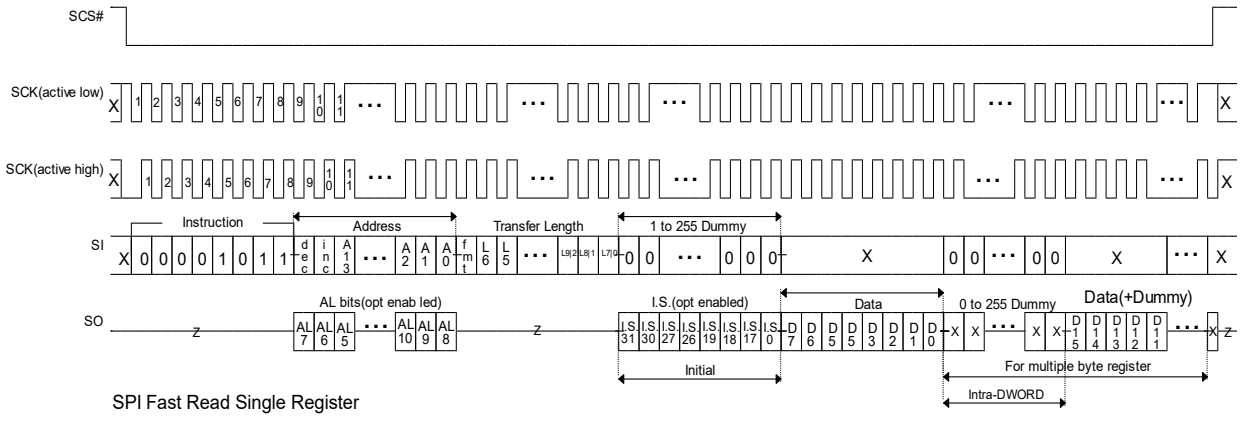


图 6-8 SPI FAST READ Single Register

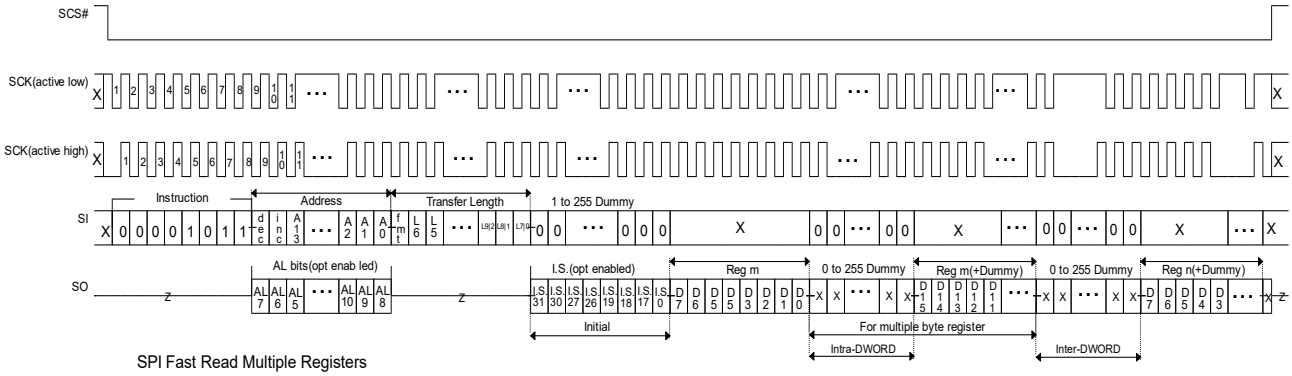


图 6-9 SPI FAST READ Multiple Registers

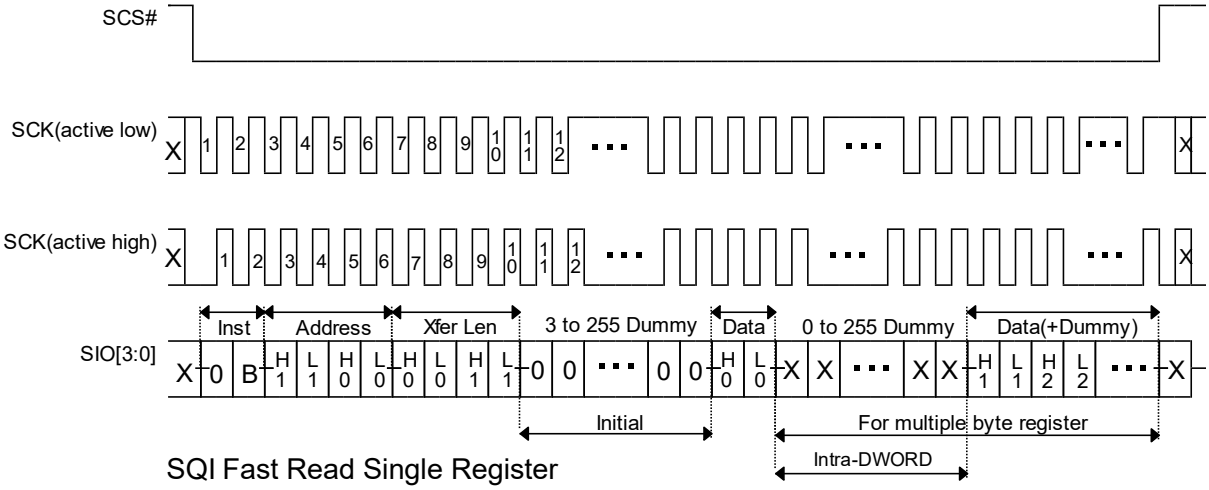


图 6-10 SQI FAST READ Single Register

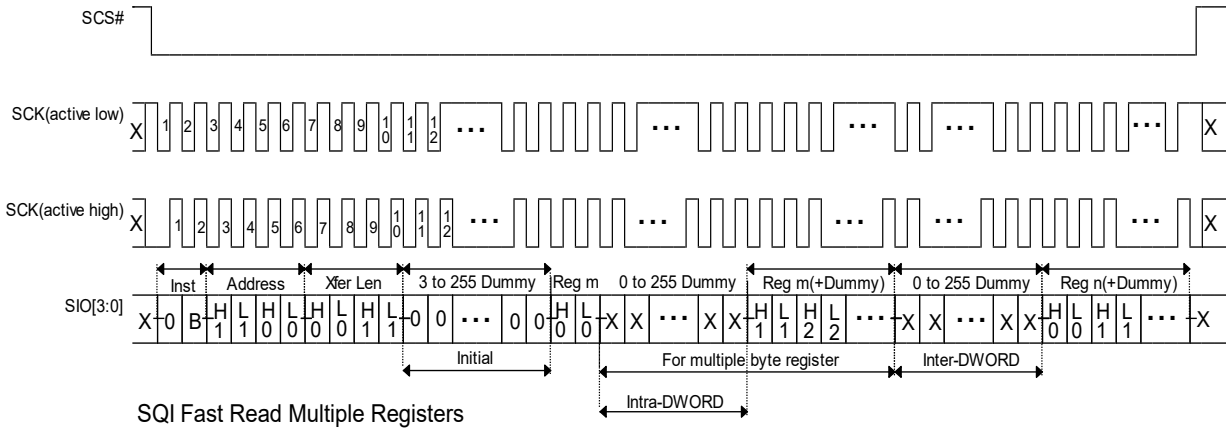


图 6-11 SQI FAST READ Multiple Registers

6.2.5.3 双输出读操作

SPI 双输出读操作指令以每个时钟 1 位的方式输入指令代码、地址、传输长度和起始空字节，并以每个时钟 2 位的方式输出数据和随后的空字节。该指令仅在 SPI 总线协议下可用，时钟频率最高支持 80MHz。不支持 SQI 总线协议。

首先将 SCS#置为有效，选择 SPI 从接口。8 位 SDOR 指令（3Bh）输入到 SIO[0]引脚，其后跟 2 个地址字节、1 或 2 个转换长度字节以及 1-255 的空字节。地址字节用于指定器件内的字节地址。传输长度字节指定了字节里的数据长度并且不包括任何空字节。传输长度为 7 位（最大 127B）或 14 位（最大 16383B）。

在最后一个空双位的上升沿后的时钟下降沿，SIO[1:0]引脚将以所选寄存器的 LSB 的 msb 开始驱动。对非 4 字节对齐的起始地址，会插入 1 - 3 个填充字节（每字节后还可能跟空字节）来完成对齐。这些填充字节不计入传输长度，仅用于地址调整。

剩余寄存器数据以两位为一组，在后续每个下降沿继续移出。多字节寄存器，当前字节的最后两位（或其后空字节）结束后，立即输出下一字节的最高两位。连续寄存器读取，前一寄存器的最后两位（或其后空字节）结束后，立即开始输出下一寄存器的最高两位。

要结束该周期，需将 SCS#输入置为无效。此时，SIO[1:0]引脚被置为高阻态。

图 6-12 和图 6-13 说明了一个典型的单一寄存器和多倍寄存器双输出读操作。传输长度段可能是 1 个或 2 个字节。显示一个从 4 字节对齐地址开始，完整读完 4 字节后不再追加空字节。也可以只读部分双字，读完最后一个有效字节即结束；若起始地址非 4 字节对齐，同样支持，但会在首个数据前插入 1-3 填充字节（不计入长度）。

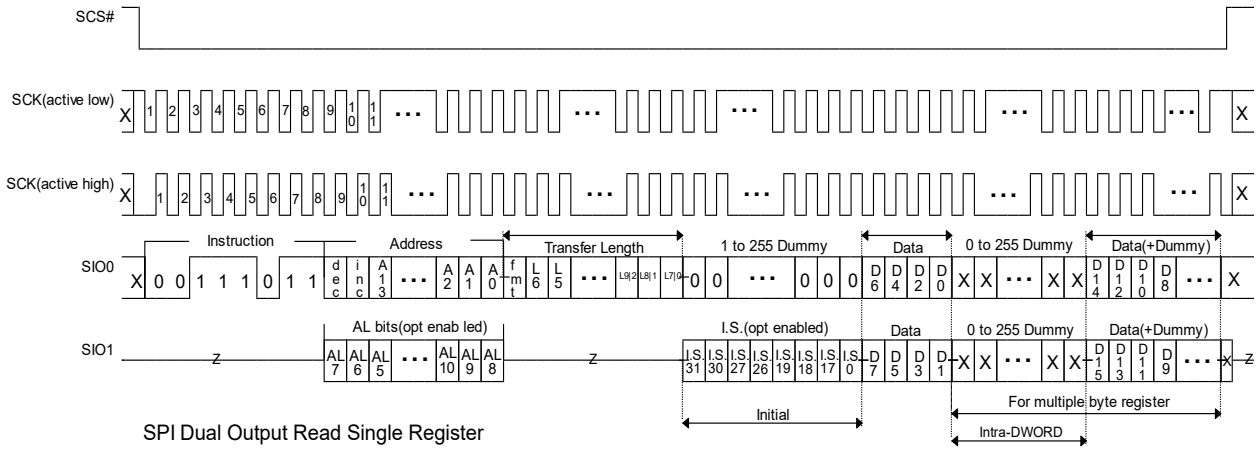


图 6-12 SPI DUAL OUTPUT READ Single Register

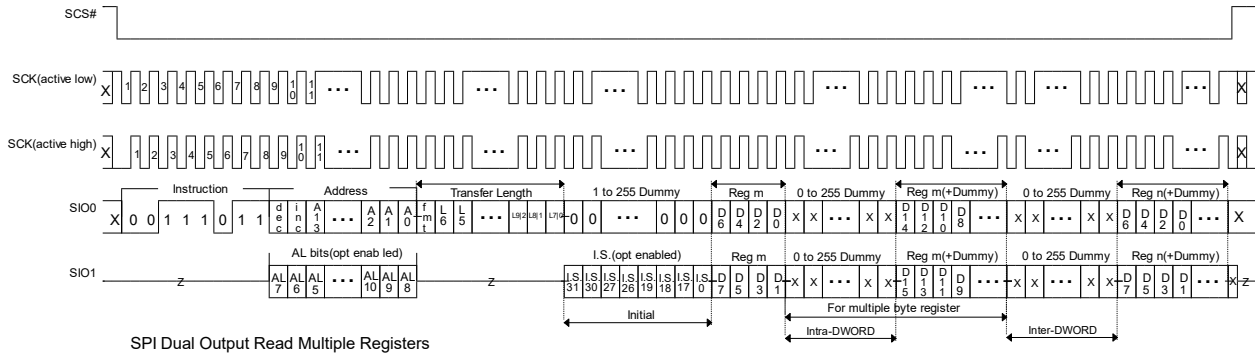


图 6-13 SPI DUAL OUTPUT READ Multiple Registers

6.2.5.4 四输出读操作

SPI 四输出读操作指令以每个时钟 1 位的方式输入指令代码、地址、传输长度和起始空字节，并以每个时钟 4 位的方式输出数据、每个时钟 4 位的方式输出随后的空字节。该指令仅在 SPI 总线协议下可用，时钟频率最高支持 80MHz。不支持 SQI 总线协议。

首先将 SCS#置为有效，选择 SPI 从接口。8 位 SQOR 指令（6Bh）输入到 SIO[0]引脚，其后跟 2 个地址字节、1 个或 2 个传输地址字节以及 1-255 的空字节。地址字节用于指定器件内的字节地址。传输长度字节指定在字节内的数据字节 并且传输长度字节不包括任何空字节。长度为 7 位（最大 127B）或 14 位（最大 16383B）。

在最后一个空双位的上升沿后的时钟下降沿，SIO[1:0]引脚将以所选寄存器的 LSB 的 msb 在前的方式驱动。如果起始地址未按 4 字节对齐，则在真正数据字节之前会先插入 1 - 3 个填充字节（每个填充字节后还可能跟相应的空字节）。这些填充字节不计入传输长度字段。

其余寄存器双位在后续的时钟下降沿移出。对于多个字节寄存器，下一个字节遵循前一个字节或空字节。对于多个寄存器读操作，下一个寄存器的第一位遵循前一个寄存器或在前空字节的最后一位后面。

要结束该周期，需将 SCS#输入置为无效。此时，SIO[3:0]引脚被置为高阻态。

图 6-14 和图 6-15 说明了一个典型的单一寄存器和多次寄存器四输出读操作。传输长度段可能是 1 个或 2 个字节。显示一个 4 字节对齐的双字寄存器。最后的双字数据后不会追加空字节。部分双字寄存器读操作也可能在最后一个数据字节之后结束，而没有追加空字节。起始地址若不是 4 字节对齐，同样不会追加空字节，但会在真正数据前插入 1 - 3 个对齐填充字节（不计入传输长度）。

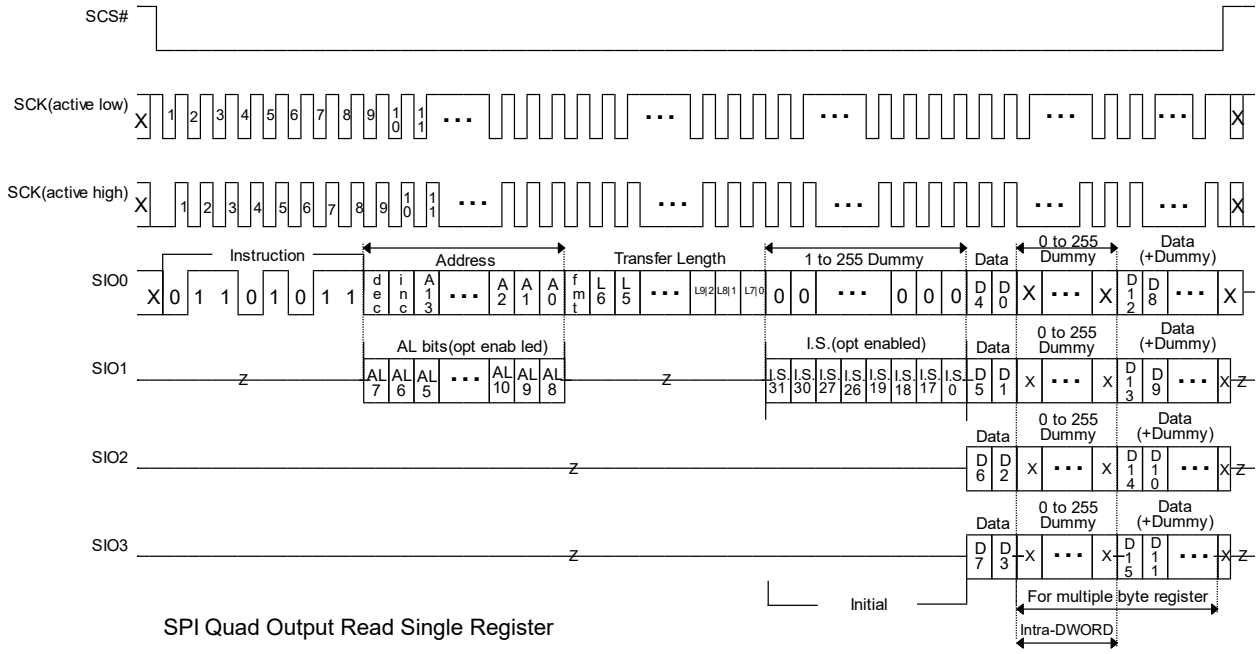


图 6-14 SPI QUAD OUTPUT READ Single Register

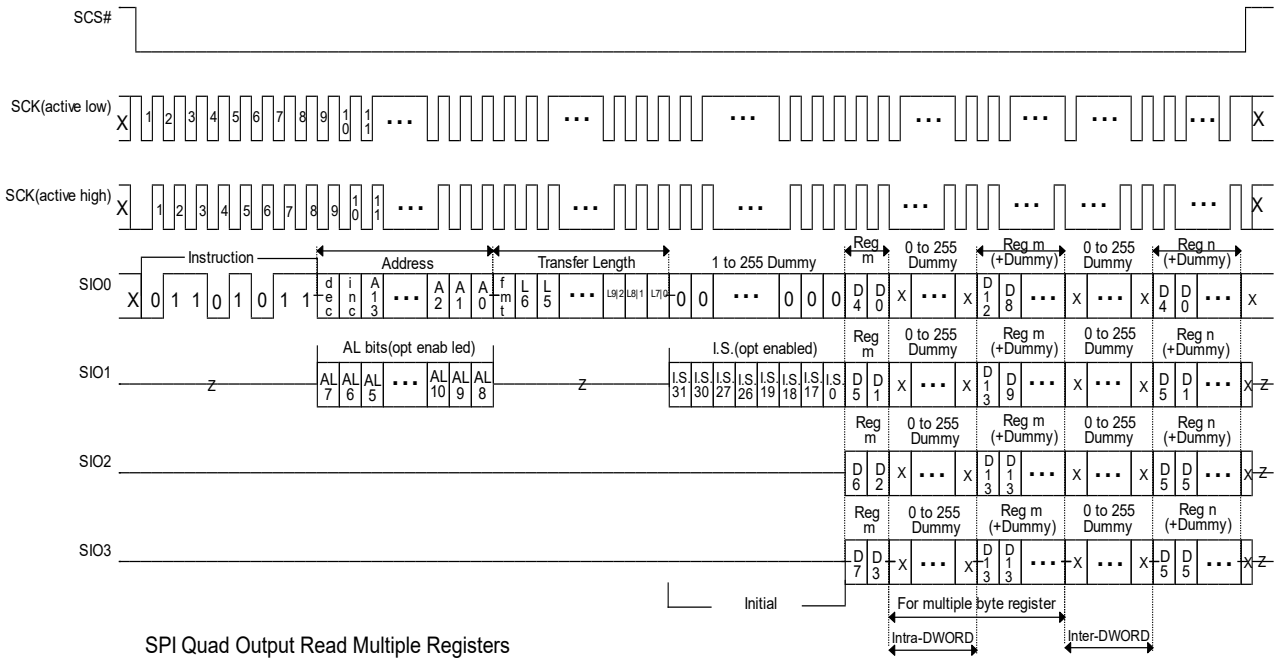


图 6-15 SPI QUAD OUTPUT READ Multiple Registers

6.2.5.5 双 I/O 读操作

SPI 双 I/O 读操作指令以每个时钟 1 位的方式从 SI/SIO0 串行输入指令代码，地址、传输长度及初始空字节均以每个时钟 2 位并行输入 SIO[1:0]。并以每个时钟 2 位的方式输出数据和随后的空字节。仅在 SPI 总线协议下可用，时钟频率最高支持 80MHz；不支持 SQI 总线协议。

首先将 SCS#置为有效，选择 SPI 从接口。8 位 SDIOR 指令（BBh）输入到 SIO[0]引脚，其后跟的 2 个地址字节、1 或 2 个传输长度字节以及 2-255 的空字节输入到 SIO[1:0]引脚。地址字节用于指定器件内的字节地址。传输长度字节指定在字节内的数据字节 并且传输长度字节不包括任何空字节。长度为 7 位（最大 127 B）或 14 位（最大 16383B）。

在最后一个空双位的上升沿后的时钟下降沿，SIO[1:0]引脚将以所选寄存器的 LSB 的 msb 在前的方式驱动。如果起始地址未按 4 字节对齐，则在真正数据字节之前会先插入 1 - 3 个填充字节（每个填充字节后还可能跟相应的空字节）。这些填充字节不计入传输长度字段。

其余寄存器双位在后续的时钟下降沿移出。对于多个字节寄存器，下一个字节遵循前一个字节或空字节的最后一位后面。对于多个寄存器读操作，下一个寄存器遵循前一位字节或在前空字节的最后一位后面。

要结束该周期，需将 SCS#输入置为无效。此时，SIO[1:0]引脚为高阻态。

图 6-16 和图 6-17 说明了一个典型的单一寄存器和多倍寄存器双 I/O 读操作。传输长度段可能是 1 个或 2 个字节。显示一个从 4 字节对齐地址开始，一次读完完整双字。最后一个双字数据后不再追加空字节。也支持部分双字读取，只需读 1 - 3 字节时，读完最后一个有效字节即结束，同样没有后续空字节。起始地址若非 4 字节对齐，同样没有后续空字节。但会在真正数据前插入 1 - 3 个对齐填充字节（不计入传输长度）。

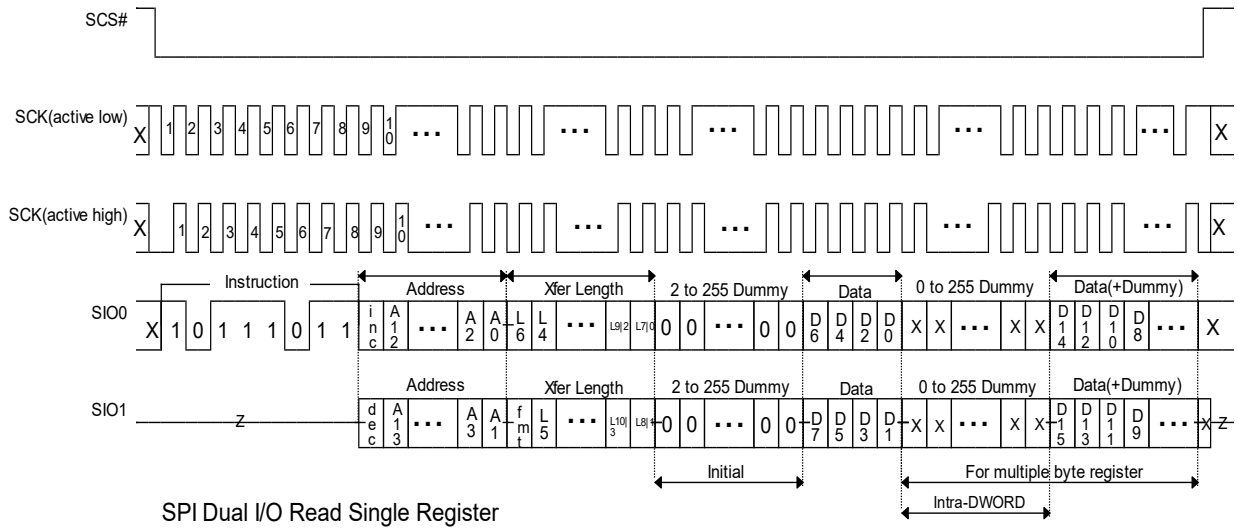


图 6-16 SPI DUAL I_O READ Single Register

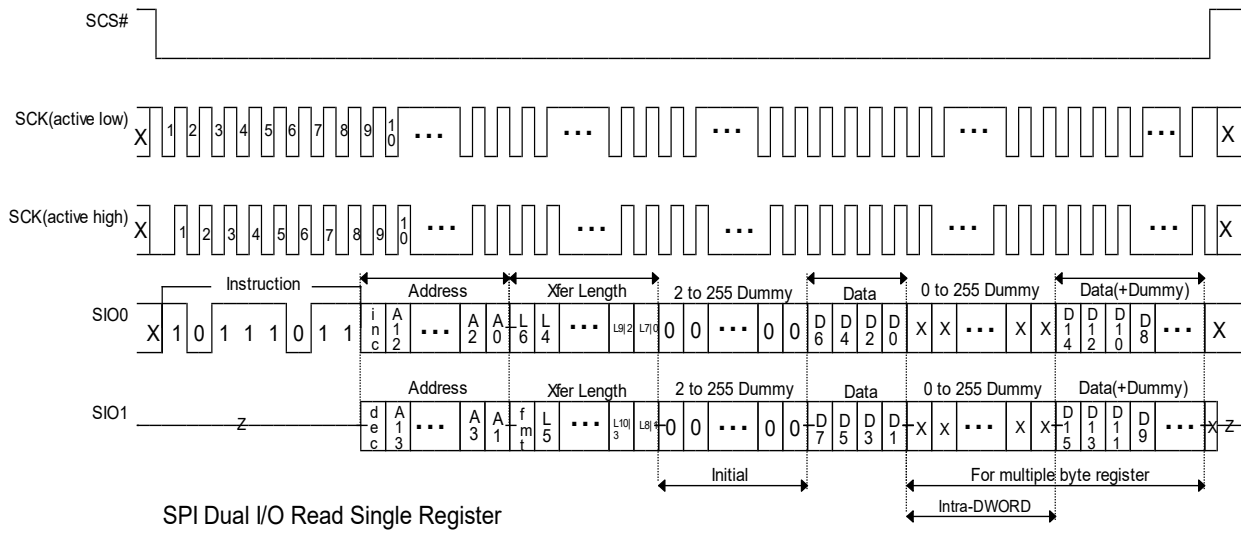


图 6-17 DUAL I_O READ Multiple Registers

6.2.5.6 四 I/O 读操作

SPI 四 I/O 读操作指令以每个时钟 1 位的方式输入指令代码，以每个时钟 4 位的方式输入地址、传输长度以及起始空字节，并以每个时钟 4 位的方式输出数据和随后的空字节。仅在 SPI 总线协议下有效，时钟频率最高支持 80MHz。SQI 总线协议不支持该指令。

首先将 SCS#置为有效，选择 SPI 从接口。8 位 SQIOR 指令（EBh）输入到 SIO[0]引脚，其后跟的 2 个地址字节、1 或 2 个传输长度字节以及 4-255 个空字节输入到 SIO[3:0]引脚。地址字节用于指定器件内的字节地址。传输长度字节指定在字节内的数据字节 并且传输长度字节不包括任何空字节。长度为 7 位（最大 127B）或 14 位（最大 16383B）。

在最后一个空双位的上升沿后的时钟下降沿，SIO[1:0]引脚将以所选寄存器的 LSB 的 msb 在前的方式驱动。如果起始地址未按 4 字节对齐，则在真正数据字节之前会先插入 1 - 3 个填充字节（每个填充字节后还可能跟相应的空字节）。这些填充字节不计入传输长度字段。

其余寄存器双位在后续的时钟下降沿移出。对于多个字节寄存器，下一个字节遵循前一个字节或空字节的最后一位后面。对于多个寄存器读操作，下一个寄存器遵循前一个字节或在前空字节的最后一位后面。

要结束该周期，需将 SCS#输入置为无效。此时，SIO[1:0]引脚为高阻态。

图 6-18 和图 6-19 说明了一个典型的单一寄存器和多倍寄存器四 I/O 读操作。传输长度段可能是 1 个或 2 个字节。显示一个 4 字节对齐寄存器，一次读完完整双字，最后一个双字数据后不再追加 空字节。也支持部分双字读取，读完最后一个所需字节即结束，同样没有后续空字节。起始地址若非 4 字节对齐，同样没有后续空字节。但在真正数据之前会插入 1 - 3 个对齐填充字节（不计入传输长度）。

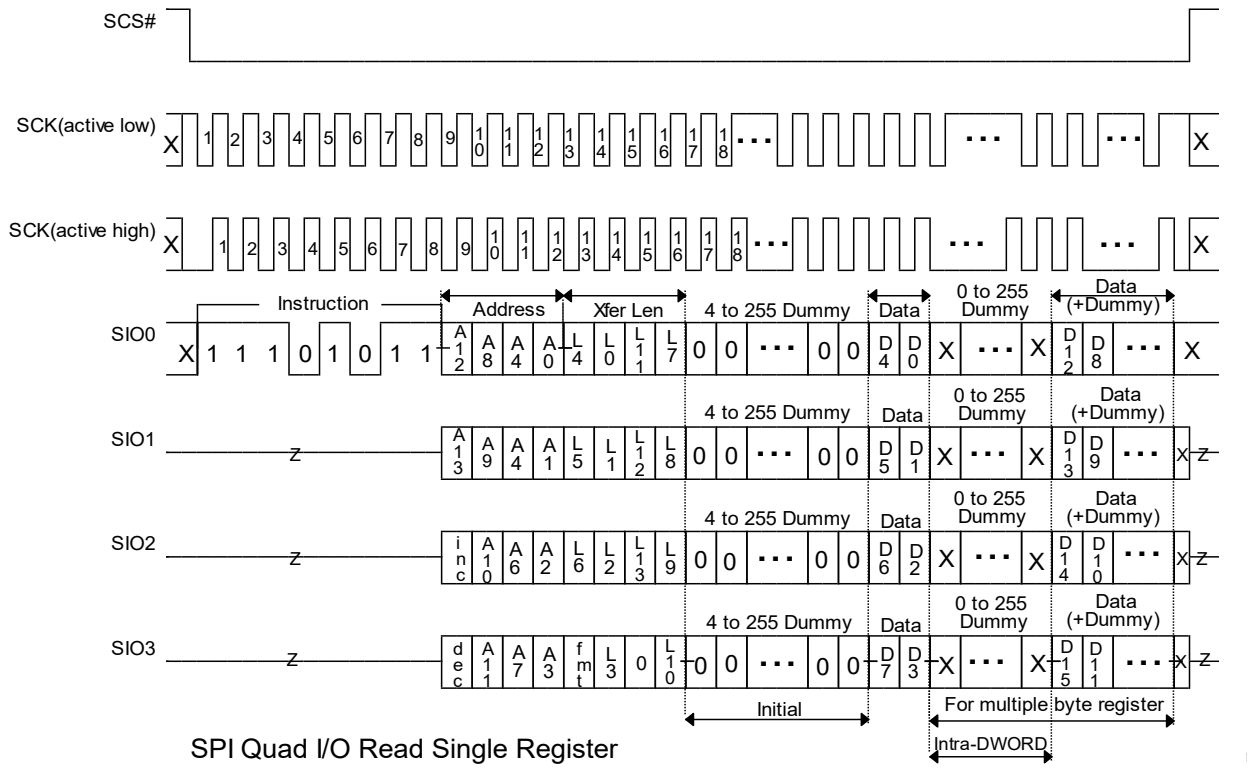


图 6-18 SPI QUAD I_O READ Single Register

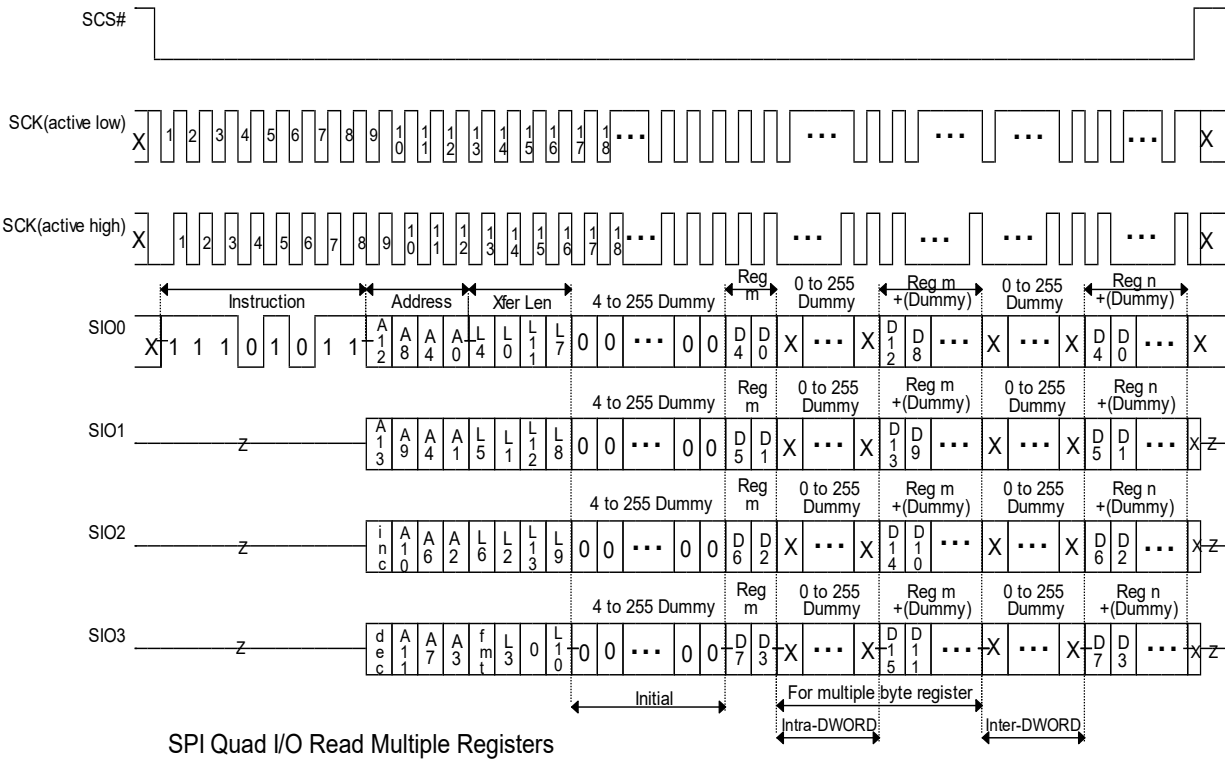


图 6-19 SPI QUAD I_O READ Multiple Registers

6.2.6 SPI 写命令

SPI/SQI 从器件支持各种写命令。以下内容适用于所有写命令。

多次写操作

当 **SCS#**有效时，可通过继续提供时钟脉冲和输入数据来执行多次写操作。地址的高 2 位用于指定自动递增（address[15:14]=01b）或自动递减（address[15:14]=10b）。内部双字地址基于这两位递增、递减或保持不变。保持固定（内部）地址可用于对同一寄存器反复写入（bit-banging 等场景）。

对于多个双字的连续访问，固定地址或自动递增/递减的操作方式如下。双字地址保持固定或被递增/递减。双字内部的字节地址始终递增：

Dec/inc=00：常量双字匹配地址

在双字中写入 4 个字节，增加字节顺序

内部地址每双字重复。

起始地址：yyyy

内部地址：yyyy

字节地址：	yyyy	+1	+2	+3
第一个数据输入：	valid	valid	valid	valid

内部地址：yyyy

字节地址：	yyyy	+1	+2	+3
第二数据输入：	valid	valid	valid	valid

内部地址：yyyy

字节地址：	yyyy	+1	+2	+3
最终数据输入：	valid	valid	valid	valid

Dec/inc=01：递增双字匹配起始地址

在每个双字中写入 4 个字节，以增加字节顺序

内部地址分别增加 4 个双字

起始地址：yyyy

内部地址：yyyy

字节地址：	yyyy	+1	+2	+3
第一个数据输入：	valid	valid	valid	valid

内部资料

下一个内部地址：下一个双字

字节地址：	+4	+5	+6	+7
第二数据输入：	valid	valid	valid	valid

下一个内部地址：下一个双字

字节地址：	+8	+9	+10	+11
最终数据输入：	valid	valid	valid	valid

Dec/inc=10：减少的双字匹配开始地址

在每个双字中写入 4 个字节，以增加字节顺序

内部地址通过 4 个双字减少

起始地址：yyyy

内部地址：yyyy

字节地址：	yyyy	+1	+2	+3
第一个数据输入：	valid	valid	valid	valid

下一个内部地址：之前的双字

字节地址：	-4	-3	-2	-1
第二数据输入：	valid	valid	valid	valid

下一个内部地址：之前的双字

字节地址：	-8	-7	-6	-5
最终数据输入：	valid	valid	valid	valid

Dec/inc=11：保留

上述规则仅适用于 4 字节对齐寄存器、且一次性写入完整双字的情况。若需要在 EtherCAT 直接映射模式下进行部分双字写入或起始地址非 4 字节对齐的操作，请参见章节 6.3.2.2 专门说明。

- 空字节

为了给模块充足的时间去处理寄存器的数据（尤其是向 EtherCAT 直接映射模式下的 EtherCAT Core CSRs and Process RAM 写入的时候），可在命令中插入空字节。空字节的数量可通过 Set Configuration 指令分别针对每种写命令类型进行单独配置。

每条指令对应的空字节顺序及其默认值如下。每条指令有三个数值。第一个值是在第一个有效数据字节之前的需要插入的空字节数量。第二个值是位于双字内部每个字节之间的空字节数量。第三个值是位于不同双字之间的空字节数量。注意，在一条命令的最后一个数据字节之后不再插入空字节。

【应用注意 1】在双字之间的空字节数是严格的第三配置值，它并不会外加或带着一个使用第二配置值的空字节计数。

内部资料

【应用注意 2】即使命令使用字节缓冲模式，双字边界适用于所有写命令。如果合适的话，内部和之间的空字节数可以设置为相同的。

【应用注意 3】在 EtherCAT 直接映射模式下对于 EtherCAT Core 访问使用字节缓冲模式，这是一个空字节配置，它的第二参数（intra-DWORD）等于零并且第三参数（inter-DWORD）不等于零是不被支持的。正常来说在这个情况下这第二第三参数是相同的。

【应用注意 4】按 4 字节对齐的寄存器地址判定依据是最后一次读出的那个字节的地址，而不是累计的字节计数（即并非简单的“每四个字节一次”）。在 EtherCAT 直接映射模式下尤为重要，因为此时的起始地址可能并非是按 4 字节对齐的完整 32 位寄存器地址操作。参考章节 7.3.2.2 节的地址说明如何更新地址。

【应用注意 5】变化的空字节时钟周期数取决于指令的位宽度。

6.2.6.1 写

写操作指令以每个时钟 1 位的方式输入指令代码、地址、可能的起始空字节、数据和任意后续的空字节。在 SQI 模式下，以每个时钟 4 位的方式输入指令代码、地址和可能的起始空字节和数据字节。该指令在 SPI 与 SQI 两种总线协议下均受支持，最高时钟频率可达 80MHz。

首先将 SCS#置为有效，选择 SPI/SQI 从接口。对于 SPI 模式，8 位 WRITE 指令（02h）输入到 SI/SIO[0]引脚，其后跟 2 个地址字节和 0 到 255 个空字节。对于 SQI 模式，8 位 WRITE 指令（02h）输入到 SIO[3:0]引脚，其后跟 2 个地址字节和 0 到 255 个空字节。地址字节用于指定器件内的字节地址。

地址字节后跟数据。对于 SPI 模式，数据以 LSB 的 msb 在前的方式输入到 SI/SIO[0]引脚。对于 SQI 模式，以 LSB 的 msn 在前的方式向 SIO[3:0]输入半字节宽的数据。其余位/半字节在后续的时钟边沿移入。

在 EtherCAT 直接映射模式下，对 EtherCAT Core CSRs 和 Process RAM 的写操作，可按字节 或 完整双字操作后立即生效。对 non-EtherCAT Core CSRs 的写操作仍需 4 字节对齐。若只写部分双字，寄存器值可能被破坏。

要结束该周期，需将 SCS#输入置为无效。

图 6-20 和图 6-21 给出了 SPI 模式下单次寄存器写操作和多次寄存器写操作的典型图示。图 6-22 和图 6-23 给出了 SQI 模式下单次寄存器写操作和多次寄存器写操作的典型图示。显示一个以 4 字节对齐的完整 32 位寄存器，最后一个双字写完后不再附加空字节。也可以执行部分双字写入，写完最后一个所需字节即结束，同样不再追加空字节。此外，部分 双字写入可从非 4 字节对齐的起始地址开始。

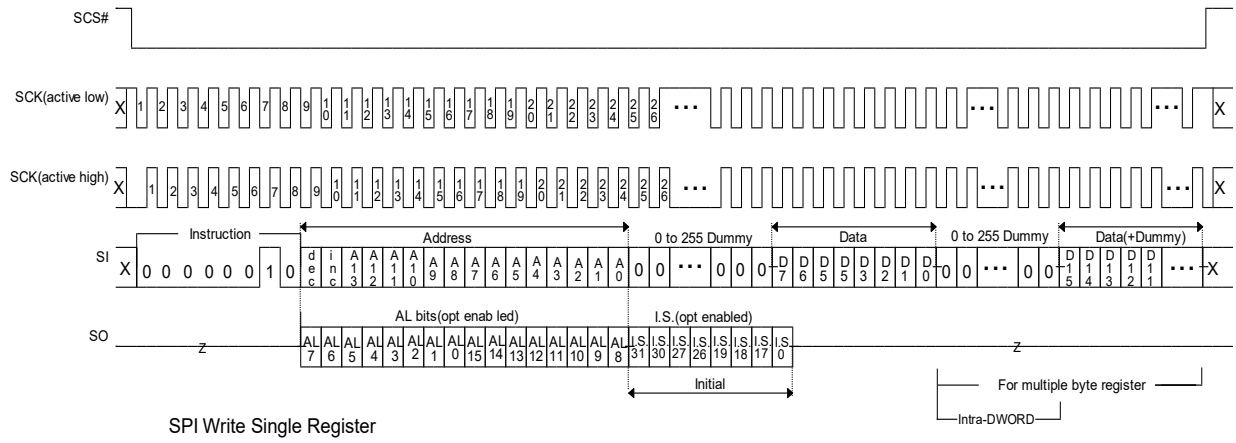


图 6-20 SPI WRITE Single Register

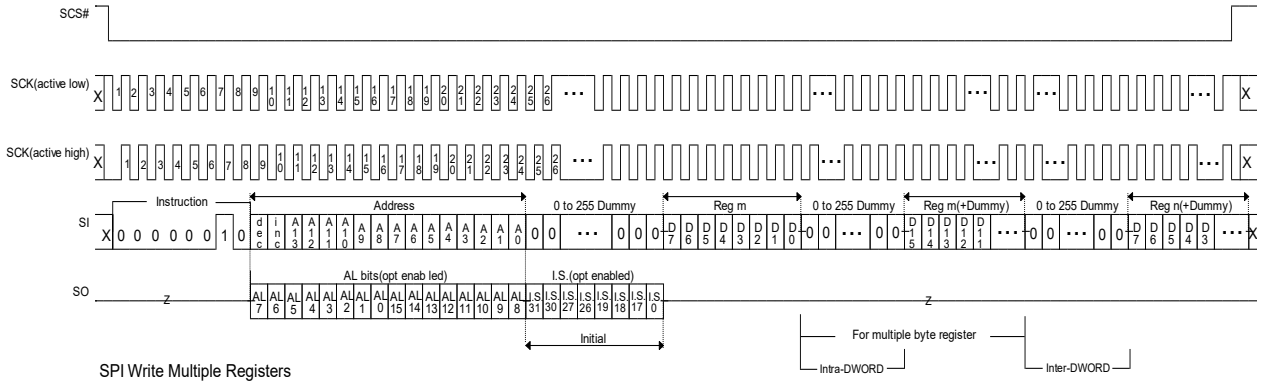


图 6-21 SPI WRITE Multiple Registers

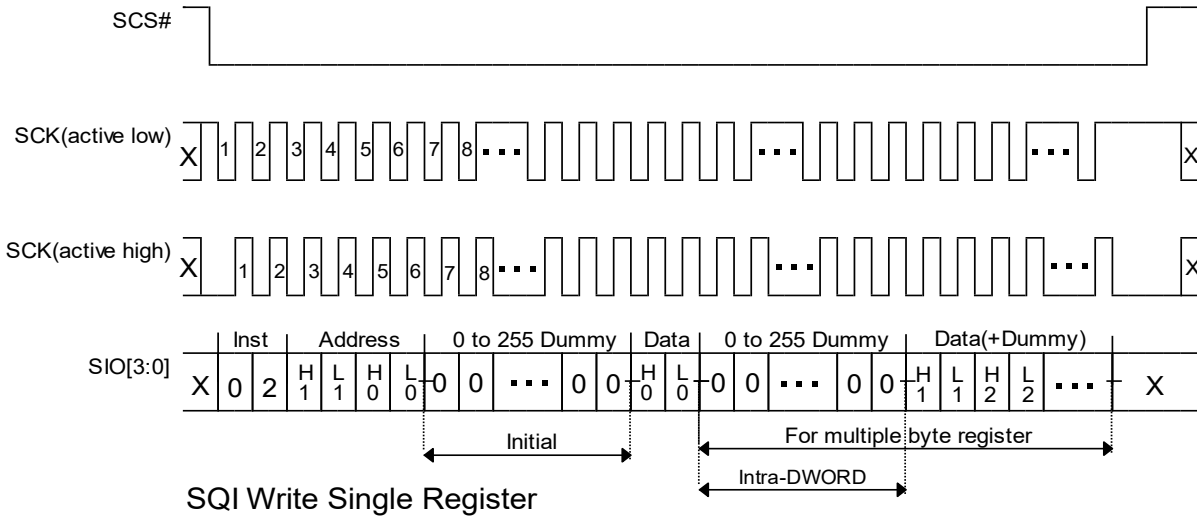


图 6-22 SQI WRITE Single Register

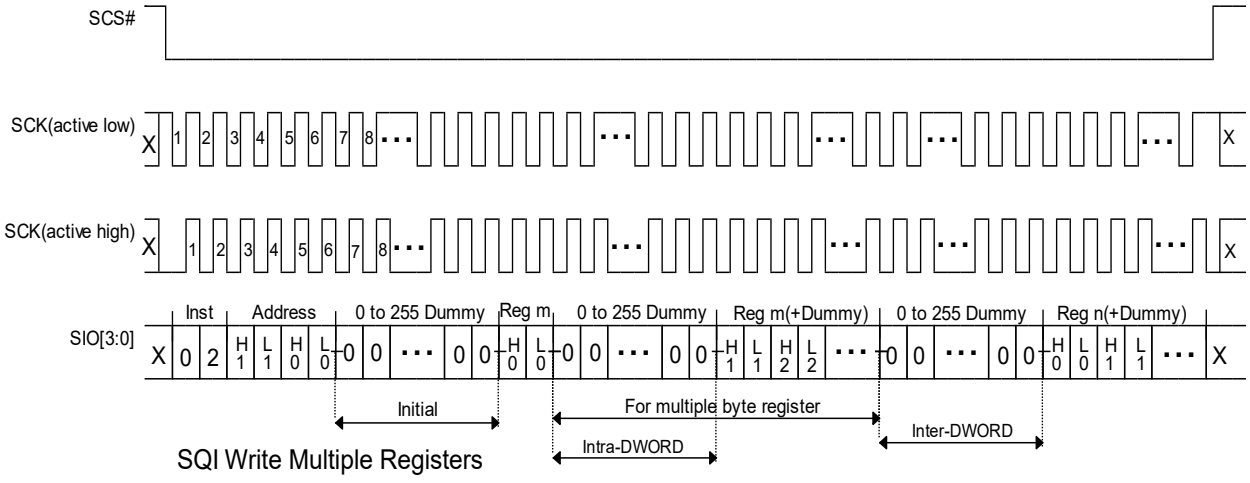


图 6-23 SQI WRITE Multiple Registers

【注意】FCE132X 与 FCE135X 在使用 SPI 接口时存在差异，具体参考章节 6.2.5.1“读”的注意事项。

6.2.6.2 双数据写操作

SPI 双数据写操作指令以每个时钟 1 位的方式输入指令代码和地址和可能的起始空字节，并以每个时钟 2 位的方式输入数据和任意后续的空字节。指令仅在 SPI 总线协议下可用，时钟频率最高支持 80MHz；不支持 SQI 总线协议。

首先将 SCS#置为有效，选择 SPI 从接口。8 位 SDDW 指令（32h）输入到 SIO[0]引脚，其后跟两个地址字节和 0 到 255 个空字节。地址字节用于指定器件内的字节地址。

地址字节后跟数据。数据以 LSB 的 msb 在前的方式输入到 SIO[1:0]引脚。其余双位在后续的时钟边沿移入。

在 EtherCAT 直接映射模式下，对 EtherCAT Core CSRs 和 Process RAM 的写操作，可按字节 或 完整双字操作后立即生效。对 non-EtherCAT Core CSRs 的写操作仍需 4 字节对齐。若只写部分双字，寄存器值可能被破坏。

要结束该周期，需将 SCS#输入置为无效。

图 6-24 和图 6-25 给出了单次寄存器双数据写操作和多次寄存器双数据写操作的典型图示。显示一个 4 字节对齐的寄存器，写完最后一个双字后不再追加空字节。支持部分双字写入，写完最后一个所需字节即结束，同样没有后续空字节。起始地址为非 4 字节对齐，会在真正数据前插入 1 – 3 个对齐填充字节（不计入传输长度）。

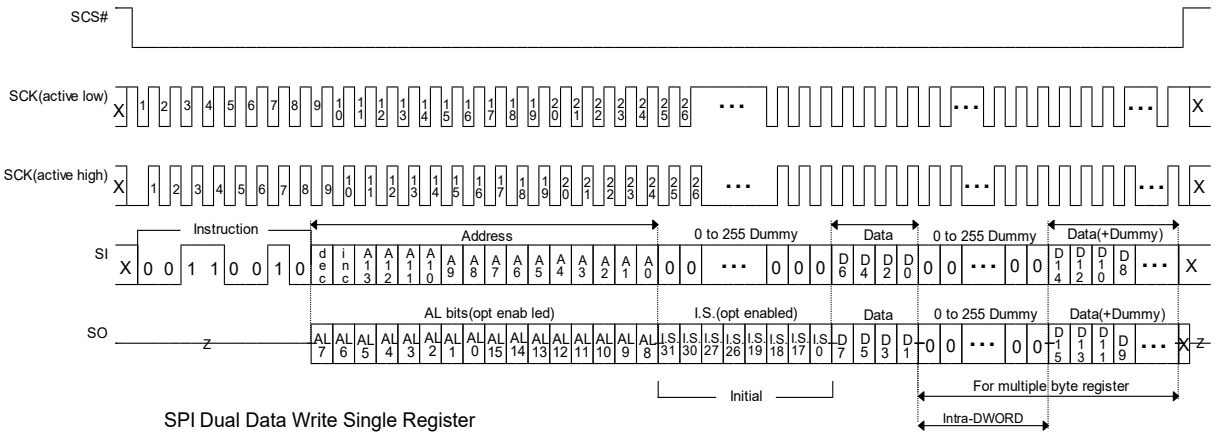


图 6-24 SPI DUAL DATA WRITE Single Register

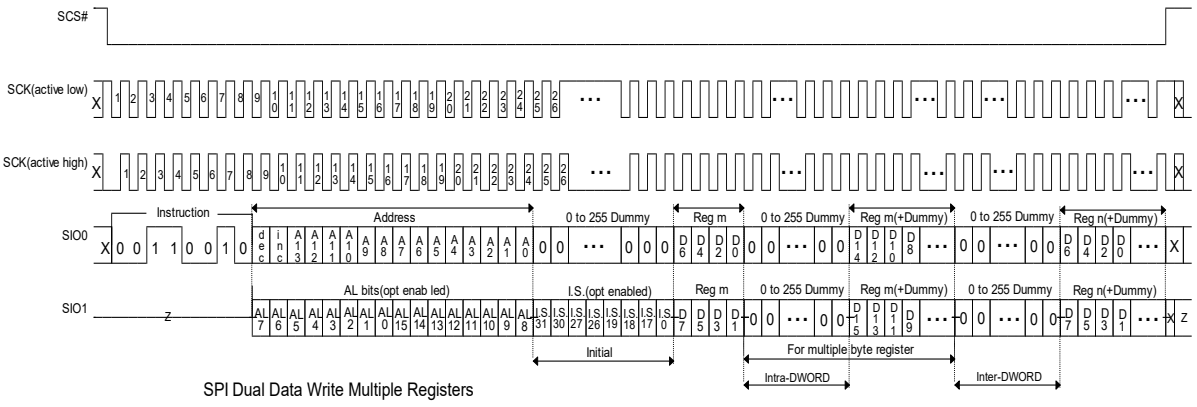


图 6-25 SPI DUAL DATA WRITE Multiple Registers

6.2.6.3 SPI 四数据写操作

SPI 四数据写操作指令以每个时钟 1 位的方式输入指令代码和地址字节和可能的起始空字节，并以每个时钟 4 位的方式输入数据和任意后续的空字节。指令仅在 SPI 总线协议下可用，时钟频率最高支持 80 MHz；不支持 SQI 总线协议。

首先将 SCS#置为有效，选择 SPI 从接口。8 位 SQDW 指令（62h）输入到 SIO[0]引脚，其后跟两个地址字节和 0 到 255 个空字节。地址字节用于指定器件内的字节地址。

地址字节后跟数据。数据以 LSB 的 msn 在前的方式输入到 SIO[3:0]引脚。其余半字节在后续的时钟边沿移入。

在 EtherCAT 直接映射模式下，对 EtherCAT Core CSRs 和 Process RAM 的写操作，可按字节 或 完整双字操作后立即生效。对 non-EtherCAT Core CSRs 的写操作仍需按 4 字节对齐。若只写部分双字，寄存器值可能被破坏。

要结束该周期，需将 SCS#输入置为无效。

图 6-26 和图 6-27 给出了单次寄存器四数据写操作和多次寄存器四数据写操作的典型图示。显示以 4 字节对齐的寄存器，写完最后一个双字后不再追加空字节。支持部分双字写入，写完最后一个所需字节即结束，同样没有后续空字节。起始地址为非 4 字节对齐时，会在真正数据前插入 1 – 3 个对齐填充字节（不计入传输长度）。

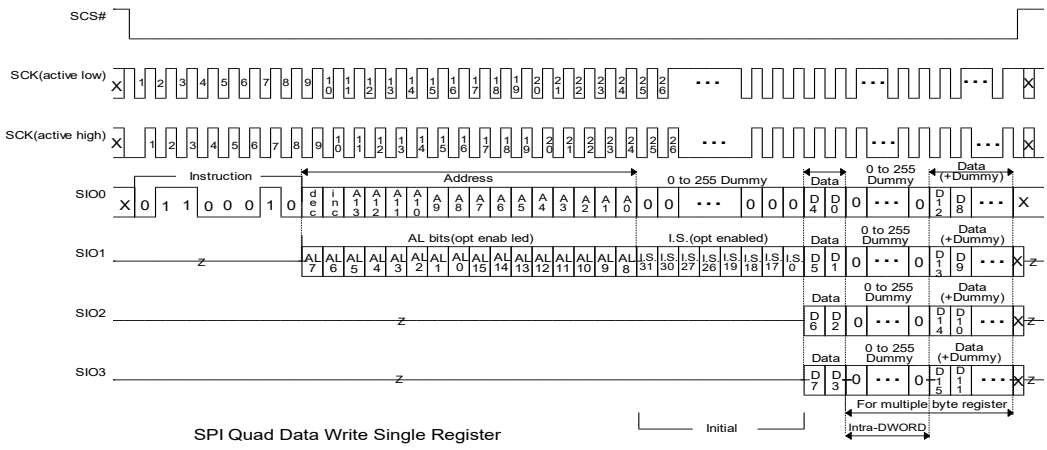


图 6-26 SPI QUAD DATA WRITE Single Register

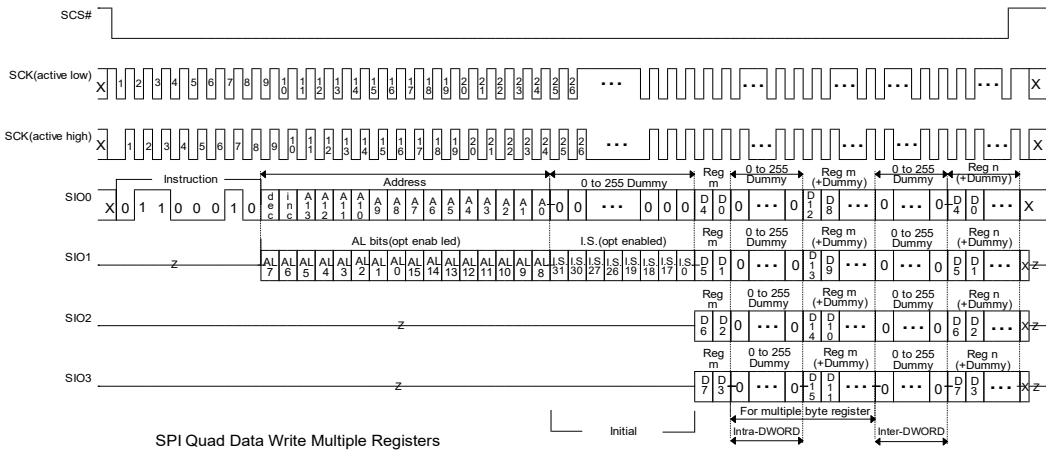


图 6-27 SPI QUAD DATA WRITE Multiple Registers

6.2.6.4 SPI 双地址/数据写操作

SPI 双地址/数据写操作指令以每个时钟 1 位的方式输入指令代码，并以每个时钟 2 位的方式输入地址、可能的起始空字节、数据和任意后续的空字节。指令仅在 SPI 总线协议下可用，时钟频率最高支持 80MHz；不支持 SQI 总线协议。

首先将 SCS#置为有效，选择 SPI 从接口。8 位 SDADW 指令（B2h）输入到 SIO[0]引脚，其后跟的 2 个地址字节 0 到 255 个空字节输入到 SIO[1:0]引脚。地址字节用于指定器件内的字节地址。

地址字节后跟数据。数据以 LSB 的 msb 在前的方式输入到 SIO[1:0]引脚。其余双位在后续的时钟边沿移入。

在 EtherCAT 直接映射模式下，在字节或者已完成的双字之后，可能发生数据写入 EtherCAT Core CSRs and Process RAM。数据写入 non-EtherCAT Core CSRs 继续双字对齐，然而未完成的双字写入可能会导致一个毁坏的寄存器值。

要结束该周期，需将 SCS#输入置为无效。

图 6-28 和图 6-29 给出了单次寄存器双地址/数据写操作和多次寄存器双地址/数据写操作的典型图示。显示一个以 4 字节对齐的 32 位寄存器，写完最后一个双字后不再追加空字节。支持部分双字写入，写完最后一个所需字节即结束，同样没有后续空字节。起始地址为非 4 字节对齐时，会在真正数据前插入 1－3 个对齐填充字节（不计入传输长度）。

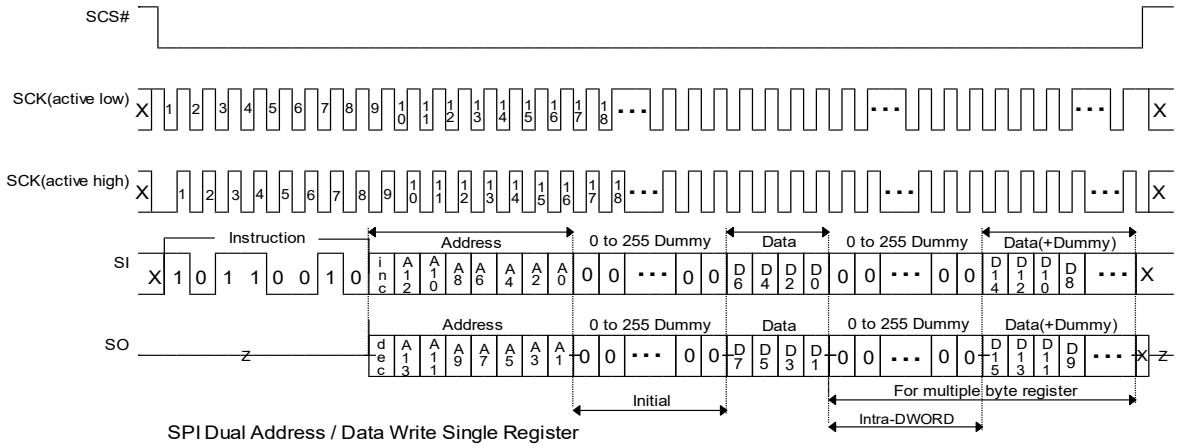


图 6-28 SPI DUAL ADDRESS DATA WRITE Single Register

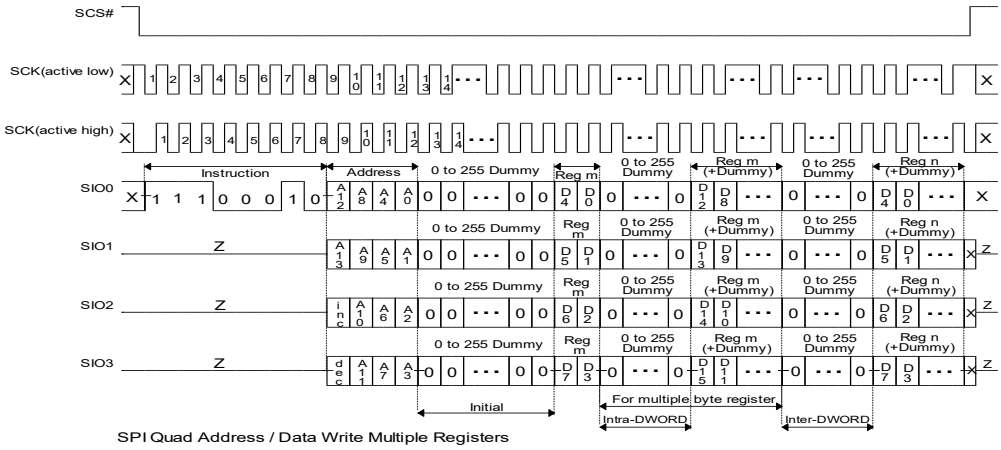


图 6-29 SPI DUAL ADDRESS DATA WRITE Multiple Registers

6.2.6.5 四地址/数据写操作

SPI 四地址/数据写操作指令以每个时钟 1 位的方式输入指令代码，并以每个时钟 4 位的方式输入地址、可能的起始空字节、数据和任意后续的空字节。指令仅在 SPI 总线协议下可用，时钟频率最高支持 80MHz；不支持 SQI 总线协议。

首先将 SCS#置为有效，选择 SPI 从接口。8 位 SQADW 指令（E2h）输入到 SIO[0]引脚，其后跟的 2 个地址字节 0 到 255 个空字节输入到 SIO[3:0]引脚。地址字节用于指定器件内的字节地址。

地址字节后跟数据。数据以 LSB 的 msn 在前的方式输入到 SIO[3:0]引脚。其余半字节在后续的时钟边沿移入。

在 EtherCAT 直接映射模式下，对 EtherCAT Core CSRs 和 Process RAM 的写操作，可按字节 或 完整双字操作后立即生效。对 non-EtherCAT Core CSRs 的写操作仍需 4 字节对齐。若只写部分双字，寄存器值可能被破坏。

要结束该周期，需将 SCS#输入置为无效。

图 6-30 和图 6-31 给出了单次寄存器四地址/数据写操作和多次寄存器四地址/数据写操作的典型图示。显示一个以 4 字节对齐的 32 位寄存器为例，写完最后一个双字后不再追加空字节。支持部分双字写入，写完最后一个所需字节即结束，同样没有后续空字节。起始地址为非 4 字节对齐时，会在真正数据前插入 1 - 3 个对齐填充字节（不计入传输长度）。

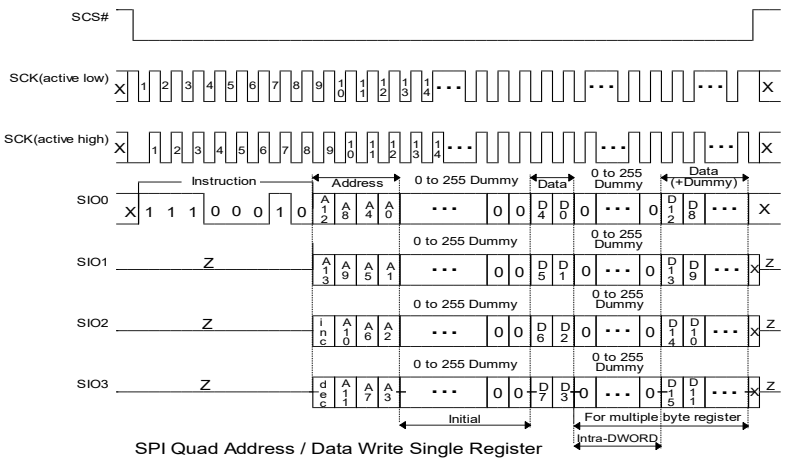


图 6-30 SPI QUAD ADDRESS DATA WRITE Single Register

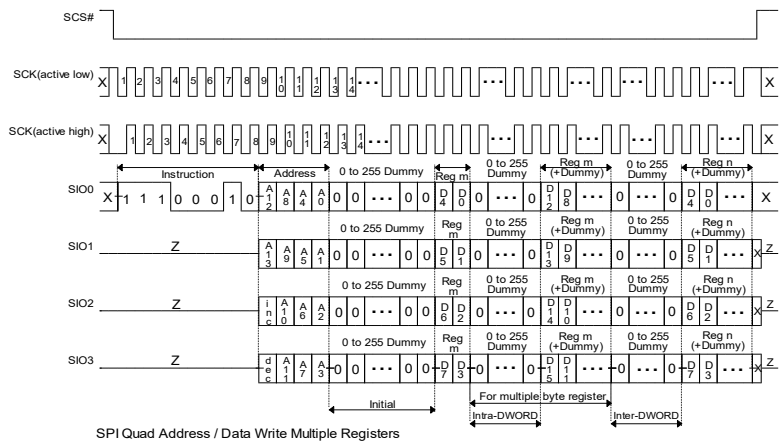


图 6-31 SPI QUAD ADDRESS_DATA WRITE Multiple Registers

6.2.7 中断请求 (AL EVENT REQUEST) 和 中断状态 (INST_STS) 寄存器输出

在 SPI Read, Fast Read，Dual Output Read，Quad Output Read，Write，Dual Data Write 和 Quad Data Write 指令的地址阶段，中断请求寄存器（AL EVENT REQUEST）的低 16 位可以移位输出到 SO/SIO[1]引脚上。顺序是 LSB 先传。该功能展示在前面的图表中。

此数据的输出由 PDI 配置寄存器的 SPI AL Event Request&INT_STS Enable 位使能启用。若未启用，则 SPI 接口在相应时段保持高阻态。

在 SPI Read, Fast Read，Dual Output Read，Quad Output Read, Write，Dual Data Write 和 Quad Data Write 指令的地址阶段后的第一个空字节（如果存在），中断状态寄存器（INT_STS）的 31:30、27:26、19:17 和 0 位可能被串行输出到 SO/SIO[1]引脚。该功能展示在前面的图表中。

6.3 EtherCAT 直接映射模式

在 EtherCAT 直接映射模式时，设备地址空间分为 EtherCAT Core CSRs（0h-0FFFh）、Process RAM（1000h-2FFFh）、non-EtherCAT Core CSRs（3000h -3FFFh）。访问 non-EtherCAT Core CSRs 仍然需要通过现有的 CSR 总线接口。访问 EtherCAT Core CSRs and Process RAM 不再通过之前的 EtherCAT CSR and Process RAM 命令，地址，长度和数据寄存器，而是直接通过 SPI 从站直接访问 EtherCAT Core。

SPI EtherCAT 直接映射模式被 PDI 控制寄存器每个值选择，值根据“PDI 模式选择”为 0x82。

6.3.1 Non-EtherCAT Core CSRs

如果上一次对 EtherCAT Core 的写操作尚未完成，则不得启动新的 SPI 命令。当拉低 SCS#且没有待处理的写操作时，WAIT_ACK 立即输出 “就绪（非忙）” 状态。若内部仍有未完成的 EtherCAT Core 写操作，WAIT_ACK 最初会输出“等待”。主机可以选择拉高 SCS#终止本次周期并在稍后重试，也可以持续等待，直到 WAIT_ACK 变为“非忙”。 一旦检测到“非忙”，WAIT_ACK 将在整个剩余周期内保持“就绪”状态。

【注意 1】Non-EtherCAT Core CSR 的访问不会使用 WAIT_ACK 的指示创建等待状态。但是，必须使用表 6-1 和表 6-2 中列出的最小初始空字节。这些是表 6-3 中的默认值。通过 Time or Dummy Cycle Based 部分，如果将空字节用于访问 EtherCAT Core CSRs 和 Process RAM，则可使用更高值。

【注意 2】不支持等待相同的时间来代替初始空字节。

所有寄存器均按双字访问，且长度固定为 1 个双字。系统不支持任何非 4 字节对齐或非双字长度的访问。无论主机给出什么地址，都会被硬件强制 4 字节对齐 32 位寄存器，确保始终按完整双字进行读写。

6.3.1.1 读

读寄存器时，数据在第一次输出后立即开始，随后每 32 位输出一次。所有受读操作影响的寄存器，都在当前双字移位开始时被更新。因此，连续读操作始终以双字为单位进行。

为了避免在最后一个数据后请求额外的数据，有两种方法使用。对于 READ 指令，SI 输入使用描述在章节 6.2.5.1。对于其他的读命令（FASTREAD,ADOR,SDIOR,SQOR,SQIOR），通过章节 6.2.5.6，在字节中数据长度使用描述在章节 6.2.5.2。

- 自动递增/递减

连续访问多个双字时的自动递增/递减规则，仍按章节 6.2.5 的描述执行。

6.3.1.2 写

每移入 32 位后，数据即写入相应寄存器。如果在 SCS#拉高前未完整写入 32 位，仍可能发生写入，从而导致寄存器值被破坏。连续多次写入均以双字为单位进行。

- 自动递增/递减

多个双字的自动递增/递减操作的描述在章节 6.2.6。

6.3.2 EtherCAT Core CSRs and Process RAM

寄存器/进程 RAM 的访问起始地址可以是任何字节对齐和长度（以读传输长度字段所允许的上限为准）。

6.3.2.1 读

根据所使用的读指令，EtherCAT Core 的数据读取每隔 8-bits 或双字进行一次。主机的职责是只在输出数据可用时移动它，如下所述：

- 读命令：

一旦命令的地址部分被移入，初始数据的请求就会发生。当前面的数据移位输出开始时，会发生后续的数据请求。READ 指令缺少指示主机将移出的双字字节数的信息。因此，对 READ 指令，一次请求一个字节的数据。

为了避免在最后一个数据后请求额外的数据，SI 输入被用作读终止，描述见章节 6.2.5.1。

- FASTREAD, SDOR, SDIOR, SQOR, SQIOR Commands：

一旦命令的长度部分被移入，初始数据的请求就发生了。为了提供一个一致的时间来预取下一个双字，0 to 3 填充字节（每个填充字节可能是空字节）在第一个有效数据前预置，实现双字对齐输出。字节数量基于起始地址。当前数据或第一个填充字节移位输出开始时，会发生后续的数据请求。

FASTREAD,SDOR,SDIOR,SQOR and SQIOR 指令包含转移长度，并与起始地址一起用于计算初始请求的字节数，剩余字节数用于计算随后请求的字节数，避免在最后一个数据后请求额外的数据。

- 第一位的特殊处理：

SCK 是一连串高电平有效的脉冲。当最后一个地址字节、传输长度字节或空字节全部移入后，SCK 会拉低（即下降沿）。该下降沿正好对应于输出首位或首几位）数据的时刻。然而，此时很可能尚未从 EtherCAT Core 中读到有效数据。

为了解决这个问题，从 EtherCAT Core 中读取有效数据后，第一个位数据会异步输出。参见图 6-32。

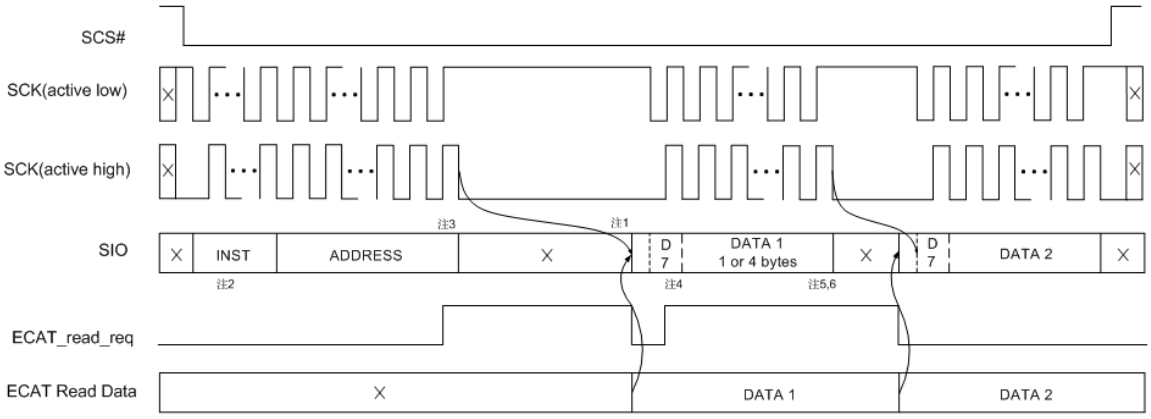


图 6-32 高有效 SCK 第一数据位

【注 1】SCK 高有效-一旦下降沿已经发生，第一个数据位异步输出。

【注 2】INST 是或者 READ,FASTREAD,SDOR,SDIOR,SQOR 或 SQIOR。

【注 3】地址可能跟随在传输长度和/或者空字节之后。注意数据输出的最后一个时钟。

【注 4】字节访问显示（READ 指令）。双字 access（FASTREAD,SDOR,SDIOR,SQOR and SQIOR commands）could be pre-pended by pad bytes，但是仍然注意相同的下降沿。

【注 5】注意下降沿发生在 READ 指令的每个字节和 FASTREAD,SDOR,SDIOR,SQOR 以及 SQIOR 指令的每个双字。

【注 6】数据可能跟随在空字节之后。注意在下一个字节（READ）或者下一个双字（其他的）的输出之前的最后一个时钟。

- 自动递增/递减

静态地址和自动递增/递减读取操作都是基于字节或双字的使用的命令（READ vs FASTREAD,SDOR,SDIOR,SQOR,SQIOR）。

对于面向双字的操作，双字地址可以保持固定，也可以递增或递减；而双字内部的字节地址则始终递增。在自动递增模式下，支持非 4 字节对齐的起始地址以及部分非完整双字传输。在自动递减和固定地址模式下，仅支持 4 字节对齐起始地址和完整的双字传输。

- READ 命令（字节 oriented）

Dec/inc=00：常量字节地址

读字节

内部地址每字节重复。

开始地址：yyyy

内部地址：yyyy

字节地址：　　yyyy

第一个数据输出：　　valid

下一个内部地址：yyyy

字节地址：　　yyyy

第二数据输出： valid

下一个内部地址：yyyy

字节地址： yyyy

最终地址输出： valid

Dec/inc=01：递增字节地址

读字节

内部地址递增到下一个字节

开始地址：yyyy

内部地址：yyyy

字节地址： yyyy

第一个数据输出： valid

下一个内部地址：下一个字节

字节地址： +1

第二数据输出： valid

下一个内部地址：下一个字节

字节地址： +2

最终地址输出： valid

Dec/inc=10：递减字节地址

读字节

内部地址递减到之前的字节

开始地址：yyyy

内部地址：yyyy

字节地址： yyyy

第一个数据输出： valid

下一个内部地址：之前的字节

字节地址： -1

内部资料

第二数据输出： valid

下一个内部地址：之前的字节

字节地址： -2

最终地址输出： valid

Dec/inc=11：保留

- FASTREAD, SDOR, SDIOR, SQOR, SQIOR 命令(双字 oriented)：

Dec/inc=00：常量双字匹配地址

读 4 个增长字节命令双字内的字节

内部地址每双字节重复。

开始地址：yyyy

内部地址：yyyy

字节地址：	yyyy	+1	+2	+3
第一个数据输出：	valid	valid	valid	valid

内部地址：yyyy

字节地址：	yyyy	+1	+2	+3
第二数据输出：	valid	valid	valid	valid

内部地址：yyyy

字节地址：	yyyy	+1	+2	+3
最终地址输出：	valid	valid	valid	valid

Dec/inc=01：递增双字地址

读 4 个在每个增长字节命令双字内的字节

内部地址每个双字递增到下一个双字

开始地址：yyyy

内部地址：yyyy 的双字地址

字节地址*：	yyyy	+1	+2	+3
		yyyy	+1	+2
			yyyy	+1

内部资料

				yyyy
第一个数据输出：	valid	valid	valid	valid
	pad*	valid	valid	valid
	pad*	pad*	valid	valid
	pad*	pad*	pad*	valid

下一个内部地址：下一个双字

字节地址：	+4	+5	+6	+7
	+3	+4	+5	+6
	+2	+3	+4	+5
	+1	+2	+3	+4
第二数据输出：	valid	valid	valid	valid

下一个内部地址：下一个双字

字节地址：	+8	+9	+10	+11
	+7	+8	+9	+10
	+6	+7	+8	+9
	+5	+6	+7	+8
最终数据输出：	valid	valid/na**	valid/na**	valid/na**

*：如果起始地址不是 4 字节对齐，首先输出的可能是 0～3 个填充字节，用来把后续有效数据对齐到 32 位边界。

--：传输长度字段里不包含这些填充字节。

**：最终数据输出可能少于 4 字节

Dec/inc=10：递减的双字对齐起始地址

读 4 个在每个增长字节命令双字内的字节

内部地址通过 4 个双字减少

开始地址：yyyy

内部地址：yyyy

字节地址：	yyyy	+1	+2	+3
第一个数据输出：	valid	valid	valid	valid

下一个内部地址：之前的双字

字节地址：	-4	-3	-2	-1
第二数据输出：	valid	valid	valid	valid

下一个内部地址：之前的双字

字节地址：	-8	-7	-6	-5
最终地址输出：	valid	valid	valid	valid

Dec/inc=11：保留

6.3.2.2 写

对 EtherCAT Core 的数据每次可写入 8 位。也可等到一个双字的最后一个字节移入后再一次性写入。后一种方式吞吐量更高，但会占用更多的命令处理时间，可能使下一条命令推迟执行。

多个写入可以是字节或双字。

根据 SPI 命令的增量/减量位，SPI 接口可以动态地积累和编写在一个 SPI 总线周期中的 32 位，多次。在不超过 4 个字节的情况下，在总线循环结束之前移出，SPI 接口提交收到的数据量。

通常使用字节缓冲。

双字缓冲是使用通常保留的自动减量/增量 b’11 来表示的。

当设备准备就绪时，主机的责任只会在下一个数据中移出。这是以下描述的分段。

自动递增/递减

恒定地址和自动递增/递减写操作都是基于字节或双字的使用的缓冲类型（字节缓冲 vs 双字缓冲）。

在采用双字缓冲时双字地址可以保持固定，也可以递增或递减。双字内部的字节地址始终递增。仅支持自动递增操作（不支持自动递减或固定地址）。

Dec/inc=00：常量字节地址

写字节

内部地址每字节重复。

开始地址：yyyy

内部地址：yyyy

字节地址：	yyyy
第一个数据输入：	valid

下一个内部地址：yyyy

字节地址：	yyyy

第二数据输入： valid

下一个内部地址：yyyy

字节地址： yyyy

最终地址输出： valid

Dec/inc=01：递增字节地址

写字节

内部地址递增到下一个字节

开始地址：yyyy

内部地址：yyyy

字节地址： yyyy

第一个数据输入： valid

下一个内部地址：下一个字节

字节地址： +1

第二数据输入： valid

下一个内部地址：下一个字节

字节地址： +2

最终地址输入： valid

Dec/inc=10：递减字节地址

写写节

内部地址递减到之前的字节

开始地址：yyyy

内部地址：yyyy

字节地址： yyyy

第一个数据输入： valid

下一个内部地址：之前的字节

字节地址： -1

内部资料

第二数据输入： valid

下一个内部地址：之前的字节

字节地址： -2

最终地址输入： valid

Dec/inc=11：递增的双字地址

写 4 个在每个增长字节命令双字内的字节

内部地址每个双字递增到下一个双字

开始地址：yyyy

内部地址：yyyy 的双字地址

字节地址*：	yyyy	+1	+2	+3
	yyyy	+1	+2	na*
	yyyy	+1	na*	na*
	yyyy	na*	na*	na*
第一个数据输出*：	valid	valid	valid	valid
	valid	valid	valid	na*
	valid	valid	na*	na*
	valid	na*	na*	na*

下一个内部地址：下一个双字

字节地址：	+4	+5	+6	+7
	+3	+4	+5	+6
	+2	+3	+4	+5
	+1	+2	+3	+4
第二数据输出：	valid	valid	valid	valid

下一个内部地址：下一个双字

字节地址：	+8	+9	+10	+11
	+7	+8	+9	+10
	+6	+7	+8	+9

内部资料

	+5	+6	+7	+8
最终数据输出**：	valid	valid/na**	valid/na**	valid/na**

*：如果非 4 字节对齐起始地址，第一数据可能最少 4 字节

**：最终数据输出可能少于 4 字节

6.3.2.3 等待状态

EtherCAT 直接映射模式主机总线必须遵从 EtherCAT Core PDI 控制的访问仲裁机制。

若上一条 EtherCAT Core 写操作未完成，则不得启动后续任何 SPI 命令。

所有读操作都需先经过仲裁，然后才能返回数据，因此必然存在延迟。为了确保返回的数据有效，必须在最坏情况访问时间到达之后，才能开始将读数据移出。在首次读数据开始移出的同时，后续顺序数据已被预取。然而，后续读数据的移出同样不得早于最坏情况访问时间。

写操作先将数据全部移入，随后再由 EtherCAT Core 执行。对于连续写操作，后续写周期的数据可以提前开始移入，但必须控制总线速度，使得后续写周期在最坏写仲裁时间结束之前不会完成。若使用双字缓冲，同一双字内的各字节可以无间隔地连续移入。然而，在双字缓冲模式下，若最后一次写入的是不完整双字，则必须等前一次写操作真正完成后，SCS#才能拉高。

除了简单地等待所需的时间或使用足够缓慢的 SPI 时钟速度，还有两种方法可供主机使用。所有读写命令均可插入空字节，用以调节数据速率。等待/应答(WAIT_ACK)引脚可以作为读取数据的指示，或者在可能完成的时候，写入数据移位。

- Time or Dummy Cycle Based

所有读写命令均可使用空字节。可为每种命令类型分别设置空字节的数量，也可针对首字节、每个字节或每个双字单独设置。空字节的具体数量取决于 SPI 时钟频率以及所使用的 SPI 命令。

【注意】空字节可以与下一小节所述的等待/应答机制同时使用。其设计意图是：当 Wait 信号有效时，就边等待边移入空字节。空字节的作用正是填满 Wait 信号所要求的等待时间。如果在 Wait 信号撤销之后才开始移空字节，那就失去了设置空字节的意义。

以下的时间限制必须遵循：

【注意】本节给出的所有时序参数都是初步估算值，后续可能会调整或更新，设计时不要把它们当成固定值。

只要 EtherCAT Core 里还有一条写操作没完成，就绝不能再启动新的 SPI 命令。单字节写操作的最坏内部写周期时间为 250ns，此后每多写一个字节再增加 80ns。

Read first 字节 读首字节从采样最后一位地址位（或最后一位传输长度位）的 SCK 上升沿开始，到数据准备就绪为止。READ 命令最长需 370ns，其余读命令最长需 610ns。在这段等待时间内，SCK 可以先出现下降沿。如果 SCK 提前下降，数据不会立即输出，而是等到内部数据就绪时才异步送出。见章节 6.3.2.1。

【注意】“其他”读命令专为连续字节读做了优化。虽然它们的首次访问时间更长，还要额外发送传输长度字节，但在连续读取大量字节时，整体性能可能仍优于标准 READ 命令。

Read next 字节 读取下一字节从输出当前字节首数据的 SCK 下降沿之后的第一个 SCK 上升沿起，到下一字节准备就绪为止，READ 命令需等待 370ns。其他读命令需等待 0ns（但仍须满足读下一双字的时序）。这段等待时间可能全部或部分与当前字节的移出时间重叠。

Read next 双字 从输出当前首双字的第一位数据的 SCK 下降沿之后的第一个 SCK 上升沿起，到下一 双字准备就绪为止，READ 命令不适用。其他读命令，需等待 610ns。这段等待时间可能全部或部分与当前双字的移出时间重叠。

Write first 字节（Byte Buffering mode）从发送最后一位数据位到采样该位的 SCK 上升沿之间不需要额外的等待时间，即 0ns。

Write first 双字（Byte Buffering mode）从发送最后一位数据位到采样该位的 SCK 上升沿之间不需要额外的等待时间，即 0ns。

Write next 字节（Byte Buffering mode）从采样当前字节最后一位的那个 SCK 上升沿，到采样下一字节最后一位的下一个 SCK 上升沿，最短需 250ns。这段 250ns 的等待时间可能全部或部分与把下一字节移入所需的时钟周期重叠，因此主机不一定需要额外空等。

Write next full 双字（DWORD Buffering mode）从采样当前双字最后一位的 SCK 上升沿，到采样下一个完整双字最后一位的 SCK 上升沿，最短需 490ns。这段 490 ns 的等待时间可能全部或部分与移入下一个双字所需的时钟周期重叠，因此主机不一定需要额外空等。

Write last partial 双字（DWORD Buffering mode）从采样当前完整双字最后一位的那个 SCK 上升沿开始，到 SCS#被拉高（强制把最后一个不完整双字写入）为止，最短需 490ns。这段 490ns 的等待时间可能全部或部分与把该不完整双字移入所需的时钟周期重叠，因此主机不一定需要额外空等。

Wait/Acknowledge Operation

主机可以采用两种做法，按上面给出的最差访问时间进行等待或使用 WAIT_ACK 信号，等到它指示可以继续时再操作。

【注意】等待/应答可以与上面描述的空字节周期操作共存。

读写周期从 SCS#的前沿开始，使得 WAIT_ACK 输出。

如果 EtherCAT Core 内部仍有未完成的写操作，WAIT_ACK 会先给出等待（wait）信号。若没有尚未完成的写操作，WAIT_ACK 会立即给出应答（not busy）信号。

如果 EtherCAT Core 里还有未完成的写操作，就不得启动新的 SPI 命令。最差情况下，内部写周期时间为，单字节 250ns，每多一个字节再增加 80ns。主机可以拉低 SCS#结束当前周期并稍后重试，也可以一直等到 WAIT_ACK 指示非忙状态再继续。

对于从 EtherCAT Core 的 CSR 和进程 RAM（地址 0h 到 2FFFh）的读取，在地址全部移入后，SPI 接口从 EtherCAT Core 获取读数据，此时 WAIT_ACK 会变为等待状态。当读数据可用时，WAIT_ACK 将变为应答状态，主机即可开始将数据移出。

【注意】根据章节 6.3.2.1 “首位的特殊处理”，每个数据的首个 SCK 下降沿可能在数据尚未就绪时就出现。此时，数据将在准备就绪后异步输出。

在第一个数据的转变之后（在输出数据的下降沿之后的上升沿），WAIT_ACK 将再次等待，因为 SPI 接口预先获取下一个读取数据。（假设有下一个预取回，否则 WAIT_ACK 将继续表示应答）。

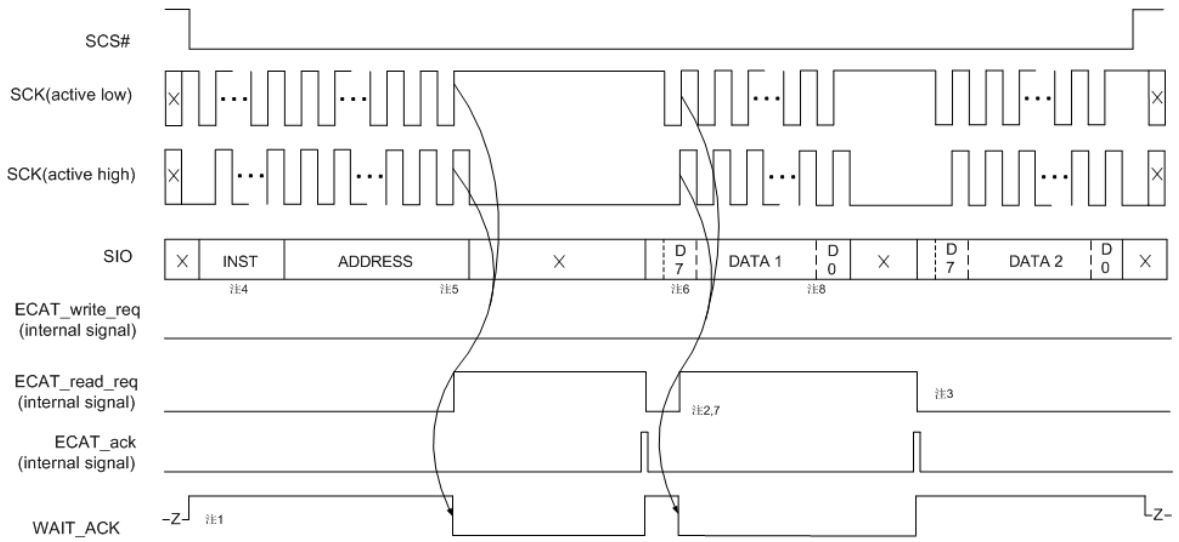


图 6-33 SPI WAIT ACK EtherCAT Core 读操作

【注 1】由于没有之前的内部写操作，WAIT_ACK 起初是高电平。

【注 2】下一次读操作需要连同下一个 WAIT_ACK，下一个 WAIT_ACK 在第一个数据开始移出之后开始上升沿。

【注 3】第三次读操作不需要执行，所以 WAIT_ACK 维持无效。

【注 4】INST 是或者 READ, FASTREAD,SDOR,SDIOR,SQOR 或 SQIOR。

【注 5】地址可能跟随在传输长度和/或者空字节之后。WAIT_ACK 在最后的地址或传输长度输入上变有效。任意空字节发生与 WAIT_ACK 类似。

【注 6】字节访问显示（READ 指令）。双字 access(FASTREAD, SDOR, SDIOR, SQOR and SQIOR commands) could be pre-pended by pad bytes。

【注 7】WAIT_ACK 发生在每个字节(READ)或者每个双字(其他的)。

【注 8】数据可能跟随在空字节之后，空字节可能发生与 WAIT_ACK 类似。

【注】显示高有效的 Push-Pull WAIT_ACK。

对于向 EtherCAT Core 的 CSR 和进程 RAM（地址 0h 到 2FFFh）的写操作，根据写缓冲模式，WAIT_ACK 会在每个字节或每个（可能不完整的）双字的最后一位数据移入后变为“等待”状态。当最后一位数据移入后，内部写操作即被启动。一旦该内部写操作完成，WAIT_ACK 将变为“应答”状态。在等待内部写操作完成期间，主机可以开始移入下一个数据，但只有在 WAIT_ACK 指示“应答”后，才能结束该字节或双字的写入。

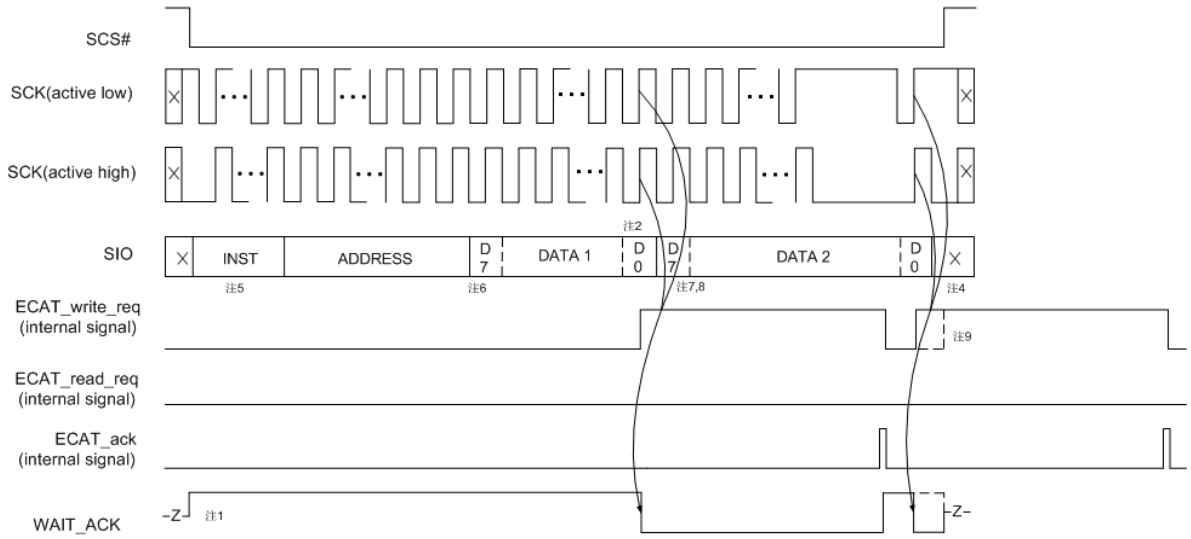


图 6-34 SPI WAIT ACK EtherCAT Core 写操作

【注 1】由于没有之前的内部写操作，WAIT_ACK 起初是高电平。

【注 2】主机可以在内部写操作器件开始下一个数据写移出。

【注 3】主机必须在完成下一个数据写入之前等待。

【注 4】主机可以在最后的内部写操作之前完成 SPI 周期。

【注 5】INST 是或者 WRITE，SDDW，SDADW，DQDW 或 SQADW。

【注 6】地址可能跟随在空字节之后。

【注 7】数据可能跟随在空字节之后，空字节可能发生与 WAIT_ACK 类似。

【注 8】字节缓冲模式显示。双字缓冲模式是相同的，除了内部写操作，并且 WAIT 发生在双字结尾（bitD24）。

【注 9】对于双字缓冲模式，如果最后一位不是 D24，则内部写操作发生 SCS#无效时。

【注】显示 Push-Pull 的 WAIT_ACK（1 表示等待，0 表示应答）。

WAIT_ACK 在 SCS #的低电平下不再驱动。

6.4 控制器访问错误

通过 SPI 接口检测以下访问错误：

- 在前一次写操作尚未完成时启动了新的 SPI 命令。
- 对于非 EtherCAT Core CSR 的访问，如果数据阶段的时钟周期数不是双字的整数倍（即发生了不完整双字的传输）。
- 对于 EtherCAT 内核 CSR 和过程 RAM 访问,在传输的数据阶段期间,时钟周期的数量不对齐到多个字节(不完整的字节被传输)。
- 对于读取指令,在最后一个字节中 SI 置高,没有终止数据阶段。
- 对于读取指令,在最后一个字节 SI 置高后,会读取额外的字节。

对于 FASTREAD、SDOR、SDIOR、SQOR、SQIOR 指令,不正确的字节数被读取(不匹配所提供的字节长度)。

对于一个 EtherCAT 内核 CSR 和过程 RAM 读取访问：

- 在首次访问时，在最后一个地址、传输长度或空字节输入之后出现的首个 SCK 上升沿，发生在接口仍在忙于取数据的阶段。
- 对于随后的访问,在最后一个当前数据或空字节输出发生后,一个上升的 SCK 出现,而接口正忙着获取下一个数据。

(之所以在 SCK 的上升沿做检测，是为了允许在地址、传输长度、空字节或当前数据最后一位之后，先出现一个下降沿，而下一次数据尚未就绪。见章节 6.3.2.1)。

- 在写访问时，如果当前字节缓冲模式或双字缓冲模式的最后一个数据时钟周期出现时，前一次写操作仍未完成。
- 在写访问时，如果 SCS#提前被拉高（从而把当前未写完的部分双字强行提交），而此时前一次写操作尚未完成。

PDI 错误计数寄存器会加 1，访问错误的具体原因可从 PDI 错误代码寄存器中读取。

【注意】一次传输可能包含多个错误。按时间顺序出现的错误会分别单独计数。每当发生错误时，错误状态都会立即更新，并覆盖之前的错误状态。在传输结束时同时出现的错误（包括不完整的字节或双字、读操作结束时未将 SI 置高表示最后一个字节以及实际读取长度与提供的字节长度不符）只会使 PDI 错误计数寄存器再增加一次。错误状态仍会覆盖之前的任何状态，但如果这些错误同时发生，错误状态可能同时反映多个错误条件。

6.5 SPI/SQI 时序要求

SPI/SQI 接口引脚时序描述如下。对于 EtherCAT 直接映射模式数据访问时间在章节 6.3.2.3，等待状态中描述。

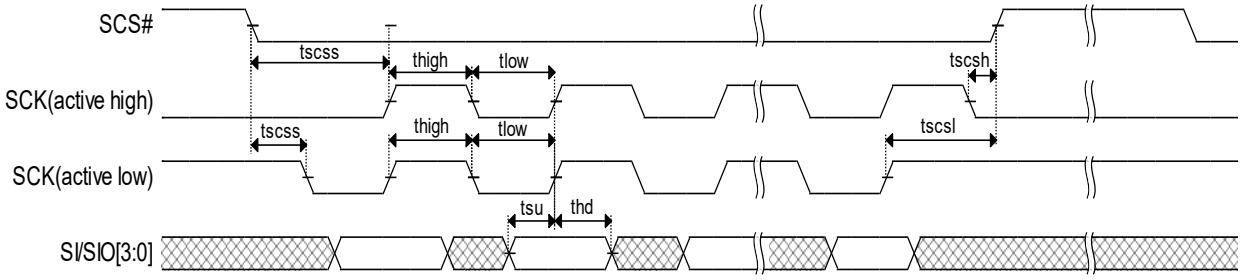


图 6-35 SPI/SQI 输入时序

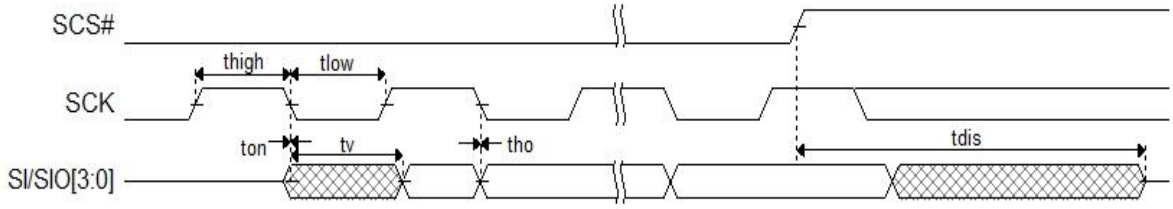


图 6-36 SPI/SQI 输出时序

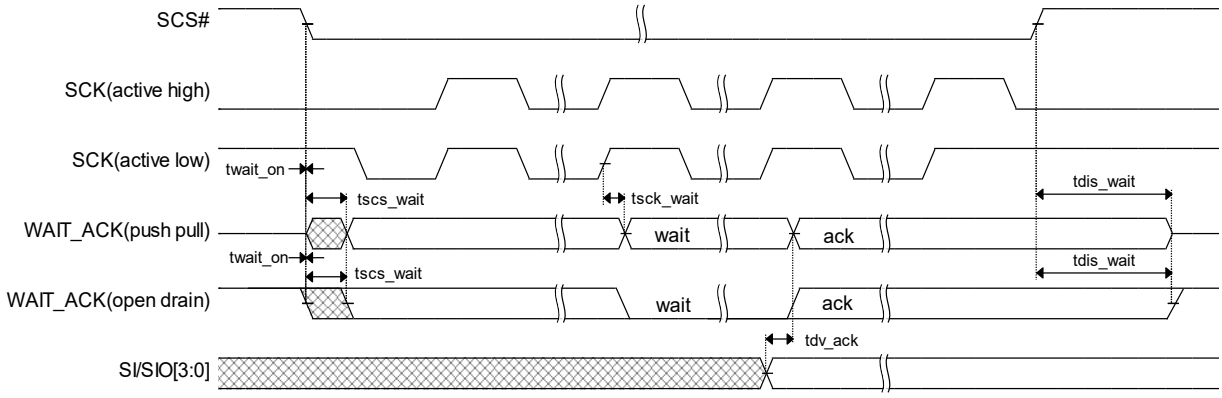


图 6-37 SPI/SQI WAIT_ACK 时序

表 6-4 SPI/SQI 时序值

符号	描述	最小值	典型值	最大值	单位
fsck	SCK clock frequency **【注 1】**			30/80	MHz
thigh	SCK high time	5.5			ns
tlow	SCK low time	5.5			ns
tscss	SCS# setup time to SCK	5			ns
tscsh	SCS# hold time from SCK(SCK active high)	6			ns
tscsl	SCS# hold time from SCK(SCK active low)	10.5			ns
tscshl	SCS# inactive time	50			ns
tsu	Data input setup time to SCK	3			ns
thd	Data input hold time from SCK	4			ns
ton	Data output turn on time from SCK	0			ns
tv	Data output valid time from SCK**【注 2】** **【应用注意】**取决于时钟频率和脉冲宽度，直至 SCK 的下一个上升沿后，数据才会有效。通常使用高速 SPI 从站（例如 SPI flashes）主机 SPI 控制器可能需要将数据的采样延迟一段固定的时间，或者使用 SCK 的下降沿对数据进行采样。			3.3V VDDIO 30pF: 9 10pF: 8.5	ns
				1.8V VDDIO 30pF:13 10pF:13.1	
tho	Data output hold time from SCK	0			ns
tdis	Data output disable time from SCS# inactive			20	ns
twait_on	WAIT_ACK turn on time from SCS# active	0			ns
tscs_wait	WAIT_ACK valid from SCS# active			16	ns
tdis_wait	WAIT_ACK disable time from SCS# inactive			20	ns
tsck_wait	WAIT_ACK assertion from SCK			21.2	ns
tdv_ack	Read Data asynchronous output valid before WAIT_ACK de-assertion	15			ns

【注 1】READ 指令限制最高 30MHz。

【注 2】取决于负载和供应电压。

【注】在写指令的 SIO 输出切换为输入时，要求 SCK 低电平长度额外增加 7ns。

内部资料

7 LVDS 接口

LVDS 接口固定为 100Mbit/s 速率，可以通过配置引脚 LVDS_MODE 选择不同的模式，来调节 LVDS 的电流。可选择 standard 模式和 extend 模式。

电流越大，抗干扰能力越强。

7.1 LVDS 接口信号

LVDS 接口有以下信号：

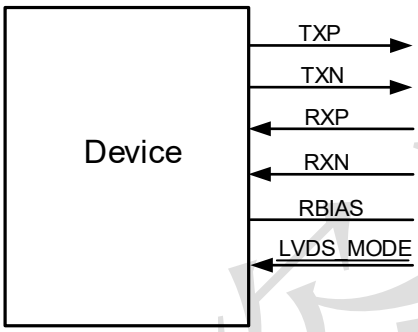


图 7-1 LVDS 接口信号

表 7-1 LVDS 接口信号

信号	方向	描述
TXP TXN	O	LVDS 发射信号
RXP RXN	I	LVDS 接收信号
RBIAS		用于对 TX 信号进行电流调节的偏置电阻
LVDS_MODE	I	LVDS 摆幅选择

7.1.1 LVDS 端口连接电路图

LVDS 接口可以满足快速以太网 100Mbit/s 数据传输的波特率，对 EtherCAT 数据帧进行简单的封装，能够传输任意 EtherCAT 数据帧。

LVDS 接口需要在 RXP 和 RXN 之间使用阻值为 100Ω 的外部 LVDS 终端电阻。LVDS 终端通常通过电阻 R_L=100Ω 来实现。仅在 LVDS 接口需要，且靠近 RX 输入放置。如下图所示。

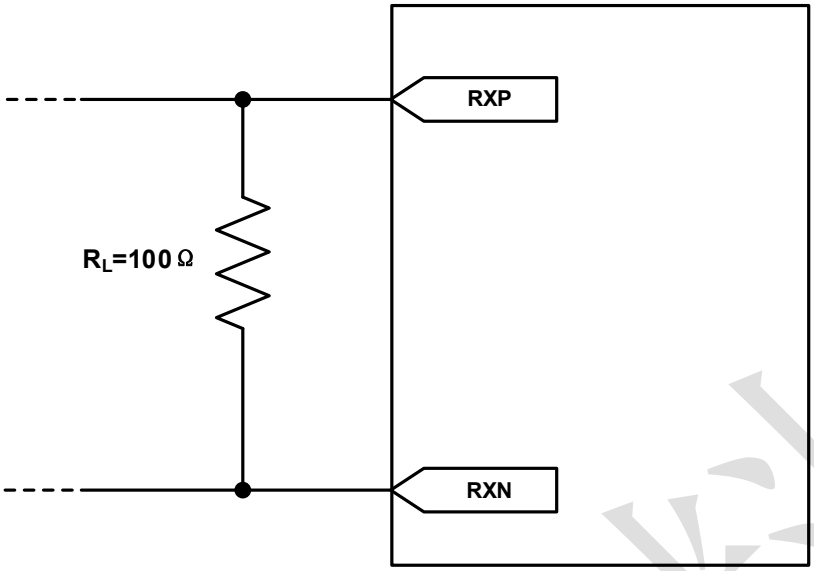


图 7-2 LVDS 端口接收端

下图为两个芯片使用了 LVDS 接口连接的示意图。使用两对 LVDS 线对，一对接收数据帧，一对发送数据帧。每对 LVDS 线对跨接一个 100Ω 的负载电阻，不需要其他物理层元器件，缩短了从站之间的传输延时，减少了元器件。

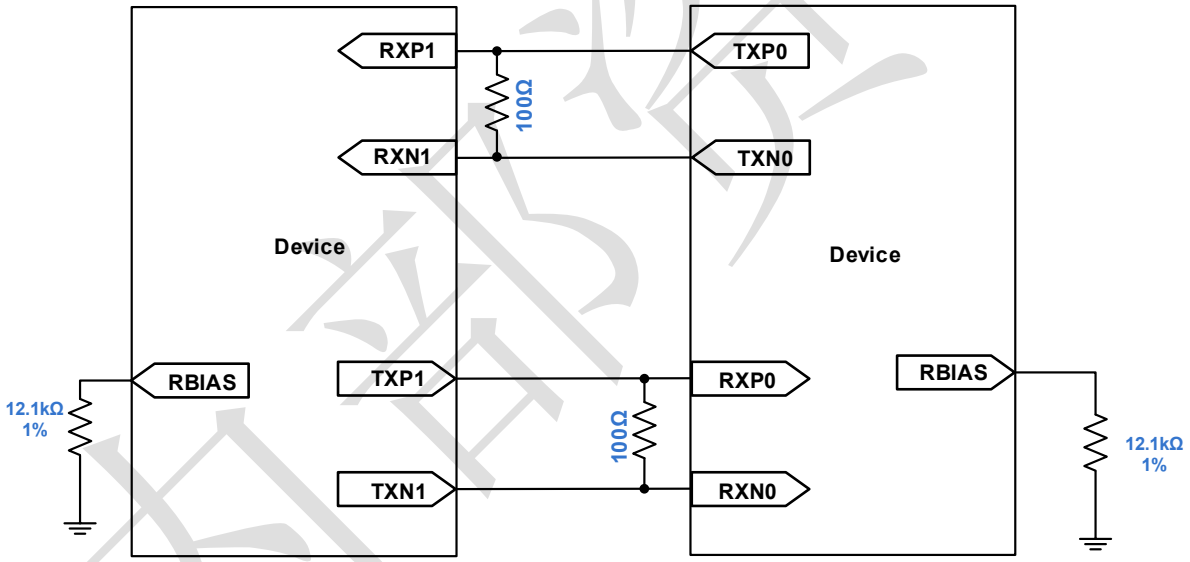


图 7-3 两片芯片 LVDS 接口连接举例

【注】更多关于 LVDS 相关的设计内容，请参考 LVDS 设计建议。

8 EtherCAT

8.1 EtherCAT 功能概述

EtherCAT 模块实现了一个 2 端口 EtherCAT 从控制器，该控制器具有 4KB 双端口存储器（DPRAM）、 4 个 SyncManager、4 个现场总线存储器管理单元（FMMU）和 1 个 64 位分布式时钟。

每个端口均接收以太网帧、执行帧校验并将以太网帧转发到下一个端口。接收到帧时会生成时间戳。如果某个端口上没有链路、端口不可用或者端口的环路关闭，则各端口的环回功能会将以太网帧转发到下一个逻辑端口。端口 0 的环回功能将帧转发到 EtherCAT 处理单元。环路设置可通过 EtherCAT 主器件控制。

数据包按以下顺序转发：端口 0->EtherCAT 处理单元->端口 1。

EtherCAT 处理单元（EtherCAT Processing Unit，EPU）接收、分析并处理 EtherCAT 数据流。 EtherCAT 处理单元的主要用途是实现并协调对 ESC 的内部寄存器和存储空间的访问，这两部分均可被 EtherCAT 主器件和本地应用寻址。主器件和从器件应用间的数据交换与双端口存储器（过程存储器）相当，并且通过一致性校验（SyncManager）和数据映射（FMMU）等特殊功能得到了增强。

每个 FMMU 均执行将逻辑 EtherCAT 系统地址按位映射到器件物理地址的任务。

SyncManager 负责确保 EtherCAT 主器件与从器件之间的数据交换和邮箱通信的一致性。每个 SyncManager 的方向和工作模式由 EtherCAT 主器件配置。提供两种工作模式：缓冲模式和邮箱模式。在缓冲模式下，本地单片机和 EtherCAT 主器件可同时写入器件。 兼容模式中的缓冲区始终包含最新数据。如果新数据在旧数据可读出前到达，则旧数据将丢失。在邮箱模式下，本地单片机和 EtherCAT 主器件通过握手来访问缓冲区，从而确保不会丢失任何数据。

凭借分布式时钟（Distributed Clock，DC），可以精确同步输出信号、输入采样和事件时间戳的生成。

EtherCAT 一章包含以下主要章节：

- 章节 8.2 “分布式时钟”
- 章节 8.3 “PDI 选择和配置”
- 章节 8.4 “SPI 主机接口”
- 章节 8.5 “用户 RAM”
- 章节 8.6 “EEPROM 可配置寄存器”
- 章节 8.7 “LED”
- 章节 8.8 “EtherCAT 复位”
- 章节 8.9 “EtherCAT 内核 CSR 寄存器（可直接寻址）”

EtherCAT 模块由这些主要模块组成：

- EtherCAT 内核这些寄存器提供对各种控制结构参数的访问,用于配置和监视。
- EtherCAT CSR 和处理数据 RAM 访问这个块接口的 EtherCAT 内核 CSR 到设备的其余部分。
- EtherCAT CSR 和处理数据 RAM 访问寄存器(直接可寻址)——这些提供直接可寻址的系统 CSR 与 EtherCAT 内核有关。

8.2 分布式时钟

器件支持 64 位分布式时钟，以下各小节将详细介绍。

8.2.1 SYNC/LATCH 引脚复用

EtherCAT 内核提供两个输入引脚（LATCH0 和 LATCH1），用于外部事件的时间戳。上升沿和下降沿时间戳均会被记录。这两个引脚分别与 SYNC0 和 SYNC1 输出引脚共用，用于指示是否发生了时间事件。SYNC0/LATCH0 和 SYNC1/LATCH1 引脚的功能分别由 SYNC/LATCH PDI 配置寄存器的 SYNC0/LATCH0 配置和 SYNC1/LATCH1 配置位确定。

当设置为 SYNC0/SYNC1 功能时，输出类型（Push-Pull vs. Open Drain/Source）和输出极性由 SYNC/LATCH PDI 配置寄存器的 SYNC0 输出驱动器/极性和 SYNC1 输出驱动器/极性位确定。

在分布时钟使用 SYNC0/SYNC1 功能时，FCE1320 不支持 LATCH0/1 的重映射。

【注意】SYNC/LATCH PDI 配置寄存器根据 EEPROM 的内容进行初始化。更多信息，请参见章节 8.6“EEPROM 可配置寄存器”。

8.2.2 SYNC IRQ 映射

SYNC0 和 SYNC1 的状态可分别映射到 AL 事件请求寄存器的 DC SYNC0 的状态和 DC SYNC1 的状态位。SYNC0 和 SYNC1 的状态的映射分别由 SYNC/LATCH PDI 配置寄存器的 SYNC0 映射和 SYNC1 映射位使能。

【注意】SYNC/LATCH PDI 配置寄存器根据 EEPROM 的内容进行初始化。更多信息，请参见章节 8.6“EEPROM 可配置寄存器”。

8.2.3 SYNC 脉冲长度

SYNC0 和 SYNC1 脉冲长度由同步信号寄存器的脉冲长度控制。同步信号寄存器的脉冲长度根据 EEPROM 的内容进行初始化。更多信息，请参见章节 8.6“EEPROM 可配置寄存器”。

8.2.4 SYNC/LATCH I/O 时序要求

本节规定了 SYNC0/LATCH0 和 SYNC1/LATCH1 的输入与输出时序。

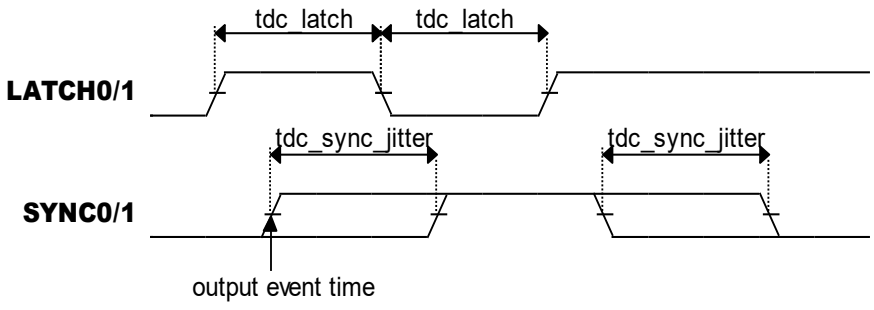


图 8-1 ETHERCAT SYNC/LATCH 时序图

表 8-1 EtherCAT SYNC/LATCH 时序值

符号	说明	最小值	典型值	最大值	单位
tdc_latch	相邻两个 LATCH0 或 LATCH1 事件的间隔时间	15	-	-	ns
tdc_sync_jitter	SYNC0 或 SYNC1 输出抖动	-	-	15	ns

8.3 PDI 选择和配置

器件使用的过程数据接口（Process Data Interface，PDI）由 PDI 控制寄存器指示。仅 SPI 接口可用：

- 82h：SPI 接口

【注意】PDI 控制寄存器可通过 EEPROM 配置。更多信息，请参见章节 8.6 “EEPROM 可配置寄存器”。

PDI 控制寄存器是根据 EEPROM 的内容初始化的。

已使能 PDI 的配置由 PDI 配置寄存器和扩展 PDI 配置寄存器控制。这些寄存器的定义取决于所选的工作模式。但是，只存在一个寄存器组。

8.4 SPI 主机接口

主机接口 PDI 用于带主机控制器的系统，它提供兼容的 SPI 主机接口。支持 EtherCAT 兼容模式以及 EtherCAT 直接映射模式。

PDI 配置寄存器和扩展 PDI 配置寄存器中的值反映来自 EEPROM 的值。PDI 配置寄存器中的值用于配置 SPI 接口。如果启用 GPIO（SPI 使能 GPIO），则会使用扩展的 PDI 配置寄存器中的值。

PDI 配置寄存器和扩展 PDI 配置寄存器从 EEPROM 的内容初始化。更多信息，请参见章节 8.6“EEPROM 可配置寄存器”。

8.5 用户 RAM

128 字节用户 RAM 位于 0F80h-0FFFh。该 RAM 中的默认值对于所有地址均未定义。

内部资料

8.6 EEPROM 可配置寄存器

以下寄存器可通过 EEPROM 配置。有关每位功能的详细信息，请参见相应的寄存器定义。

【注意】除非另外说明，否则保留的位必须写为 0。

表 8-2 EtherCAT 内核 EEPROM 可配置寄存器

寄存器	位	EEPROM 字/[位]
PDI 控制寄存器 （0140h）	[7:0]过程数据接口	0/[7:0]
ESC 配置寄存器 （0141h）	[7](未使用)	0/[15]
	[6]增强型链路端口 2	0/[14]
	[5]增强型链路端口 1	0/[13]
	[4]增强型链路端口 0	0/[12]
	[3]分布式时钟锁存输入单元 **【注】**Bit3 并非由 EEPROM 置 1	-
	[2]分布式时钟锁存输入单元 **【注】**Bit2 并非由 EEPROM 置 1	-
	[1]增强型链路检测所有端口	0/[9]
	[0]器件仿真（AL 状态寄存器控制）	0/[8]
PDI 配置寄存器 （0150h） SPI 模式	[7:3]保留	1/[7:3]
	[2] SPI AL 事件请求和 INT_STS 启用	1/[2]
	[1] SPI WAIT_ACK 极性	1/[1]
	[0] SPI WAIT_ACK 缓冲类型	1/[0]
SYNC/LATCH PDI 配置寄存器 （0151h）	[7]SYNC1 映射	1/[15]
	[6]SYNC1/LATCH1 配置	1/[14]
	[5:4]SYNC1 输出驱动器/极性	1/[13:12]
	[3] SYNC0 映射	1/[11]
	[2] SYNC0 / LATCH0 配置	1/[10]
	[1:0] SYNC0 输出驱动/极性	1/[9:8]
同步信号寄存器的脉冲长度 （0982h-0983h）	[15:0]同步信号的脉冲长度	2/[15:0]
扩展 PDI 配置寄存器 （0152h-0153h） SPI 模式	[15:0] 保留	3/[15:0]
配置站别名寄存器 （0012h-0013h）	[15:0]配置站别名地址	4/[15:0]

MII 管理控制/状态寄存器（0510h-0511h）	[2] MI 链接检测(未使用)	5/[15]
ASIC 配置寄存器（0142h-0143h）	[15]MI 链路检测(未使用)	
	[14]ERRLED 使能	5/[14]
	[13:8]保留	5/[13:8]
	[7]千兆位寄存器 9 MI 写操作使能(未使用)	5/[7]
	[6] STATE_RUNLED 模式选择	5/[6]
	[5:4]保留	5/[5:4]
	[3:0] ESC DL Control[23:20] (0X0102[7:4])	5/[3:0]
保留的寄存器（0144h-0145h）	[15:0]保留	6/[15:0]

8.7 LED

该器件每个端口都包含一个 RUN/STATE_RUN LED（RUNLED/STATE_RUNLED），一个错误 LED（ERRLED），以及一个链接/活动 LED（LINKACTLED[0:1]）。LED 引脚的极性由硬件配置寄存器（HW_CFG）的 LED 极性区域决定。引脚输出为漏极开路或源极开路。在 ASIC 配置寄存器中 ERRLED 也有一个使能位（ERRLED Enable）。LED 极性的默认值由 LEDPOL0，LEDPOL1，LEDPOL3，LEDPOL4 配置引脚控制。

当一个 LED 引脚作为一个功能模式脚使用时，LEF 引脚极性的默认值是根据配置脚值取反自动选择。LED 通过一个电阻器，有效地用作下拉或者上拉，详见图 8-2。

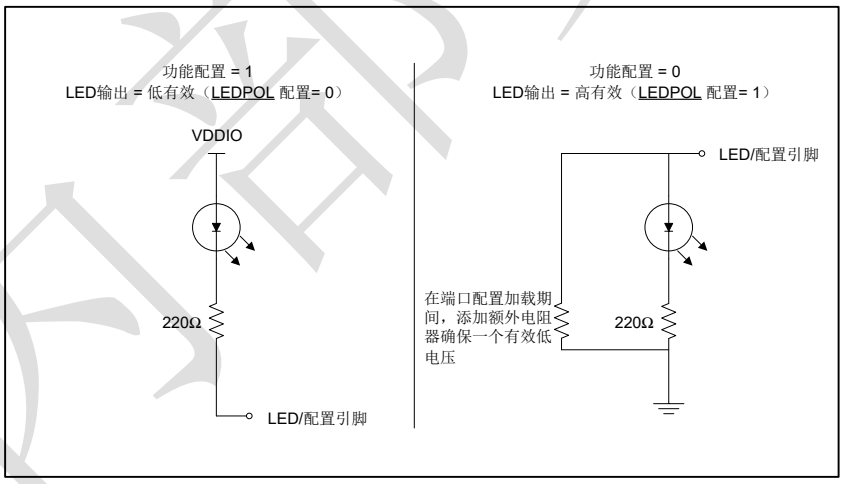


图 8-2 配置 LED 极性

EtherCAT 内核配置提供了通过运行 LED 改写寄存器对 RUN LED 的直接控制，以及通过错误 LED 改写寄存器控制 ERR LED。

通过将功耗管理控制寄存器（PMT_CTRL） 中的 LED_DIS 位置 1 可禁止（停止驱动）所有 LED 输出。

8.7.1 EEPROM 错误和 ERR LED

由于 ERRLED 引脚是通过 EEPROM 位启用的，因此在 EEPROM 加载错误的情况下出现了一个特殊的情况。在这种情况下，ERRLED 引脚被强制启用。

8.7.2 双色状态 LED

STATE LED 是由 RUN LED 和 ERR LED 组合而成的双色 LED。因为 STATE LED 的 RUN 部分必须在 ERR 部分激活时关闭，所以不能将 RUNLED 引脚和 ERRLED 引脚简单地组合起来驱动双色 LED。而是将 RUNLED 引脚更改为 STATE_RUNLED 引脚，当 ERRLED 引脚打开时，STATE_RUNLED 引脚关闭。STATE_RUNLED 通过 ASIC 配置寄存器的 STATE_RUNLED 模式选择位来选择。ASIC 配置寄存器通过从 EEPROM 的内容初始化的。

支持 2、3 和 4 个引脚双色 LED。通过在 LED 的每一边放置一个上拉或者下拉（取决于使用的信号极性）来支持使用 2 引脚双色 LED。通过放置串联电阻到电源或到地（取决于使用的信号极性），来支持 3 个引脚双色 LED。共阳极和共阴极之间的选择也取决于使用的信号极性。对于两个和三个引脚的选择，STATE_RUN 和 ERR LED 的极性必须是相同的（或者需要使用反向晶体管）。如果有需要，一个四个引脚双色 LED 提供最灵活的信号，因为每个信号都可以有不同的极性。

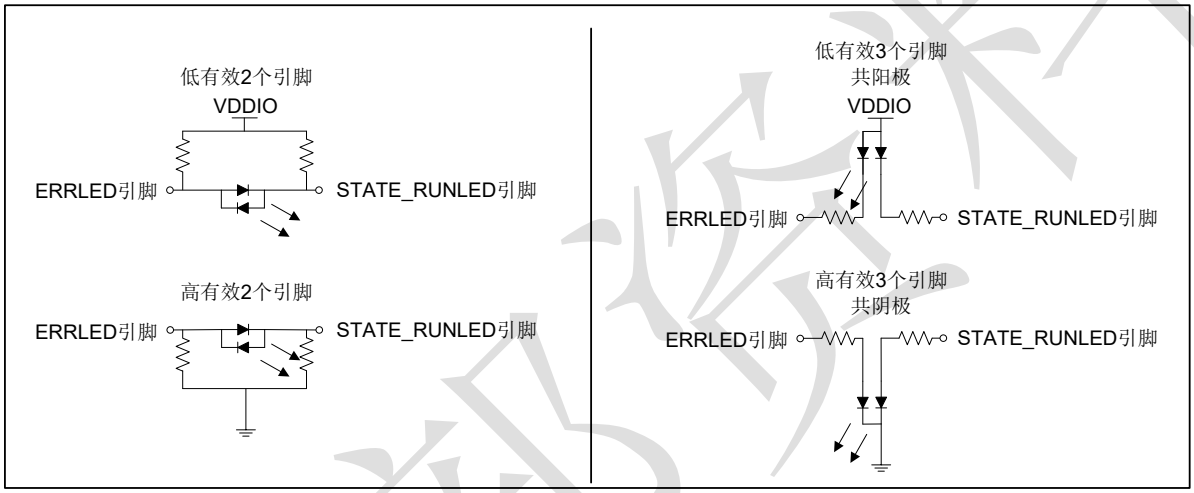


图 8-3 双色状态 LED

8.8 EtherCAT 复位

根据章节 4.3.1.3“EtherCAT 系统复位”的定义，通过 3 个连续帧向 ESC 复位 ECAT 寄存器写入 0x52（R）、0x45（E）和 0x53（S）之后或者通过 3 个连续的写操作向 ESC 复位 PDI 寄存器写入 0x52（R）、0x45（E）和 0x53（S）之后，会发生器件复位（和可选系统复位）。

【注意】序列的最后一个帧可能不会返回给主器件（取决于拓扑），因为主器件与被复位的从器件之间的链路将中断。

内部资料

8.9 EtherCAT 内核 CSR 寄存器（可直接寻址）

本节列举了可直接寻址的 EtherCAT 内核 CSR，它们可通过 SPI 接口直接进行访问。

【注意 1】对于超过一个字节的 EtherCAT 内核 CSR 寄存器，LSB 具有最低地址，MSB 具有最高地址。

【注意 2】根据寄存器访问方式的不同，具体 EtherCAT 内核寄存器位的读/写行为可能有所不同。每个 EtherCAT 内核寄存器均包含“ECAT 类型”和“PDI 类型”列，分别提供通过 EtherCAT 主站节点或过程数据接口（SPI/主机总线）访问寄存器时的位/字段类型。

表 8-3 EtherCAT 内核 CSR 寄存器

地址	长度（Byte）	寄存器名称
ESC Information		
0x0000	1	Type Register
0x0001	1	Revision Register
0x0002:0x0003	2	Build Register
0x0004	1	FMMUs Supported Register
0x0005	1	SyncManagers Supported Register
0x0006	1	RAM Size Register
0x0007	1	Port Descriptor Register
0x0008:0x0009	2	ESC Features Supported Register
Station Address		
0x0010:0x0011	2	Configured Station Address Register
0x0012:0x0013	2	Configured Station Alias Register
Write Protection		
0x0020	1	Write Register Enable Register
0x0021	1	Write Register Protection Register
0x0030	1	ESC Write Register Enable Register
0x0031	1	ESC Write Register Protection Register
Data Link Layer Register		
0x0040	1	ESC Reset ECAT Register
0x0041	1	ESC Reset PDI Register
0x0100:0x0103	4	ESC DL Control Register
0x0108:0x0109	2	Physical Read/Write Offset Register
0x0110:0x0111	2	ESC DL Status Register
Application Layer		
0x0120:0x0121	2	AL Control Register
0x0130:0x0131	2	AL Status Register

内部资料

0x0134:0x0135	2	AL Status Code Register
0x0138	1	RUN LED Override Register
0x0139	1	ERR LED Override Register
PDI (Process Data Interface)		
0x0140	1	PDI Control Register
0x0141	1	ESC Configuration Register
0x0142:0x0143	2	ASIC Configuration Register
0x0144:0x0145	2	RESERVED Register
0x014E:0x014F	2	PDI Information Register
0x0150	1	PDI Configuration Register
0x0151	1	Sync/Latch PDI Configuration Register
0x0152:0x0153	2	Extended PDI Configuration Register
Interrupts		
0x0200:0x0201	2	ECAT Event Mask Register
0x0204:0x0207	4	AL Event Mask Register
0x0210:0x0211	2	ECAT Event Request Register
0x0220:0x0223	4	AL Event Request Register
Error Counters		
0x0300:0x0307	4×2	Rx Error Counter Register
0x0308:0x030B	4×1	Forwarded Rx Error Counter Register
0x030C	1	ECAT Processing Unit Error Counter Register
0x030D	1	PDI Error Counter Register
0x030E	1	PDI Error Code Register
0x0310:0x0313	4×1	Lost Link Counter Register
Watchdogs		
0x0400:0x0401	2	Watchdog Divider Register
0x0410:0x0411	2	Watchdog Time PDI Register
0x0420:0x0421	2	Watchdog Time Process Data Register
0x0440:0x0441	2	Watchdog Status Process Data Register
0x0442	1	Watchdog Counter Process Data Register
0x0443	1	Watchdog Counter PDI Register
EEPROM Interface		
0x0500	1	EEPROM Configuration Register
0x0501	1	EEPROM PDI Access State Register
0x0502:0x0503	2	EEPROM Control/Status Register

0x0504:0x0507	4	EEPROM Address Register
0x0508:0x050F	4/8	EEPROM Data Register
MII Management Interface		
0x0510:0x0511	2	MII Management Control/Status Register
0x0512	1	PHY Address Register
0x0513	1	PHY Register Address Register
0x0514:0x0515	2	PHY Data Register
0x0516	1	MII Management ECAT Access State Register
0x0517	1	MII Management PDI Access State Register
0x0518:0x051B	4	PHY Port Status Register
0x0600:0x067F	8×16	FMMU [2:0] Register
+0x0:0x3	4	FMMUx Logical Start Address Register
+0x4:0x5	2	FMMUx Length Register
+0x6	1	FMMUx Logical Start Bit Register
+0x7	1	FMMUx Logical Stop Bit Register
+0x8:0x9	2	FMMUx Physical Start Address Register
+0xA	1	FMMUx Physical Start Bit Register
+0xB	1	FMMUx Type Register
+0xC	1	FMMUx Activate Register
+0xD:0xF	3	FMMUx Reserved Register
0x0680:0x06FF		Reserved
0x0800:0x083F	8×8	SyncManager [3:0] Register
+0x0:0x1	2	SyncManager x Physical Start Address Register
+0x2:0x3	2	SyncManager x Length Register
+0x4	1	SyncManager x Control Register
+0x5	1	SyncManager x Status Register
+0x6	1	SyncManager x Activate Register
+0x7	1	SyncManager x PDI Control Register
0x0840:0x087F		Reserved
0x0900:0x09FF	256	Distributed Clocks (DC)
DC – Receive Times		
0x0900:0x0903	4	Receive Time Port 0 Register
0x0904:0x0907	4	Receive Time Port 1 Register
0x0908:0x090B	4	Receive Time Port 2 Register
0x090C:0x090F	4	Reserved

DC – Time Loop Control Unit		
0x0910:0x0917	4/8	System Time Register
0x0918:0x091F	4/8	Receive Time ECAT Processing Unit Register
0x0920:0x0927	4/8	System Time Offset Register
0x0928:0x092B	4	System Time Delay Register
0x092C:0x092F	4	System Time Difference Register
0x0930:0x0931	2	Speed Counter Start Register
0x0932:0x0933	2	Speed Counter Diff Register
0x0934	1	System Time Difference Filter Depth
0x0935	1	Speed Counter Filter Depth Register
DC – Cyclic Unit Control		
0x0980	1	Cyclic Unit Control Register
DC – SYNC Out Unit		
0x0981	1	Activation Register
0x0982:0x0983	2	Pulse Length of SyncSignals Register
0x0984	1	Activation Status Register
0x098E	1	SYNC0 Status Register
0x098F	1	SYNC1 Status Register
0x0990:0x0997	4/8	Start Time Cyclic Operation/Next SYNC0 Pulse Register
0x0998:0x099F	4/8	Next SYNC1 Pulse Register
0x09A0:0x09A3	4	SYNC0 Cycle Time Register
0x09A4:0x09A7	4	SYNC1 Cycle Time Register
DC – Latch In Unit		
0x09A8	1	Latch0 Control Register
0x09A9	1	Latch1 Control Register
0x09AE	1	Latch0 Status Register
0x09AF	1	Latch1 Status Register
0x09B0:0x09B7	4/8	Latch0 Time Positive Edge Register
0x09B8:0x09BF	4/8	Latch0 Time Negative Edge Register
0x09C0:0x09C7	4/8	Latch1 Time Positive Edge Register
0x09C8:0x09CF	4/8	Latch1 Time Negative Edge Register
DC – SyncManager Event Times		
0x09F0:0x09F3	4	EtherCAT Buffer Change Event Time Register
0x09F8:0x09FB	4	PDI Buffer Start Event Time Register
0x09FC:0x09FF	4	PDI Buffer Change Event Time Register

ESC specific		
0x0E00:0x0E07h	8	Product ID Register (IP Core)
0x0E08:0x0E0Fh	8	Vendor ID Register (IP Core)
Digital Input/Output		
0x0F00:0x0F03	4	Digital I/O Output Data Register
0x0F10:0x0F17	1-8	General Purpose Outputs Register
0x0F18:0x0F1F	1-8	General Purpose Inputs Register
User RAM		
0x0F80:0x0FFF	128	User RAM
Process Data RAM		
0x1000:0x1003	4	Digital I/O Input Data Register
0x1000:0x2FFF	8KB	Process Data RAM

内部资料

9 EEPROM 接口

器件包含 I²C 主控制器，该主控制器使用 EESCL 和 EESDA 引脚。EESCL 和 EESDA 不需要外部上拉电阻。支持通过 1 字节和 2 字节寻址的 EEPROM。具体大小由配置引脚 E2PSIZE 确定。

9.1 I²C 接口时序要求

本节规定 I²C 主接口的输入和输出时序。I²C 主接口在快速模式下以 148.8kHz 的速率运行。

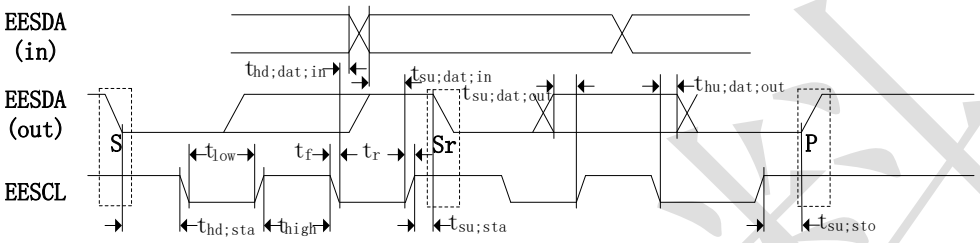


图 9-1 I2C 主站时序图

表 9-1 I2C 主器件时序值

符号	说明	最小值	典型值	最大值	单位
fscl	EESCL 时钟频率	-	148.8	-	kHz
thigh	EESCL 高电平时间	3.0	-	-	μs
tlow	EESCL 低电平时间	3.0	-	-	μs
tr	EESDA 和 EESCL 的上升时间		-	300	ns
tf	EESDA 和 EESCL 的下降时间		-	300	ns
tsu;sta	重复启动条件下 EESDA 输出下降前 EESCL 高电平的建立时间（提供给从器件）	1000 **【注 1】**	-	-	ns
thd;sta	启动或重复启动条件下 EESDA 输出下降后 EESCL 的保持时间（提供给从器件）	1000 **【注 1】**	-	-	ns
tsu;dat;in	EESCL 上升前 EESDA 输入的建立时间（来自从器件）	200 **【注 2】**	-	-	ns
thd;dat;in	EESCL 下降后 EESDA 输入的保持时间（来自从器件）	0	-	-	ns
tsu;dat;out	EESCL 上升前 EESDA 输出的建立时间（提供给从器件）	400 **【注 3】**	-	-	ns
thd; dat;out	EESCL 下降后 EESDA 输出的保持时间（提供给从器件）	400 **【注 3】**	-	-	ns
tsu;sto	停止条件下 EESDA 输出上升前 EESCL 高电平的建立时间（提供给从器件）	1000 **【注 1】**	-	-	ns

【注 1】与 I²C 快速模式规范相比，这些值提供 400ns 的裕量。

【注 2】与 I²C 快速模式规范相比，这些值提供大约 2100ns 的裕量。

【注 3】与 I2C 快速模式规范相比，这些值提供 300ns 的建立裕量和 400ns 的保持裕量。

9.2 等效 EEPROM

为降低系统成本和复杂度，芯片支持 EEPROM 等效模式。

等效 EEPROM 模式用于 non-volatile memory（非易变的存储 NVRAM）的微处理器附属的从站中。从站配置和设备说明可存储在单片机的 NVRAM 中，单片机可按 ESC 要求执行对 NVRAM 的读写操作。

从 EtherCAT 主站角度来看，等效 EEPROM 模式 和 I²C EEPROM 芯片没有区别。微处理器只是发出 EEPROM 指令并等待，直到 EEPROM 接口不再繁忙。

对于 EEPROM 等效模式，如果 EEPROM 指令被挂起，从站向微处理器发送一个中断，并自动将 busy bit（0x0502[15]）置 1。当 busy bit 被设 1 时，微处理器可读出指令和 EEPROM 地址。对于写操作，写数据存于数据寄存器中。对于读指令，读数据必须由微处理器存储在数据寄存器中。

一旦微处理器对 EEPROM 数据寄存器完成读写操作，将对 EEPROM 命令寄存器位写应答命令。

微控制器必须写已执行到 EEPROM 命令寄存器的命令值。错误可以用两个错误位来表示。响应命令之后，EEPROM busy bit 0x0502[15]自清零，并且中断释放。

微处理器可以使用缓存的 EEPROM 内容的缓存图像，以减少访问时间和写入 NVRAM 的周期。NVRAM 的访问完成后，应该更新 NVRAM（超时后）。不依赖于主站特定的写入序列。

等效 EEPROM 期间，配置重新加载将以实际的 EEPROM（包括有效的 CRC）获取所有 16 个字节（每次 8 字节）的格式。等效 EEPROM 模式通过外部下拉 EE_EMUL 配置引脚实现。等效 EEPROM 模式由 EEPROM 控制/状态寄存器的等效 EEPROM 位来指示。

【注意】为了正常的 EEPROM 操作，配置引脚 EE_EMUL 应外部上拉。

内部资料

10 通用定时器和自由运行时钟

本章详细介绍了通用定时器（General Purpose Timer，GPT）和自由运行时钟。

10.1 通用定时器

该器件提供了一个 16 位可编程通用定时器，可用于产生周期性系统中断。该定时器的分辨率为 100 µs。

当通用定时器配置寄存器（GPT_CFG）的通用定时器使能（TIMER_EN）位置为有效（1）时， GPT 会将通用定时器配置寄存器（GPT_CFG）的通用定时器预载（GPT_LOAD）字段中的值装载到通用定时器计数寄存器（GPT_CNT）中。在芯片级复位时或者当通用定时器使能（TIMER_EN）位从有效状态（1）切换为无效状态（0）时，通用定时器预载（GPT_LOAD）字段将初始化为 FFFFh。复位时，通用定时器计数寄存器（GPT_CNT）也将初始化为 FFFFh。

使能后，GPT 将递减计数至 0000h。到达 0000h 时，计数器将回绕到 FFFFh，将中断状态寄存器（INT_STS）中的 GP 定时器（GPT_INT）中断状态位置为有效并将 IRQ 中断置为有效（如果中断允许寄存器（INT_EN）中 GP 定时器中断允许（GPT_INT_EN 位置 1），然后继续计数。GP 定时器（GPT_INT）中断状态位是粘住位。该位置为有效后，只能通过写 1 将其清零。有关 GPT 中断的更多信息，请参见章节 5.2.1 “通用定时器中断”。

软件可随时向通用定时器预载（GPT_LOAD）字段写入预载值（例如，通用定时器使能（TIMER_EN）位置为有效之前或之后）。通用定时器计数寄存器（GPT_CNT）将立即设置为新值并从该值继续递减计数（如果使能）。

10.2 自由运行时钟

自由运行时钟（Free-Running Clock，FRC）是一个以 25MHz 固定时钟工作的简单 32 位递增计数器。当前 FRC 值可通过自由运行 25MHz 计数器寄存器（FREE_RUN）读取。芯片级复位置为有效时，该计数器将清零。复位置为无效时，计数器将每隔一个 25MHz 时钟周期递增 1 次。当到达最大计数时，计数器将计满返回至 0。FRC 不会产生中断。

【注意】复位事件后，自由运行计数器会花费 160ns 清零。

10.3 通用定时器和自由运行时钟寄存器

本节详细介绍了与可直接寻址的通用定时器和自由运行时钟相关的系统 CSR。有关整个可直接寻址寄存器映射的概述，请参见章节 3.0 “Register Map”。

表 10-1 通用定时器和自由运行时钟寄存器

地址	寄存器名称（符号）
308Ch	通用定时器配置寄存器（GPT_CFG）
3090h	通用定时器计数寄存器（GPT_CNT）
309Ch	自由运行 25 MHz 计数器寄存器（FREE_RUN）

【注】这些寄存器只允许 PDI 接口进行读写操作，主站无法读写访问。

10.3.1 通用定时器配置寄存器（GPT_CFG）

地址：308Ch　　大小：32 位

该读/写寄存器用于配置器件的通用定时器（GPT）。GPT 可配置为以该寄存器中定义的时间间隔产生主机中断。GPT 的当前值可通过通用定时器计数寄存器（GPT_CNT）监视。更多信息，请参见章节 10.1 “通用定时器”。

位	说明	类型	默认值
31:30	**保留位**	RO	-
29	**通用定时器使能（TIMER_EN）** 该位用于使能 GPT。置 1 时，GPT 将进入运行状态。清零时，GPT 将暂停。 当该位从 1 跳变为 0 时，该寄存器的 GPT_LOAD 字段将预设为 FFFFh。 0：禁止 GPT 1：使能 GPT	R/W	0b
28:16	**保留位**	RO	-
15:0	**通用定时器预载（GPT_LOAD）** 该值预载到 GPT 中。这是 GPT 的起始值。使能时，定时器将从该值开始递减。	R/W	FFFFh

【注】此寄存器只允许 PDI 接口进行读写操作，主站无法读写访问。

10.3.2 通用定时器计数寄存器（GPT_CNT）

地址：3090h　　大小：32 位

该只读寄存器反映通用定时器（GPT）的当前值。该寄存器应与通用定时器配置寄存器（GPT_CFG）配合使用，以配置和监视 GPT。更多信息，请参见章节 10.1 “通用定时器”。

位	描述	类型	默认值
31:16	**保留位**	RO	-
15:0	**通用定时器当前计数（GPT_CNT）** 该 16 位字段表示 GPT 的当前值。	RO	FFFFh

【注】此寄存器只允许 PDI 接口进行读写操作，主站无法读写访问。

10.3.3 自由运行 25MHZ 计数器寄存器（FREE_RUN）

地址：309Ch　　大小：32 位

该只读寄存器反映自由运行 25MHz 计数器的当前值。更多信息，请参见章节 10.2 “自由运行时钟”。

位	描述	类型	默认值
31:0	**自由运行计数器（FR_CNT）** 该字段反映自由运行 32 位计数器的当前值。 复位时，计数器从 0 开始计数，每个 25MHz 周期递增 1。 当到达最大计数时，计数器将计满返回至 0 并继续计数。 **【注】**复位事件后，自由运行计数器会花费 160ns 清零。	RO	00000000h

【注】此寄存器只允许 PDI 接口进行读写操作，主站无法读写访问。

内部资料

11 其它

本章描述设备中存在的其他功能和寄存器。

11.1 其它系统配置&状态寄存器

本节详细介绍了直接寻址系统 CSRs 的其余部分。这些寄存器允许监视和配置各种设备功能，如芯片 ID / 修订、字节顺序测试和硬件配置。

要对整个直接可寻址的寄存器映射进行概述，请参见章节 3.0 “Register Map”。

表 11-1 其它寄存器

地址	寄存器名称（符号）
3050h	芯片 ID 和修订（ID_REV）
3064h	字节顺序测试寄存器（BYTE_TEST）
3074h	硬件配置寄存器（HW_CFG）

【注】这些寄存器只允许 PDI 接口进行读写操作，主站无法读写访问。

11.1.1 芯片 ID 和修订（ID_REV）

地址：3050h　　大小：32 位

这个只读寄存器包含该设备的 ID 和修订字段。

位	描述	类型	默认值
31:16	**芯片 ID** 这个字段表示芯片 ID	RO	FCE1322:1322h FCE1323:1323h
15:0	**芯片修订** 这个字段表示芯片设计修订	RO	取决于设备修订

【注】此寄存器只允许 PDI 接口进行读写操作，主站无法读写访问。

11.1.2 字节顺序测试寄存器（BYTE_TEST）

地址：3064h　　大小：32 位

这个只读寄存器可以用来确定当前配置的字节顺序。字节排序是主机数据总线宽度和大小端的功能。

BYTE_TEST 寄存器可以选择用作虚拟读取寄存器当保证写到读或者读到读的最短时间。

对于在复位状态期间禁用的主机接口，BYTE_TEST 寄存器可以用来确定设备何时退出复位状态。

【注意 1】当器件处于复位或未就绪/节能状态且主机接口未处于中间状态时，可读取该寄存器。如果主机接口处于复位状态，返回数据可能无效。然而在复位期间，返回的数据将与正常的有效数据不匹配。

【注意 2】没有必要读取这个寄存器的所有 4 个字节。

位	说明	类型	默认值
31:0	**字节测试（BYTE_TEST）** 这个字段反映当前字节顺序	RO	87654321h

【注】此寄存器只允许 PDI 接口进行读写操作，主站无法读写访问。

11.1.3 硬件配置寄存器（HW_CFG）

地址：3074h　　大小：32 位

该寄存器可配置各种硬件功能。

【注意 1】当器件处于复位或未就绪/节能状态且主机接口未处于中间状态时，可读取该寄存器。如果主机接口处于复位状态，则返回的数据可能无效。

【注意 2】不必读取该寄存器的全部四个字节。

位	描述	类型	默认值
31:28	**保留**	RO	-
27	**器件就绪（READY）** 置 1 时，该位指示器件已准备好接受访问。上电复位、 RST#复位、退出节能状态、EtherCAT 芯片级/模块级复位或数字复位后，主机处理器可询问该字段以指示器件是否已稳定且完全激活。 该位的上升沿会将中断状态寄存器（INT_STS）中的器件就绪（READY）位置为有效，并且可引起中断（如果允许）。 **【注】**当 READY 位清零时，将禁止对除了 HW_CFG、PMT_CTRL、BYTE_TEST 和 RESET_CTL 寄存器以外的任何内部资源进行读访问。该位置 1 之前，对任何地址的写访问都是无效的。 **【注】**该位与功耗管理控制寄存器（PMT_CTRL）的 bit0 相同。	RO	0b
26:5	保留位	RO	-
4:0	**LED 极性** 清零时，相关的 LED 引脚低有效。 置 1 时，相关的 LED 引脚高有效。 Bit0：LINKACTLED0 Bit1：LINKACTLED1 Bit2：LINKACTLED2(未使用) Bit3：RUNLED/STATE_RUNLED Bit4：ERRLED **【注】**这些位的极性与配置的极性相反。 **【注】**这些位不影响可能共享引脚的功能。	R/W	与 LEDPOL[4:0]配置相反

【注】此寄存器只允许 PDI 接口进行读写操作，主站无法读写访问。

12 OPERATIONAL CHARACTERISTICS

12.1 Absolute Maximum Ratings*

Table 12-1 Absolute Maximum Ratings

Parameter		Min	Max	Units
Supply Voltage(Note1)	VDD33	0	3.6	V
	VDDIO	0	3.6	V
Positive voltage on OSCI, with respect to ground		-	3.6	V
Storage Temperature	T_{STG}	-40	150	℃
Junction Temperature	T_J	-40	125	℃
Electrostatic discharge (Human body model)	$V_{ESD(HBM)}$	3	-	kV
Electrostatic discharge (Charged device model)	$V_{ESD(CDM)}$	800	-	V
Latch up current	I_{LAT}	±200	-	mA

Note1: When powering this device from laboratory or system power supplies, it is important that the absolute maximum ratings not be exceeded or device failure can result. Some power supplies exhibit voltage spikes on their outputs when AC power is switched on or off. In addition, voltage transients on the AC power line may appear on the DC output. If this possibility exists, it is suggested to use a clamp circuit.

* : Stresses exceeding those listed in this section could cause permanent damage to the device. This is a stress rating only. Exposure to absolute maximum rating conditions for extended periods may affect device reliability. Functional operation of the device at any condition exceeding those indicated in Section 12.2 " Recommended Operating Conditions** ", Section 12.4 " DC Specifications ", or any other applicable section of this specification is not implied. Note, device signals are NOT 5 volt tolerant.

12.2 Recommended Operating Conditions**

Table 12-2 Recommended Operating Conditions

Parameter		Min	Typ	Max	Unit
Analog Port Supply Voltage	VDD33	3.0	3.3	3.6	V
I/O Supply Voltage(Note1)	VDDIO	1.62	3.3	3.6	V
Ambient Operating Temperature in Still Air	T_A	-40	-	105	℃

Note1: Do not drive input signals without power supplied to the device.

**: Proper operation of the device is guaranteed only within the ranges specified in this section. After the device has completed power-up, VDDIO must maintain their voltage level with ±10%. Varying the voltage greater than ±10% after the device has completed power-up can cause errors in device operation.

12.3 Current Consumption and Power Consumption

Table 12-3 FCE1322 DC Characteristics (Supply Current)

		3.3 V Device Current (mA) (Note1,Note2)	
		LVDS Port:3.5mA Standard Mode Supported	LVDS Port:7.0mA Extend Mode Supported
Reset (RST#)	Typ.	41	43
Port0, LVDX-TX Idle; Port1, LVDX-TX Idle;	Typ.	46	51
Port0, LVDX-TX with Traffic; Port1, LVDX-TX Idle;	Typ.	50	58
Port0, LVDX-TX with Traffic; Port1, LVDX-TX with Traffic;	Typ.	50	58
Port0, LVDX-TX with Idle; Port1, LVDX-TX with Traffic;	Typ.	46	51
Port0, LVDX-TX with Traffic; Port1, LVDX-TX with Traffic (At maximum SPI interface speed) ;	Typ.	52	60

Table 12-4 FCE1323 DC Characteristics (Supply Current)

		3.3 V Device Current (mA) (Note1,Note2)	
		LVDS Port:3.5mA Standard Mode Supported	LVDS Port:7.0mA Extend Mode Supported
Reset (RST#)	Typ.	40	42
Port0, LVDX-TX Idle; Port1, LVDX-TX Idle;	Typ.	45	50
Port0, LVDX-TX with Traffic; Port1, LVDX-TX Idle;	Typ.	50	58
Port0, LVDX-TX with Traffic; Port1, LVDX-TX with Traffic;	Typ.	50	58
Port0, LVDX-TX with Idle; Port1, LVDX-TX with Traffic;	Typ.	45	50
Port0, LVDX-TX with Traffic; Port1, LVDX-TX with Traffic (At maximum QSPI interface speed) ;	Typ.	51	59

Note1: VDD33, VDDIO.

Note2: Current measurements do not include power applied to the optional external LEDs.

12.4 DC Specifications

Table 12-5 Non-Variable I/O DC Electrical Characteristics

Symbol	Buffer Types	Parameter	Condition	Min	Typ	Max	Units	Notes
V_{THA}	AI (CLK_OUT_EN/ XTAL_MODE)	State A Threshold		-0.3	-	0.8	V	
V_{THB}		State B Threshold		1.2	-	1.7	V	
V_{THC}		State C Threshold		2.2	-	VDD33+0.3	V	
V_{FLOAT}		Pin Float Voltage		1.48	-	1.84(Note1)	V	
V_{ILI}	ICK (OSCI) Crystal Oscillator Overdrive Mode **(Note2)**	Low Input Level		-0.3	-	0.35	V	
V_{IHI}		High Input Level		1	-	3.6	V	
I_{ILCK}		Input Leakage		-10	-	10	μA	
V_{ILI}	ICK (OSCI) Schmitt Trigger Input Mode	Low Input Level		-0.3	-	0.8	V	
V_{IHI}		High Input Level		VDD33-0.8	-	3.6	V	
V_{HYS}		Input Hysteresis		150	-	-	mV	
I_{ILCK}		Input Leakage		-10	-	10	μA	
V_{OL}	O8	Low Output Level	I_{OL} = 8mA	-	-	0.4	V	
V_{OH}		High Output Level	I_{OH} =-8mA	VDD33-0.4	-	-	V	
I_{OL}		I/O sinking current	V_{OUT}=0.4V	8.28	12.64	18.42	mA	
R_{OL}		I/O sinking output impedance	V_{OUT}=0.4V	21.71	31.64	48.32	Ω	
I_{OH}		I/O sourcing current	V_{OUT}=VDD33-0.4V	8.08	11.57	18.08	mA	
R_{OH}		I/O sourcing output impedance	V_{OUT}=VDD33-0.4V	22.13	30.94	49.5	Ω	

Note1: Although V_{FLOAT}(max) could exceed V_{THB}, a float is guaranteed to be detected as State B.

Note2: OSCI can optionally be driven from a 25MHz single-ended clock oscillator.

Table 12-6 Variable I/O DC Electrical Characteristics

Symbol	Buffer Types	Parameter	Condition	Min	1.8V Typ	3.3V Typ	Max	Units	Notes
V_{ILI}	VIS	Low Input Level		-0.3	-	-	-	V	
V_{IHI}		High Input Level		-	-	-	3.6	V	
V_{ILT}		Neg-Going Threshold		0.64	0.83	1.51	1.76	V	Schmitt trigger
V_{IHT}		Pos-Going Threshold		0.81	1	1.65	1.93	V	Schmitt trigger
V_{HYS}		Schmitt Trigger Hysteresis	V_{IHT} - V_{ILT}	95	164	137	298	mV	
I_{IH}		Input Leakage	VIN = VSS or VDDIO	-10	-	-	10	μA	**Note1**
C_{IN}		Input Capacitance		-	-	-	2	pF	
R_{DPU}		Pull-Up Impedance	VIN = VSS	54	68	67	82	kΩ	
I_{DPU}		Pull-Up Current	VIN = VSS	20	27	49	67	μA	
R_{DPD}		Pull-Down Impedance	VIN = VDDIO	54	68	67	85	kΩ	
I_{DPD}		Pull-Down Current	VIN = VDDIO	19	26	48	66.5	μA	
V_{OL}	VO8	Low Output Level	I_{OL} = 8mA	-	-	-	0.4	V	
V_{OH}		High Output Level	I_{OH} =-8mA	VDDIO-0.4	-	-	-	V	
V_{OL}	VOD8	Low Output Level	I_{OL} = 8mA	-	-	-	0.4	V	
V_{OH}	VOS8	High Output Level	I_{OH} =-8mA	VDDIO-0.4	-	-	-	V	
V_{OL}	VOD12	Low Output Level	I_{OL} = 12mA	-	-	-	0.4	V	
V_{OH}	VOS12	High Output Level	I_{OH} =-12mA	VDDIO-0.4	-	-	-	V	

Note1: This specification applies to all inputs and tri-stated bi-directional pins. Internal pull-down and pull-up resistors add ±50μA per-pin (typical).

Table 12-7 RBIAS resistor

Symbol	Buffer Types	Parameter	Condition	Min	Typ	Max	Units	Notes
R_{BIAS}	AI	Bias Reference		-	12.1(Note1)	-	kΩ	

Note1: Resistance accuracy ±1%.

12.4.1 LVDS DC Specifications

Table 12-8 Standard LVDS DC Specifications

Symbol	DC Parameter	Condition	Min	Typ	Max	Units
VDD33	Supply Voltage		3.0	3.3	3.6	V
V_{ODIFF}	Differential Output Voltage	R_T=100Ω	250	350	450	mV
Δ_{OD}	Change in V_{OD} between 1 and 0	R_T=100Ω	-	-	±50	mV
V_{OCM}	Output Common-Mode Voltage	R_T=100Ω	1.125	1.2	1.375	V
V_{IDIFF}	Differential Input Voltage		100	-	-	mV
V_{ICM}	Input Common-Mode Voltage		0	-	2.4	V
V_{GPD}	Ground Potential Difference		-1	0	1	V

Table 12-9 Extended LVDS DC Specifications

Symbol	DC Parameter	Condition	Min	Typ	Max	Units
VDD33	Supply Voltage		3.0	3.3	3.6	V
V_{ODIFF}	Differential Output Voltage	R_T=100Ω	350	700	820	mV
Δ_{OD}	Change in VOD between 1 and 0	R_T=100Ω	-	-	±100	mV
V_{OCM}	Output Common-Mode Voltage	R_T=100Ω	1.125	1.2	1.375	V
V_{IDIFF}	Differential Input Voltage		100	-	-	mV
V_{ICM}	Input Common-Mode Voltage		0	-	2.4	V
V_{GPD}	Ground Potential Difference		-1	0	1	V

内部资料

12.5 AC Specifications

This section details the various AC timing specifications of the device.

Note: The I²C timing adheres to the NXP I²C -Bus Specification. Refer to the NXP I²C -Bus Specification for detailed I²C timing information.

12.5.1 Equivalent Test Load

Output timing specifications assume the 25pF equivalent test load, unless otherwise noted, as illustrated in Figure12-1.

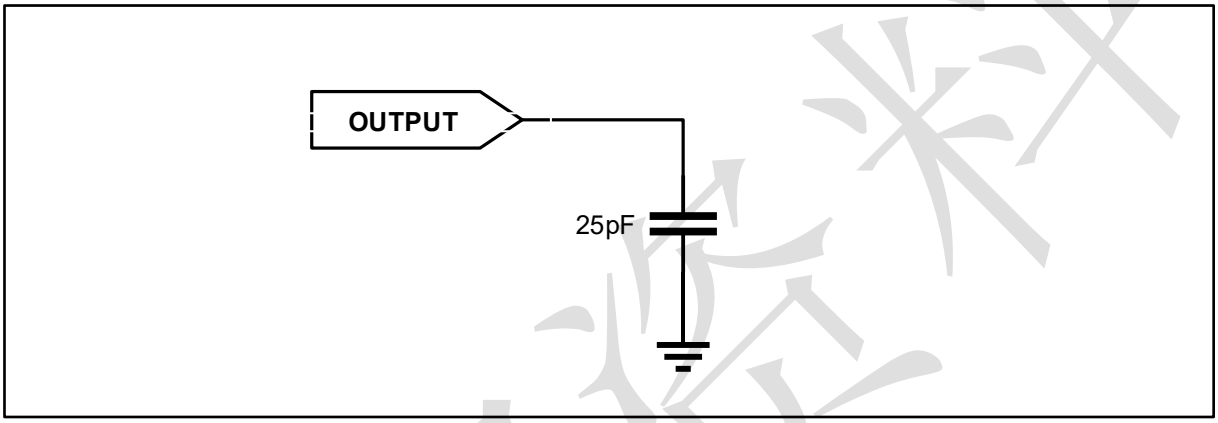


Figure 12-1 Output Equivalent Test Load

12.5.2 Power Sequencing Timing

These diagrams illustrate the device power sequencing requirements. The VDDIO, VDD33 must all reach operational levels within the specified time period tpon.

In addition, once the VDDIO power supply reaches 1.0V, it must reach 80% of its operating voltage level (1.44V when operating at 1.8V, 2.0V when operating at 2.5V, 2.64V when operating at 3.3V) within an additional 15ms. This requirement can be safely ignored if using an external reset as shown in Section 12.6.3 " Reset and Configuration Strap Timing ".

Device power supplies can turn off in any order provided they all reach 0 volts within the specified time period tpoff.

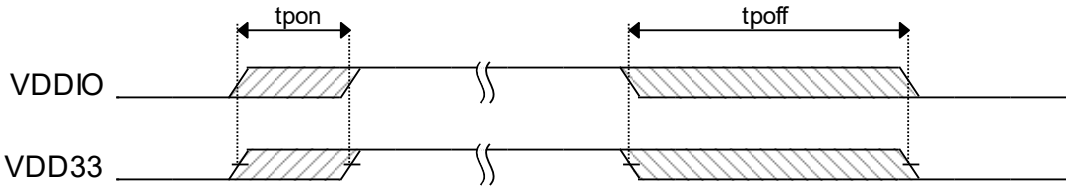


Figure 12-2 Power Sequence Timing

Table 12-10 Power Sequencing Timing Values

Symbol	Description	Min	Typ	Max	Units
tpon	Power supply turn on time	-	-	50	ms
tpoff	Power supply turn off time	-	-	500	ms

12.5.3 Reset And Configuration Strap Timing

This diagram illustrates the RST# pin timing requirements and its relation to the configuration strap pins and output drive. Assertion of RST# is not a requirement. However, if used, it must be asserted for the minimum period specified. The RST# pin can be asserted at any time, but must not be deasserted until tpurstd after all external power supplies have reached operational levels and if an external clock is used on the OSCI pin, it must not be deasserted until the clock input is stable. Refer to Section 4.3 " Resets " for additional information.

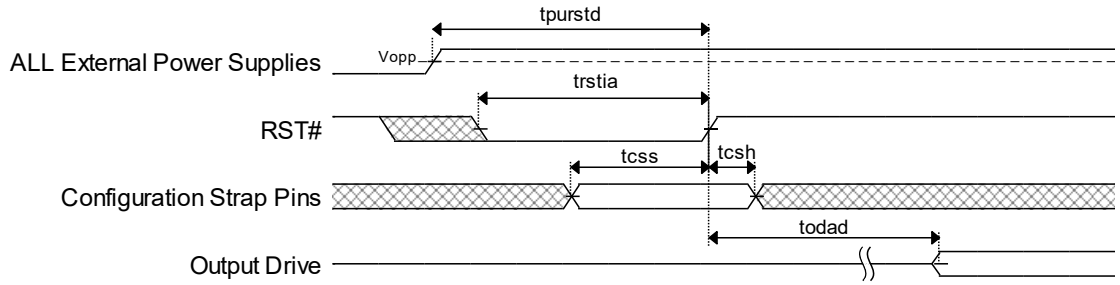


Figure 12-3 RST# Pin Configuration Strap Latching Timing

Table 12-11 RST# Pin Configuration Strap Latching Timing Values

Symbol	Description	Min	Typ	Max	Units
tpurstd	External power supplies at operational level to RST# deassertion **(Note1)**	25	-	-	ms
trstia	RST# input assertion time	200	-	-	µs
tcss	Configuration strap pins setup to RST# deassertion	200	-	-	ns
tcsh	Configuration strap pins hold after RST# deassertion	10	-	-	ns
todad	Output drive after deassertion	3	-	-	µs

Note1: When configured to be an output, CLK_OUT is not driven until after the internal power-on reset time has expired. This occurs in approximately 21ms. In a daisy-chained clock configuration each device will time its power-on reset based on the CLK_OUT signal from the previous device. The total system power-on reset time will therefore be the compound sum of all devices. In order to ensure all devices are released from reset concurrently, the deassertion time of RST# should be set to the number of daisy-chained times tpurstd.

Note: The OSCI clock input must be stable prior to RST# deassertion.

Note: Device configuration straps, except XTAL_MODE and CLK_25_EN, are latched as a result of RST# assertion. Refer to Section 4.3.1 " Chip-Level Resets " for details.

Note: Configuration strap latching and output drive timings shown assume that the Power-On reset has finished first

otherwise the timings in Section 12.5.4 " Power-On and Configuration Strap Timing " apply.

Note: RST# does not affect the CLK_25_EN, therefore the output enable time does not apply to the CLK_25_EN configuration strap.

12.5.4 Power-On And Configuration Strap Timing

This diagram illustrates the configuration strap valid timing requirements in relation to power-on. In order for valid configuration strap values to be read at power-on, the following timing requirements must be met.

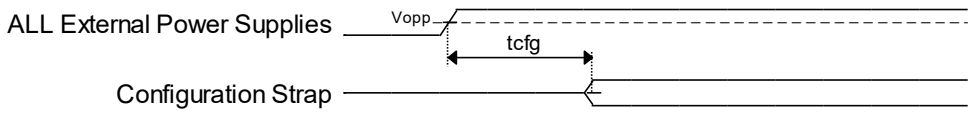


Figure 12-4 Power-On Configuration Strap Latching Timing

Table 12-12 Power-On Configuration Strap Latching Timing Values

Symbol	Description	Min	Typ	Max	Units
tcfg	Configuration strap valid time	-	-	15	ms

Note: Configuration straps must only be pulled high or low. Configuration straps must not be driven as inputs.

Device configuration straps, except XTAL_MODE and CLK_25_EN, are also latched as a result of RST# assertion. Refer to Section 12.5.3 " Reset and Configuration Strap Timing " and Section 4.3.1 " Chip-Level Resets " for additional details.

12.5.5 SPI/SQI Slave Interface I/O Timing

Timing specifications for the SPI/SQI Slave Bus Interface are given in Section 6.5 " SPI/SQI Timing Requirements ".

12.5.6 I2C EEPROM I/O Timing

Timing specifications for I^2C EEPROM access are given in Section 9.1" I^2C Interface Timing Requirements ".

12.6 Clock Circuit

The device can accept either a 25MHz crystal or a 25MHz single-ended clock oscillator (±50ppm) input. If the single ended clock oscillator method is implemented, OSCO should be left unconnected and OSCI should be driven with a clock signal that adheres to the specifications outlined throughout Section 12 " Operational Characteristics ". See Table 12-14 and the accompanying notes for the recommended crystal specifications when using a 25MHz crystal.

Table 12-13 Crystal Specifications (Note 1)

Symbol	Parameter	Conditions(Note 2)	Min	Typ	Max	Units
Fundamental Mode	Crystal Oscillation Mode	-	-	-	-	-
f_{OSCI}	Oscillator Frequency	-	-	25	-	MHz
R_F	Feedback resistor	-	0.83	1.04	1.6	MΩ
G_m	Maximum critical crystal transconductance	Startup	-	-	1.5	mA/V
t_{SU}(Note 3)	Startup time	VDD is stabilized	-	TBD	-	ms
F_{tol}(Note 4)	*802.3* Frequency Tolerance at 25℃	-	-	-	±40	ppm
F_{temp}(Note 4)	*802.3* Frequency Stability Over Temp	-	-	-	±40	ppm
F_{age}(Note 5)	*802.3* Frequency Deviation Over Time	-	-	±3 to 5	-	ppm
-	*802.3* Total Allowable PPM Budget(Note 6)	-	-	-	±50	ppm
F_{tol}(Note 7)	EtherCAT Frequency Tolerance at 25℃	-	-	-	±15	ppm
F_{temp}(Note 7)	EtherCAT Frequency Stability Over Temp	-	-	-	±15	ppm
F_{age}(Note 5)	EtherCAT Frequency Deviation Over Time	-	-	±3 to 5	-	ppm
-	EtherCAT Total Allowable PPM Budget(Note 8)	-	-	-	±25	ppm

Note1: Based on design simulation.

Note2: Resonator characteristics given by the crystal/ceramic resonator manufacturer.

Note3: t_{SU} is the startup time measured from the moment it is enabled (by software) to a stabilized 25MHz oscillation is reached. This value is measured for a standard crystal resonator and it can vary significantly with the crystal manufacturer.

Note4: The maximum allowable values for frequency tolerance and frequency stability are application dependent. Since any particular application must meet the IEEE ±50ppm Total PPM Budget, the combination of these two values must be approximately ±45ppm (allowing for aging).

Note5: Frequency Deviation Over Time is also referred to as Aging.

Note6: The total deviation for 100BASE-TX is ±50ppm.

Note7: The maximum allowable values for frequency tolerance and frequency stability are application dependent. Since any particular application must meet the EtherCAT ±25ppm Total PPM Budget, the combination of these two values must be approximately ±15ppm (allowing for aging).

Note8: The total deviation for EtherCAT is ±25ppm.

For C_{L1} and C_{L2}, it is recommended to use high-quality external ceramic capacitors, designed for high-frequency applications, and selected to match the requirements of the crystal or resonator (see Figure 12-5). C_{L1} and C_{L2} are usually the same size. The crystal manufacturer typically specifies a load capacitance which is the series combination of C_{L1} and C_{L2}. PCB pin capacitance must be included (10pF can be used as a rough estimate of the combined pin and board capacitance) when sizing C_{L1} and C_{L2}.

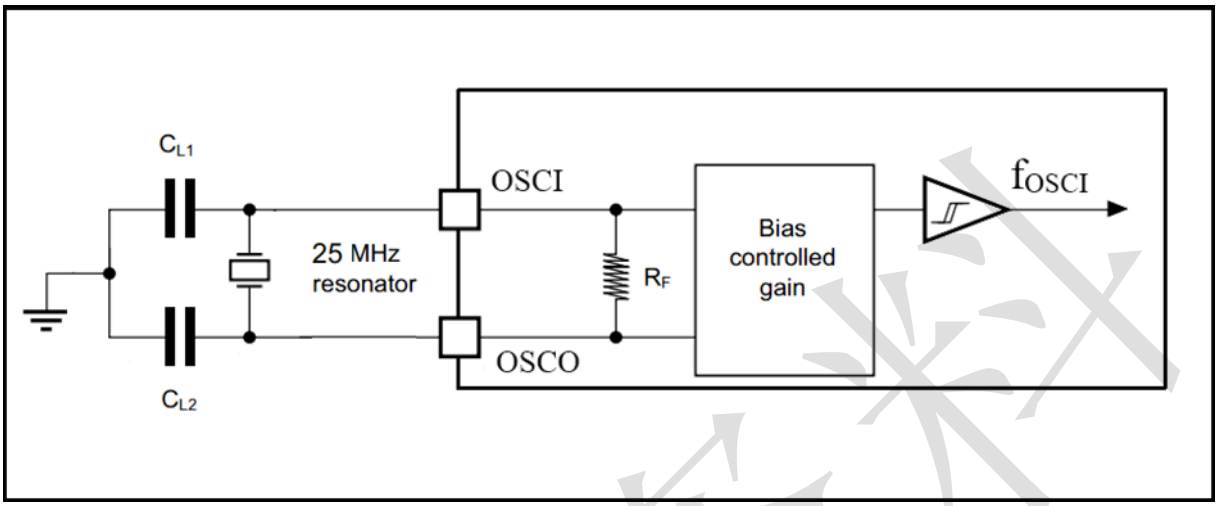
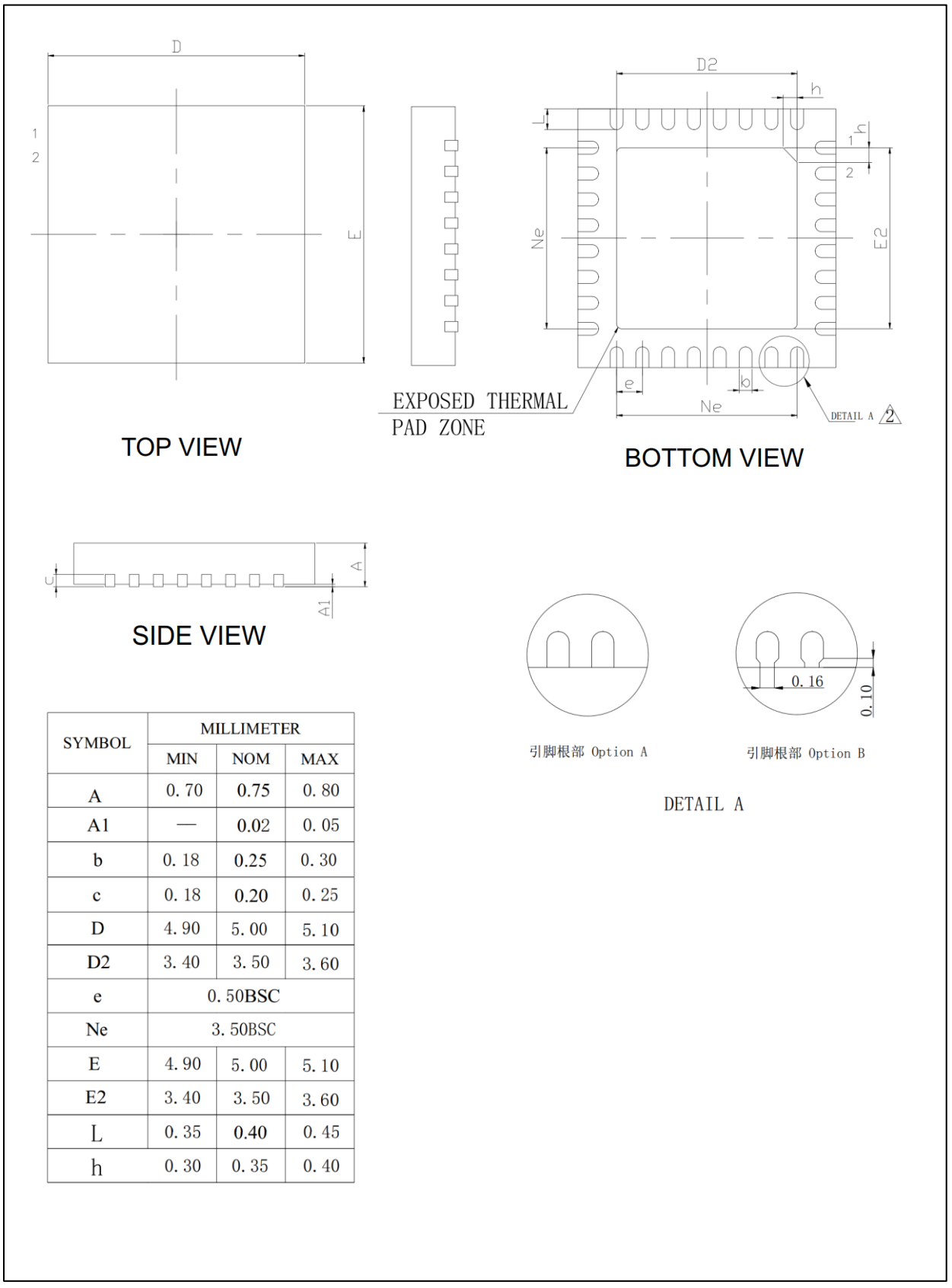


Figure 12-5 Typical application with a 25MHz crystal

内部资料

13 封装信息

13.1 QFN32-EP 封装信息



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	—	0.02	0.05
b	0.18	0.25	0.30
c	0.18	0.20	0.25
D	4.90	5.00	5.10
D2	3.40	3.50	3.60
e	0.50BSC		
Ne	3.50BSC		
E	4.90	5.00	5.10
E2	3.40	3.50	3.60
L	0.35	0.40	0.45
h	0.30	0.35	0.40

14 订购信息

表 14-1 订购信息

Device	Package Type	Pins	Packing Type	Packing Qty	SPQ	Eco Plan	MSL	Op Temp (°C)	Status
FCE1322N2N	QFN	32	Tray	490	4900	RoHS, Reach & Green	Level-3	-40 to 105	PREVIEW
FCE1323N2N	QFN	32	Tray	490	4900	RoHS, Reach & Green	Level-3	-40 to 105	PREVIEW

【注意】包装信息请参考相应的包装资料。

内部资料

15 修订记录

修订日期	版本	修订内容
2025-07-03	V0.0.0	内部文档。
2025-07-30	V0.1.0	修改引脚名称。 更正章节 12.4“DC Specifications”参数。 更正章节 7.0“SPI/SQI 从器件”描述。
2025-08-13	V0.1.1	勘误部分描述。 更正章节 7.5“SPI/SQI 时序要求”的 SPI/SQI 的输出时序图。
2025-12-29	V0.1.2	去掉 FCE1321 型号所有信息。
2026-07-01	V0.1.3	修订文档格式。 修正章节“常用术语”名称为“术语”，并修订其内容。 修改章节 13“封装和订购信息”为章节 13“封装信息”，新增章节 14“订购信息”，并新增订购信息内容。 修改“历史版本”为章节 15“修订记录”，并更改其在文档中的章节位置。 勘误章节 12.1“Absolute Maximum Rating*”的 Junction Temperature 的 Max 值。
2026-08-18	V0.4.0	去掉 FCE1320 型号所有信息。 去掉章节 6.2“SPI/SQI 从器件操作”中表 6-1 和表 6-2 的【注 5】。 对章节 6.2.5.1“读”和章节 6.2.6.1“写”增加【注意】，提示 FCE132X 与 FCE135X 的 SPI 接口使用差异。 新增章节 12.1“Absolute Maximum Rating*”的 T_{STG}，T_J，$V_{ESD(HBM)}$，$V_{ESD(CDM)}$，I_{LAT} 值。 新增章节 12.2“Recommended Operating Conditions**”的 T_A 值。 新增章节 12.3“Current Consumption and Power Consumption”的 FCE1322 和 FCE1323 的 DC Characteristics (Supply Current)值。 变更章节 12.4“DC Specifications”中的 V_{HYS} 的值为整数。

内部资料

通知与声明

方芯提供的技术和可靠性数据（包括数据表）、设计资料（包括参考设计）、设计建议、应用、工具或其他资料均为“原样的”，不保证没有任何瑕疵，同时也不提供任何保证，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权等。

这些资料可供熟练使用方芯产品进行设计的开发人员使用。您将自行承担以下责任：（1）选择合适的方芯产品；（2）设计、验证并测试您的应用方案；（3）确保您的应用满足相应标准及其他要求，如安全、法规等等。资料如有变更方芯将不会另行通知。这些材料仅用于开发本资料所述的方芯产品的应用方案。严禁对这些资料进行复制或展示。同时并未授权您使用任何方芯及其他第三方的知识产权。

方芯提供的产品受销售合同约束。方芯提供的这些资料也不会扩展或以其他方式改变方芯针对产品发布的适用担保或担保的免责声明。方芯拒绝接受您可能提出的任何附加或者不同的条款。

地址：北京市海淀区高里掌路 1 号院 2 号楼，邮编：100095，邮箱：support@funcience.com

Copyright © 2026，北京方芯半导体有限公司

内部资料