多通道 EtherCAT 从站控制器

产品参数

- 工作范围
  - 内部 2 个 LDO 提供 I/O（5V 到 3.3V）和逻辑内核/PLL 电源（5V/3.3V 到 1.8V）
  - 选择外部电源提供 I/O 和逻辑内核/PLL 电源
- 以太网端口数量：
  - 2 个固定端口
  - 1 个可选择的额外桥端口（每个可配置成 MII 接口或者 LVDS 接口，最多 1 个 MII 接口）
- FMMU 数量：3
- 同步管理 SM（SyncManager）数量：4
- RAM 容量：1KB
- 集成分布时钟 DC（Distributed Clock）：是，64bit
- 过程数据接口 PDI（Process Data Interface）：
  - 16Bit 数据量 I/O 接口（单向/双向）
  - SPI 从站接口
- I/O：3.3V 相容的 I/O
- 封装：QFN48（7×7mm^2）
- 其他：
  - 内部 1GHz PLL
  - 用于外部器件的时钟输出（10MHz，20MHz，25MHz）

目录

图目录 6
表目录 8
缩写 10
1 介绍 13
2 描述 14
2.1 芯片模块框图 14
2.1.1 数据帧处理顺序 15
2.2 模块概述 16
2.2.1 物理通信接口 16
2.2.2 PDI 接口 16
2.2.3 EtherCAT 从站控制器数据帧处理单元 16
2.2.4 存储同步管理 16
2.2.5 现场总线内存管理单元（FMMU） 16
2.2.6 分布式时钟 16
2.2.7 启动过程 17
3 引脚描述 18
3.1 引脚描述 18
3.1.1 引脚排布 18
3.1.2 引脚名称 19
3.2 引脚功能及连接要求 21
3.2.1 电源 24
3.2.1.1 举例电源引脚连接原理图 26
3.2.2 时钟 27
3.2.2.1 举例时钟供应原理图 27
3.2.3 复位引脚 29
3.2.3.1 举例复位引脚原理图 29
3.2.4 RBIAS 引脚 30
3.2.4.1 举例 RBIAS 电阻原理图 30
3.2.5 配置信号引脚 31
3.2.5.1 举例配置输入/LED 输出引脚原理图 31
3.2.5.2 芯片模式 32
3.2.5.3 CPU_CLK 模式 32
3.2.5.4 TX 相位移动 32
3.2.5.5 CLK25OUT 使能 33
3.2.5.6 PHY 地址偏移 33

3.2.5.7 SII EEPROM 内存大小 33
3.2.6 SII EEPROM 接口引脚 34
3.2.7 分布时钟 SYNC/LATCH 和 MII 管理引脚 34
3.2.8 LED 信号 35
3.2.9 物理端口和 PDI 引脚 36
3.2.9.1 MII 信号 37
3.2.9.1.1 CLK25OUT 信号 37
3.2.9.1.2 举例 MII 连接原理图 38
3.2.9.2 LVDS 信号 39
3.2.9.2.1 举例 LVDS 端口连接原理图 39
3.2.9.3 PDI 引脚 40
3.2.9.4 端口 0/1 和 PDI[17:8]引脚 41
3.2.9.5 PDI[7:0]信号 43
3.2.10 取决于所选 PDI 的 PDI 信号引脚分配 44
3.2.10.1 数字 I/O 引脚 44
3.2.10.2 SPI 引脚 45
3.2.10.3 LVDS/MII 桥接端口（逻辑端口 3） 46
3.2.11 测试模式引脚 47
4 LVDS 接口 48
4.1 LVDS 接口信号 48
4.1.1 LVDS 接口信号连接举例 48
5 MII 接口 50
5.1 MII 接口信号 50
5.2 PHY 地址配置 51
5.3 TX 位移补偿 52
5.4 时序特征 53
6 PDI 描述 54
6.1 PDI 停用 54
6.2 数字 I/O 接口 55
6.2.1 接口 55
6.2.2 配置 55
6.2.3 数字输入 55
6.2.4 数字输出 56
6.2.5 双向模式 57
6.2.6 输出驱动 57
6.2.7 SyncManager 看门狗 57

6.2.8 SOF 58
6.2.9 OUTVALID 58
6.2.10 时序特征 58
6.3 SPI 从站接口 60
6.3.1 接口 60
6.3.2 配置 60
6.3.3 SPI 访问 60
6.3.4 命令 61
6.3.5 地址模式 61
6.3.6 中断请求寄存器（AL 事件寄存器） 62
6.3.7 写访问 62
6.3.8 读访问 62
6.3.8.1 读等待状态 62
6.3.8.2 读终止 62
6.3.9 SPI 访问错误和 SPI 状态错误 63
6.3.10 EEPROM 加载 63
6.3.11 时序特性 64
7 分布式时钟 SYNC/LATCH 信号 70
7.1 信号 70
7.2 时序特征 70
8 SII EEPROM 接口（I²C） 71
8.1 信号 71
8.2 时序特性 71
9 内存映射 72
10 Electrical Specifications 76
10.1 Absolute Maximum Conditions 76
10.2 Operating Conditions 76
10.2.1 Power Supply 76
10.2.2 Electrical Characteristics 77
10.2.3 EMS Characteristics 79
10.2.4 Thermal Characteristics 79
10.2.5 Timing Characteristucs 79
11 封装和订购信息 82
11.1 封装信息 82
11.1.1 QFN48 封装 82
11.2 订购信息 83

12 修订记录 84
附录 A 应用注意 86
A.1 TX SHIFT 设置 86
A.2 PHY 芯片选择注意事项 87
A.3 关于 PHY 芯片的时钟 87

图目录

图 2-1 结构框图 14
图 2-2 EtherCAT 从站控制器内部数据帧传输顺序 15
图 2-3 启动过程 17
图 3-1 FCE1200 的 QFN48 封装引脚分布（顶视） 18
图 3-2 FCE1200 电源供电 26
图 3-3 FCE1200 石英晶体时钟源的连接 27
图 3-4 FCE1200 和以太网 PHY 使用石英晶体时的连接 28
图 3-5 FCE1200 和以太网 PHY 使用振荡器时的连接 28
图 3-6 RESET 引脚连接图 29
图 3-7 LVDS 偏压电阻 30
图 3-8 输入/LED 输出引脚双功能配置连接 31
图 3-9 PHY 连接 38
图 3-10 LVDS 端口接收端 39
图 4-1 LVDS 接口信号 48
图 4-2 两片芯片 LVDS 接口连接举例 49
图 5-1 MII 接口信号 50
图 5-2 TX Shift 时序图 52
图 5-3 MII 时序 RX 信号 53
图 6-1 数字 I/O 信号 55
图 6-2 数字输出原理图 56
图 6-3 双向模式：输入/输出连接（推荐 R=4.7kΩ） 57
图 6-4 数字输入：输入数据采样在 SOF，I/O 可以在同一帧读取 59
图 6-5 数字输入：输入数据在 LATCH_IN 采样 59
图 6-6 数字输出时序 59
图 6-7 双向模式时序 59
图 6-8 SPI 主和从连接 60
图 6-9 基本 SPI_DI/SPI_DO 时序（*参考用于 SPI_CLK 的相关沿的时序图） 65
图 6-10 使用等待状态字节 SPI 读访问（2 字节寻址，1 字节读数据） 66
图 6-11 使用等待状态字节 SPI 读访问（2 字节寻址，2 字节读数据） 67
图 6-12 SPI 写访问（2 字节寻址，1 字节写数据） 68
图 6-13 SPI 写访问（3 字节寻址，1 字节写数据） 69
图 7-1 分布式时钟信号 70
图 7-2 LatchSignal 时序 70
图 7-3 SyncSignal 时序 70
图 8-1 I^2C EEPROM 信号 71

图 A-1 延时示意图 86
图 A-2 PHY 芯片时钟 87

Figure 10-1 Reset Timing 80

表目录

表 2-1 数据帧处理顺序 15
表 3-1 FCE1200 引脚名称 19
表 3-2 信号概述 21
表 3-3 PDI 信号概述 23
表 3-4 供电电压选择 24
表 3-5 电源引脚 25
表 3-6 时钟引脚 27
表 3-7 复位引脚 29
表 3-8 RBIAS 引脚 30
表 3-9 芯片模式 32
表 3-10 CPU_CLK 模式 32
表 3-11 TX 相位偏移 32
表 3-12 CLK25OUT 使能 33
表 3-13 PHY 地址偏移 33
表 3-14 SII EEPROM 内存大小 33
表 3-15 SII EEPROM 接口 34
表 3-16 DC SYNC/LATCH 和 MII 管理引脚 34
表 3-17 LED 引脚 35
表 3-18 PDI 和芯片模式的组合配置 36
表 3-19 MII 信号 37
表 3-20 LVDS 信号 39
表 3-21 端口 0/1 和 PDI 信号（配置和芯片模式 00） 41
表 3-22 端口 0/1 和 PDI 信号（配置芯片模式 10/11） 42
表 3-23 PDI 引脚 43
表 3-24 数字 I/O 接口的映射 44
表 3-25 SPI 接口的映射 45
表 3-26 LVDS 桥接信号的映射 46
表 3-27 MII 桥接口的映射 47
表 3-28 TESTMODE 引脚 47
表 4-1 LVDS 接口信号 48
表 5-1 MII 接口信号 51
表 5-2 TX Shift 时序特征 52
表 5-3 MII 时序特征 53
表 6-1 用于 FCE1200 的可用 PDI 54
表 6-2 数字 I/O 信号 55

表 6-3 数字 I/O 的时序特征 58
表 6-4 SPI 信号 60
表 6-5 SPI 命令 CMD0 和 CMD1 61
表 6-6 中断请求寄存器传输 61
表 6-7 中断请求寄存器传输 62
表 6-8 SPI 时序特征 64
表 6-9 读/写时序图符号 65
表 7-1 分布式时钟信号 70
表 7-2 FCE1200 的 DC SYNC/LATCH 时序特征 70
表 8-1 I^2C EEPROM 信号 71
表 8-2 EEPROM 时序特征 71
表 9-1 FCE1200 寄存器分布 72
表 11-1 订购信息 83

Table 10-1 Absolute Maximum Conditions 76
Table 10-2 Power Supply 76
Table 10-3 DC Characteristics 77
Table 10-4 DC Characteristics(Supply Current) 78
Table 10-5 EMS Characteristics 79
Table 10-6 Thermal Characteristics 79
Table 10-7 Timing Characteristics 79
Table 10-8 Forwarding Delays 81

缩写

ADR	Address
AL	Application Layer
BD	Bidirectional
BGA	Ball Grid Array
BHE	Bus High Enable
CMD	Command
CS	Chip Select
DC	Distributed Clock
DL	Data Link Layer
EMC	Electromagnetic Compatibility
EMI	Electromagnetic Interference
EOF	End of Frame
EEPROM	Electrically Erasable Programmable read only memory
FMMU	Fieldbus Memory Management Unit
GPI	General Purpose Input
GPO	General Purpose Output
I	Input
I/O	Input or Output
I^2C	Inter-Intergrated Circuit
IRQ	Interrupt Request
LDO	Low Drop-Out regulator

LVDS	Low Voltage Differential Signaling
LI-	LVDS RX-
LI+	LVDS RX+
LO-	LVDS TX-
LO+	LVDS TX+
LED	Light Emitting Diode
MAC	Media Access Controller
MDIO	Management Data Input / Output
MI	(PHY) Management Interface
MII	Media Independent Interface
MISO	Master In–Slave Out
MOSI	Master Out–Slave In
n.a.	not available
n.c.	not connected
O	Output
PD	Pull-down
PDI	Process Data Interface
PLL	Phase Locked Loop
PU	Pull-up
PHY	Physical
QFN	Quad Flat package No leads
RD	Read

SII	Slave Information Interface
SM	SyncManager
SOF	Start of Frame
SPI	Serial Peripheral Interface
TA	Transfer Acknowledge
TFBGA	Thin-profile Fine-pitch BGA
TS	Transfer Start
UI	Unused Input（PDI: PD，其它: GND）
WD	Watchdog
WPD	Weak Pull-down 只够配置信号
WPU	Weak Pull-up 只够配置信号
WR	Write

1 介绍

FCE1200 为实现 EtherCAT 协议的从站控制器芯片。

EtherCAT 是一种实时工业以太网技术，它充分利用了以太网的全双工特性。使用主从模式介质访问控制（MAC），主站发送以太网帧给各从站，从站从数据帧中抽取数据或将数据插入数据帧。主站使用标准的以太网接口卡，从站使用专门的 EtherCAT 从站控制器，即可使用本芯片。

本芯片在从站系统中主要负责处理 EtherCAT 数据帧，并使用双端口存储区实现 EtherCAT 主站与从站本地应用的数据交换。各个从站 EtherCAT 从站控制器按照各自在环路上的物理位置顺序移位读写数据帧。在报文经过从站时，EtherCAT 从站控制器从报文中提取发送给自己的输出命令数据并将其存储到内部存储区，输入数据从内部存储区又被写到相应的子报文中。数据的提取和插入都是由 EtherCAT 从站控制器完成。

2 描述

2.1 芯片模块框图

FCE1200 为 EtherCAT 从站控制芯片，是实现 EtherCAT 数据链路层协议的专用集成电路芯片。它处理 EtherCAT 数据帧，并为从站控制装置提供数据接口。其结构如下图：

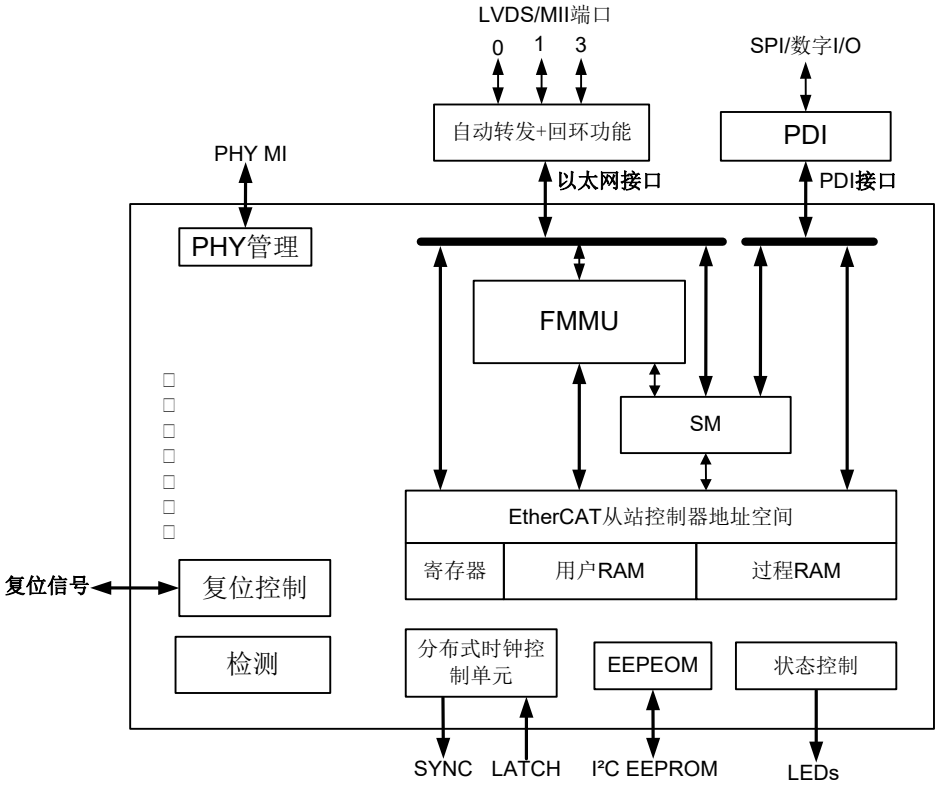


图 2-1 结构框图

本芯片具有 3 个数据收发端口、3 个 FMMU 单元、4 个 SM 通道、256KB 控制寄存器、1KB 过程数据存储器、支持 64 位分布式时钟功能。它可以直接作为 16 位数字输入/输出站点，组成复杂的从站设备。

2.1.1 数据帧处理顺序

本芯片的数据帧处理顺序由 LVDS/MII 端口数量和芯片模式决定：

表 2-1 数据帧处理顺序

LVDS/MII 端口数量	数据帧处理顺序
2	0→EtherCAT 数据帧处理单元→1/1→0
3	0→EtherCAT 数据帧处理单元→3/3→1/1→0

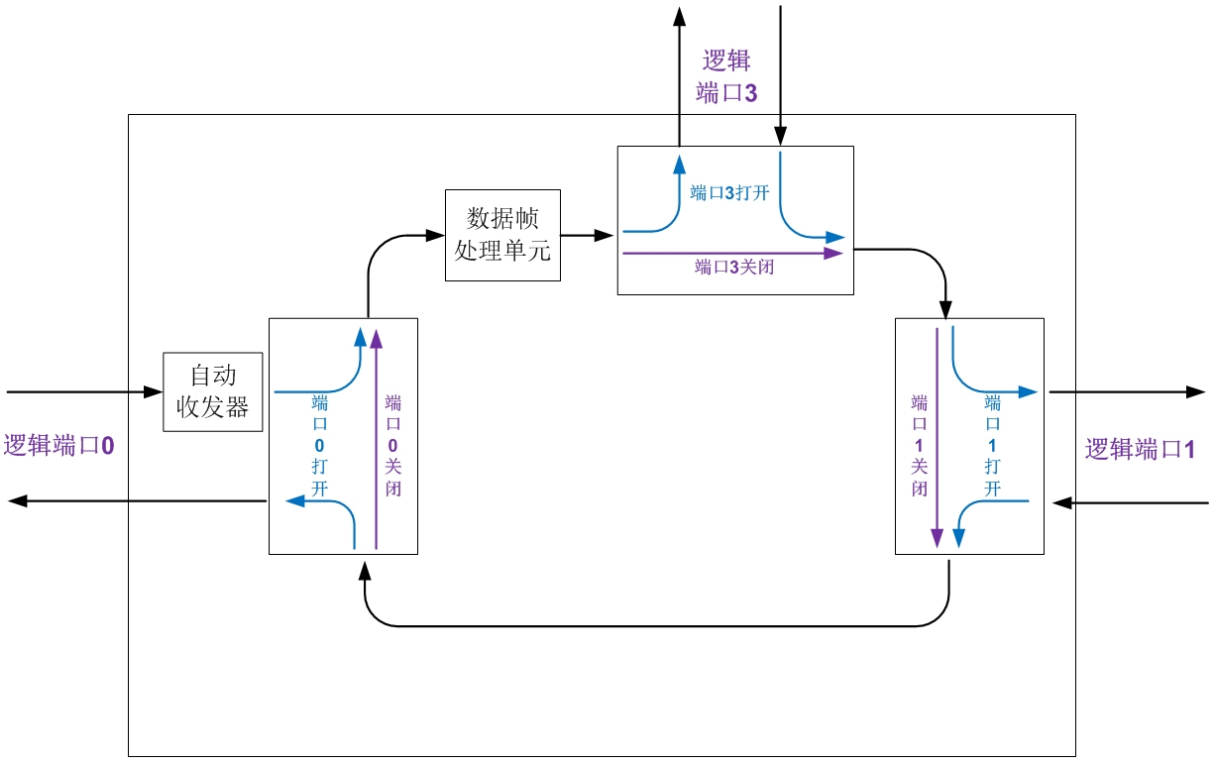


图 2-2 EtherCAT 从站控制器内部数据帧传输顺序

2.2 模块概述

2.2.1 物理通信接口

本芯片有 3 个物理通信端口，分别命名为端口 0，端口 1，端口 3，可以配置为 MII 接口和 LVDS 接口。

MII 接口：使用此接口时，需要外接以太网 PHY 芯片。

LVDS 接口：使用低压差分信号 LVDS，最远传输距离为 10 米。

2.2.2 PDI 接口

支持直接 IO 信号接口、SPI 接口。

2.2.3 EtherCAT 从站控制器数据帧处理单元

每个 EtherCAT 从站控制器可以最多支持 3 个数据收发端口，每个端口都可以处在打开或闭合状态。如果端口打开，则可以向其他 EtherCAT 从站控制器发送数据帧或从其他 EtherCAT 从站控制器接收数据帧。一个闭合的端口不会与其他 EtherCAT 从站控制器交换数据帧，它在内部将数据帧转发到下一个逻辑端口，直到数据帧到达一个打开的端口。

2.2.4 存储同步管理

EtherCAT 从站控制器使用了存储同步管理通道 SM（SyncManager）来保证主站与本地应用数据交换的一致性和安全性，并在数据状态改变时产生中断来通知双方。

2.2.5 现场总线内存管理单元（FMMU）

FMMU 将从站本地物理存储地址映射到网段内逻辑地址。实现从站在 4GB（232）地址空间的逻辑寻址，报文内的 32 位地址区作为整体的数据逻辑寻址的地址。

2.2.6 分布式时钟

分布式时钟（DC，Distributed Clock）可以使所有 EtherCAT 设备使用相同的系统时间，从而控制设备任务的同步执行。从站设备可以根据同步的系统时间产生同步信号，用于中断控制或触发数据量输入输出。

2.2.7 启动过程

芯片启动过程如下：

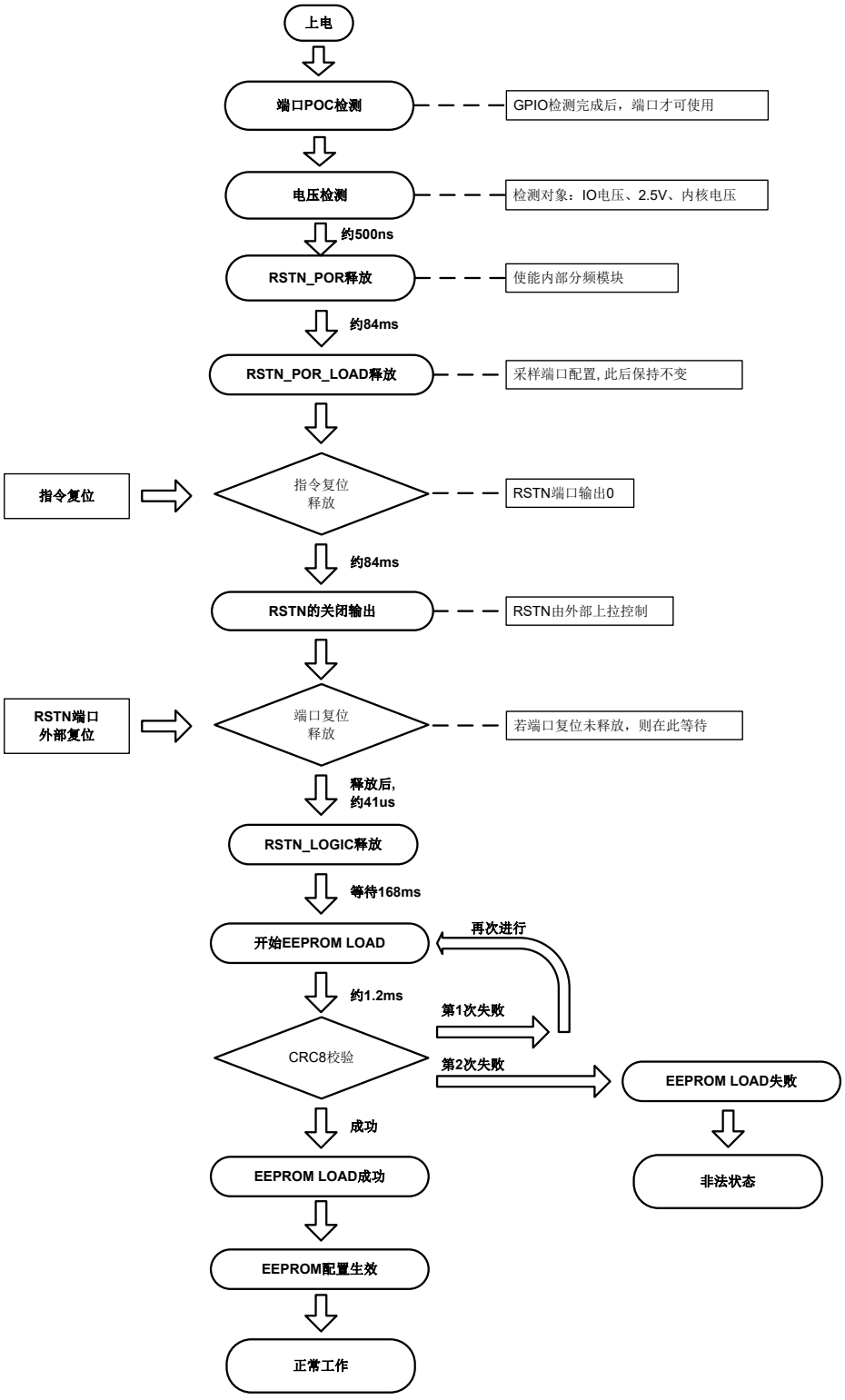


图 2-3 启动过程

3 引脚描述

3.1 引脚描述

3.1.1 引脚排布

FCE1200 采用了 QFN48 封装。QFN48 封装引脚分布如图所示，共有 48 个引脚。

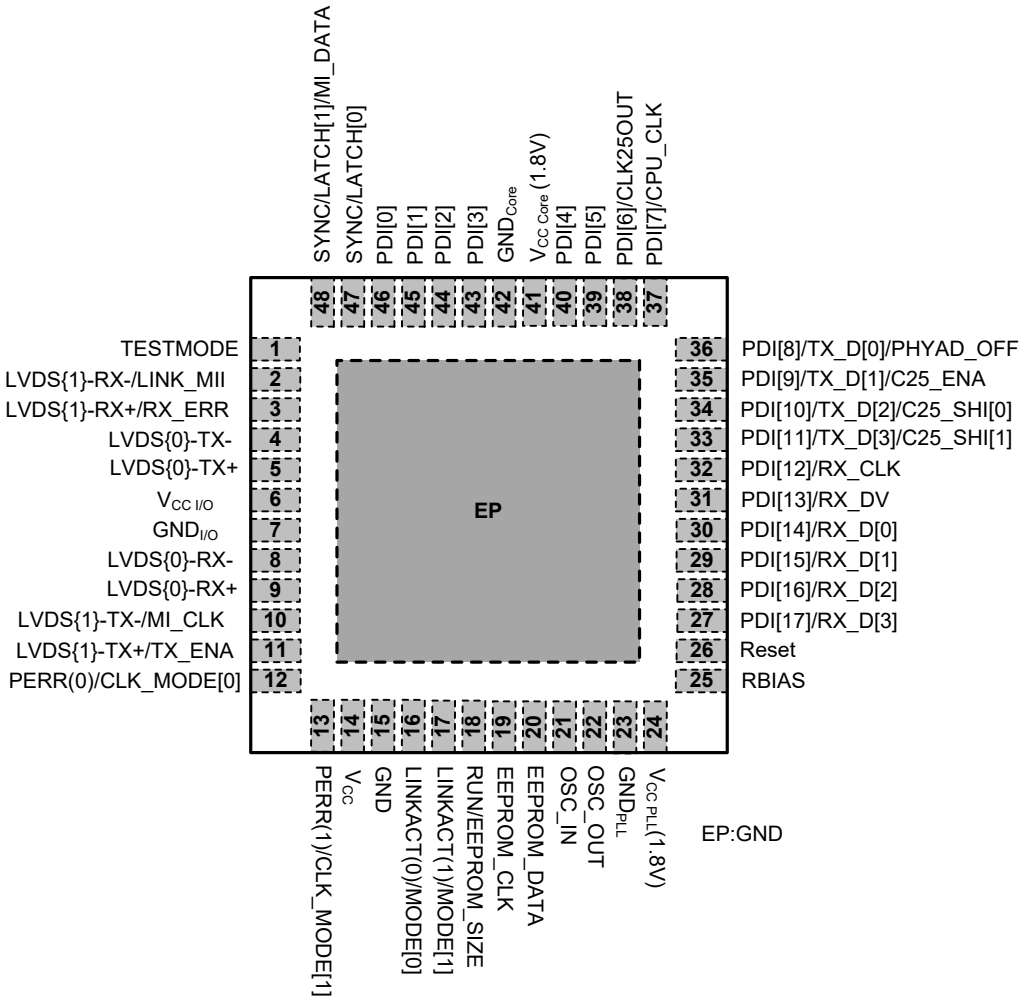


图 3-1 FCE1200 的 QFN48 封装引脚分布（顶视）

3.1.2 引脚名称

表 3-1 FCE1200 引脚名称

引脚	引脚名称	方向	内部 PU/PD
EP	GND	-	
1	TESTMODE	I	
2	LVDS{1}-RX-/LINK_MII	LI-/I	
3	LVDS{1}-RX+/RX_ERR	LI+/I	
4	LVDS{0}-TX-	LO-	
5	LVDS{0}-TX+	LO+	
6	$V_{CC\ I/O}$	I/O	
7	$GND_{I/O}$	I/O*	
8	LVDS{0}-RX-	LI-	
9	LVDS{0}-RX+	LI+	
10	LVDS{1}-TX-/MI_CLK	LO-/O	
11	LVDS{1}-TX+/TX_ENA	LO+/O	
12	PERR(0)/CLK_MODE[0]	BD	
13	PERR(1)/CLK_MODE[1]	BD	
14	V_{CC}	-	
15	GND	-	
16	LINKACT(0)/MODE[0]	BD	
17	LINKACT(1)/MODE[1]	BD	
18	RUN/EEPROM_SIZE	BD	
19	EEPROM_CLK	BD	
20	EEPROM_DATA	BD	
21	OSC_IN	I	
22	OSC_OUT	O	
23	GND_{PLL}	-	
24	$V_{CC\ PLL}$ (1.8V)	-	
25	RBIAS	-	
26	Reset	BD	
27	PDI[17]/RX_D[3]	BD	
28	PDI[16]/RX_D[2]	BD	
29	PDI[15]/RX_D[1]	BD	
30	PDI[14]/RX_D[0]	BD	

31	PDI[13]/RX_DV	BD	
32	PDI[12]/RX_CLK	BD	
33	PDI[11]/TX_D[3]/C25_SHI[1]	BD	
34	PDI[10]/TX_D[2]/C25_SHI[0]	BD	
35	PDI[9]/TX_D[1]/C25_ENA	BD	
36	PDI[8]/TX_D[0]/PHYAD_OFF	BD	
37	PDI[7]/CPU_CLK	BD	
38	PDI[6]/CLK25OUT	BD	
39	PDI[5]	BD	
40	PDI[4]	BD	
41	$V_{CC\ Core}$ (1.8V)	-	
42	GND_{Core}	-	
43	PDI[3]	BD/LI-	
44	PDI[2]	BD/LI+	
45	PDI[1]	BD/LO-	
46	PDI[0]	BD/LO+	
47	SYNC/LATCH[0]	BD	
48	SYNC/LATCH[1]/MI_DATA	BD	

3.2 引脚功能及连接要求

表 3-2 信号概述

信号	类型	方向	功能描述
C25_ENA	配置	I	CLK25OUT 使能：使能 CLK25OUT 引脚输出
C25_SHI[1:0]	配置	I	TX 信号（发送信号）相位偏移：MII TX 信号的转移/相位偏移
CLK_MODE[1:0]	配置	I	CPU_CLK 配置
CLK25OUT	MII	O	以太网 PHY 芯片的 25MHz 时钟源
CPU_CLK	PDI	O	微处理器的时钟信号
LVDS{1:0}-RX-	LVDS	LI-	低电压差分接收信号负极
LVDS{1:0}-RX+	LVDS	LI+	低电压差分接收信号正极
LVDS{1:0}-TX-	LVDS	LO-	低电压差分发送信号负极
LVDS{1:0}-TX+	LVDS	LO+	低电压差分发送信号正极
EEPROM_CLK	EEPROM	BD	EEPROM 接口集成电路总线（I^2C）通信时钟
EEPROM_DATA	EEPROM	BD	EEPROM 接口 I^2C 通信数据
EEPROM_SIZE	配置	I	EEPROM 存储大小配置
PERR(1:0)	LED	O	端口接收错误 LED 输出（用于测试）
GND	电源		地
GND_{Core}	电源		逻辑内核地
$GND_{I/O}$	电源		I/O 地
GND_{PLL}	电源		PLL 锁相环地
LINK_MII(1:0)	MII	I	表示一个链接的 PHY 信号
LINKACT(1:0)	LED	O	链接/活动（Link/Activity）LED 输出
MI_CLK	MII	O	PHY 管理接口时钟（MDC）
MI_DATA	MII	BD	PHY 管理接口数据（MDIO）
OSC_IN	Clock	I	时钟源（晶体/振荡器）
OSC_OUT	Clock	O	时钟源（晶体）
PDI[17:0]	PDI	BD	PDI 信号，取决于 EEPROM 内容
PHYAD_OFF	配置	I	以太网 PHY 地址偏移
RBIAS	LVDS	LVDS	用于低电压差分发送信号（LVDS-TX）电流调节的偏压电阻
RESET	通用	BD	集电极开路内部复位输出信号/外部复位控制信号输入
RUN	LED	O	应用层（AL）状态寄存器控制的运行 LED

RX_CLK	MII	I	MII 接收时钟
RX_D[3:0]	MII	I	MII 接收数据
RX_DV	MII	I	MII 接收数据有效信号
RX_ERR	MII	I	MII 接收错误
SYNC/LATCH[1:0]	DC	I/O	分布式时钟同步信号输出或者自锁信号输入
TESTMODE	通用	I	用于测试的保留管脚，连接到地
TX_D[3:0]	MII	O	MII 发送数据
TX_ENA	MII	O	MII 发送使能
V_{CC}	电源		器件电源（LDO 的输入）
$V_{CC\ Core}$	电源		逻辑内核电源
$V_{CC\ I/O}$	电源		I/O 信号电源
$V_{CC\ PLL}$	电源		PLL 锁相环电源

表 3-3 PDI 信号概述

PDI	信号	方向	描述
数字 I/O 接口	I/O[15:0]	I/O/BD	输入/输出或者双向数据
	LATCH_IN/SOF	I/O	外部数据锁存信号/帧起始
	OUTVALID/WD_TRIG	O	输出数据有效/输出事件/看门狗触发
SPI 从站接口	EEPROM_LOADED	O	PDI 激活，EEPROM 数据正确加载
	SPI_CLK	I	SPI 时钟
	SPI_DI	I	SPI 数据 MOSI
	SPI_DO	O	SPI 数据 MISO
	SPI_IRQ	O	SPI 中断
	SPI_SEL	I	SPI 片选
LVDS 桥	LVDS(3)-RX-	LI-	低电压差分接收信号负端
	LVDS(3)-RX+	LI+	低电压差分接收信号正端
	LVDS(3)-TX-	LO-	低电压差分发送信号负端
	LVDS(3)-TX+	LO+	低电压差分发送信号正端
	PERR(3)	O	端口接收错误指示 LED 输出（用于测试）
	LINKACT(3)	O	链接/活动（Link/Activity）LED 输出
	GPO[11:0]	O	通用输出
MII 桥	TX_D(3)[3:0]	O	MII 发送数据
	TX_ENA(3)	O	MII 发送使能
	RX_CLK(3)	I	MII 接收时钟
	RX_D(3)[3:0]	I	MII 接收数据
	RX_DV(3)	I	MII 接收数据有效信号
	RX_ERR(3)	I	MII 接收错误
	LINK_MII(3)	I	表示一个链接的 PHY 信号
	LINKACT(3)	O	链接/活动（Link/Activity）LED 输出
	PERR(3)	O	端口接收错误 LED 输出（用于测试）
	GPO[1]	O	通用输出
	MI_CLK	O	PHY 管理接口时钟（MDC）
	CLK25OUT	O	以太网 PHY 芯片的 25MHz 时钟源

3.2.1 电源

FCE1200 支持不同的电源供电和 I/O 电平选择，它可以是 3.3V（也可选用 5V，但是实际应用中不建议选用），也支持选择单电源供电或者双电源供电。

$V_{CC\ I/O}$ 的电压值直接决定所有输入和输出信号的 I/O 电平，它可以使用 3.3V 或 5V 供电。使用 3.3V 时，I/O 信号电平即为 3.3V，不允许使用 5V 输入。当 I/O 信号电平要求为 5V 时，此时输入电源为 5V。

FCE1200 内部有两个 LDO（Low Dropout Regulator，低压线性稳压器），它们均从电源引脚 V_{CC} 获取电源供电，一个 LDO 输出 I/O 信号供电电压 $V_{CC\ I/O}$，通常这个电压为 3.3V，另外一个 LDO 输出逻辑内核供电电压 $V_{CC\ Core}$/$V_{CC\ PLL}$，通常这个电压为 1.8V。故 V_{CC} 引脚电压必须大于等于 $V_{CC\ I/O}$。$V_{CC\ PLL}$ 总是等于 $V_{CC\ Core}$。内部 LDO 不能被关闭，但是如果外部供电电压大于内部 LDO 输出，它会停止操作，因此，选用外部供电时供电电压至少要高于内部 LDO 输出电压 0.1V。

使用内部 LDO 会增加功耗，值得注意的是，I/O 选用 5V 电压时的功耗大于 I/O 选用 3.3V 电压时的功耗。所以更加建议选用 3.3V 的 I/O 信号和内部 LDO 为 $V_{CC\ Core}$/$V_{CC\ PLL}$ 供电。

当 I/O 选用 3.3V 电平时，需要 3.3V 电源供电，此时 V_{CC} 和 $V_{CC\ I/O}$ 不得不连接到外部 3.3V 电源。当 I/O 选用 5V 电平时，需要 5V 电源供电，此时 V_{CC} 和 $V_{CC\ I/O}$ 不得不连接到外部 5V 电源。

每个电源引脚都要连接稳压电容。

表 3-4 供电电压选择

V_{CC}	$V_{CC\ I/O}$	$V_{CC\ Core}$/$V_{CC\ PLL}$	输入信号	输出信号	解释
3.3V	外部电压 3.3V（=V_{CC}）	内部 LDO（1.8V）	仅 3.3V	仅 3.3V	单电源供电，低功耗
5V	内部 LDO（3.3V）	内部 LDO（1.8V）	仅 3.3V	仅 3.3V	单电源供电，由于 LDO 供电 VCC I/O，最高功耗
为了将来的兼容性不建议选用：					
3.3V	外部电压 3.3V（=V_{CC}）	外部电压 1.8V	仅 3.3V	仅 3.3V	双电源供电，最低功耗
5V	内部 LDO（3.3V）	外部电压 1.8V	仅 3.3V	仅 3.3V	双电源供电
5V	外部电压 5V（=V_{CC}）	内部 LDO（1.8V）	仅 5V	仅 5V	单电源供电，高功耗
5V	外部电压 5V（=V_{CC}）	外部电压 1.8V	仅 5V	仅 5V	双电源供电，高功耗

FCE1200 的电源引脚如下表所示。

表 3-5 电源引脚

引脚	引脚名称
EP	GND
14	V_{CC}
15	GND
6	$V_{CC\ I/O}$
7	$GND_{I/O}$
41	$V_{CC\ Core}$(1.8V)
42	GND_{Core}
24	$V_{CC\ PLL}$(1.8V)
23	GND_{PLL}

3.2.1.1 举例电源引脚连接原理图

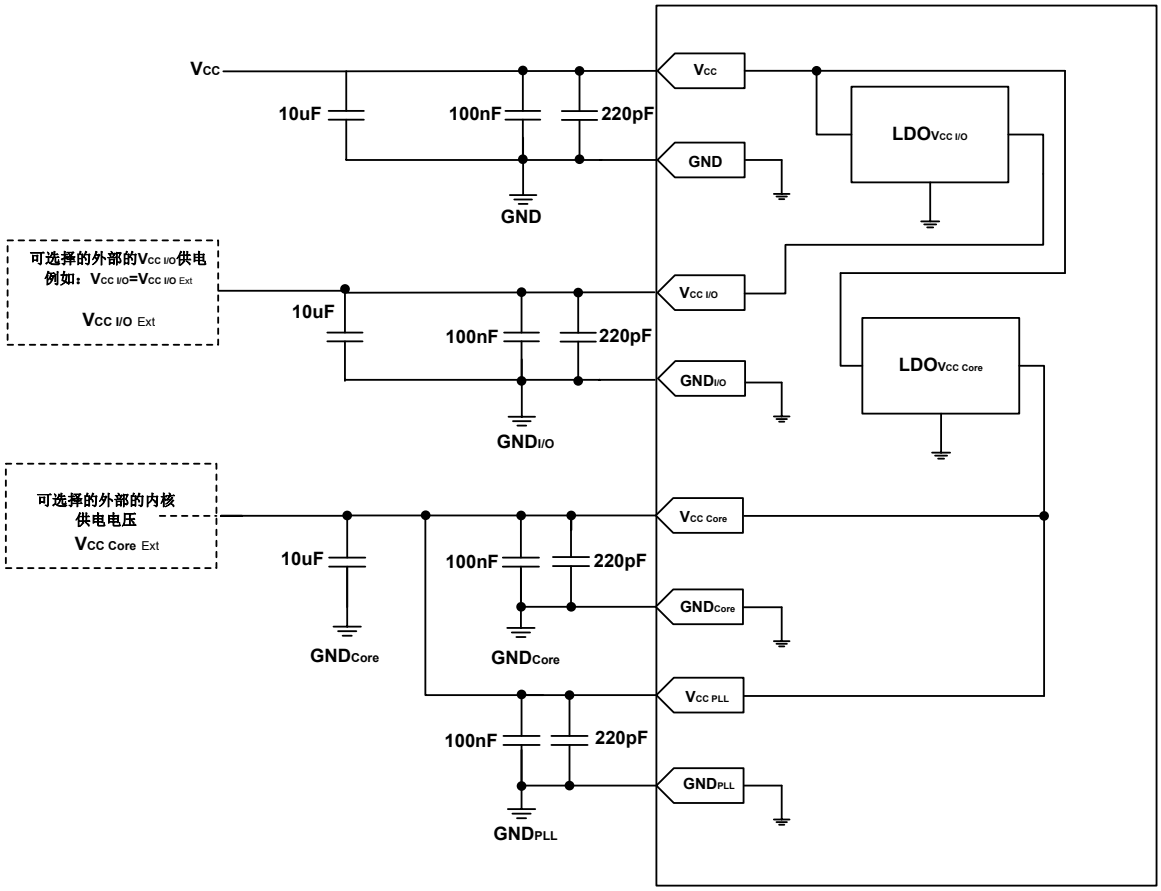


图 3-2 FCE1200 电源供电

稳压电容建议：每个电源引脚并联 100nF 和 220pF 电容到地，另 $V_{CC}$$V_{CC\ I/O}$ 和 $V_{CC\ Core}$/$V_{CC\ PLL}$ 到地分别并联 10μF 电容，总共需要 3 个 10μF 电容。

将 GND，$GND_{PLL}$$GND_{Core}$ 和 $GND_{I/O}$ 引脚连接到一个电位 GND。

如果 $V_{CC\ I/O}$$V_{CC\ Core}$/$V_{CC\ PLL}$ 的实际电压高于各自名义上的内部 LDO 的输出电压时，内部 LDO 将会自我失效。

3.2.2 时钟

引脚 OSC_IN 作为时钟源输入，外接 25MHz 的晶体或者振荡器。当 FCE1200 的时钟由振荡器提供时，此时值得注意的是以太网 PHY 芯片的时钟需由 FCE1200 输出时钟提供，具体使用方法参考引脚配置章节。25MHz 的时钟源要求精度为 25ppm 以上。

引脚 OSC_OUT 外部晶体。当 OSC_IN 接入振荡器时，该引脚悬空。

表 3-6 时钟引脚

引脚		信号		信号描述	内部上拉/下拉电阻
名称	方向	信号	方向		
OSC_IN	I	OSC_IN	I		
OSC_OUT	O	OSC_OUT	O		

3.2.2.1 举例时钟供应原理图

时钟源的布局对于系统的 EMC/EMI 有最大的影响。虽然一个 25MHz 时钟频率不要求大量的设计工作，但是以下规则有助于改善系统功能。

- 时钟源尽可能靠近 EtherCAT 从站控制器布置；
- 在这个区域的地层应该无缝；
- 电源对时钟源和 EtherCAT 从站控制器时钟呈现低阻抗；
- 应该使用时钟元器件推荐的电容值；
- 时钟源和 EtherCAT 从站控制器时钟输入之间的电容量应该相同，具体数值取决于线路板的几何特性；
- FCE1200 的时钟源的精度为 25ppm 以上。

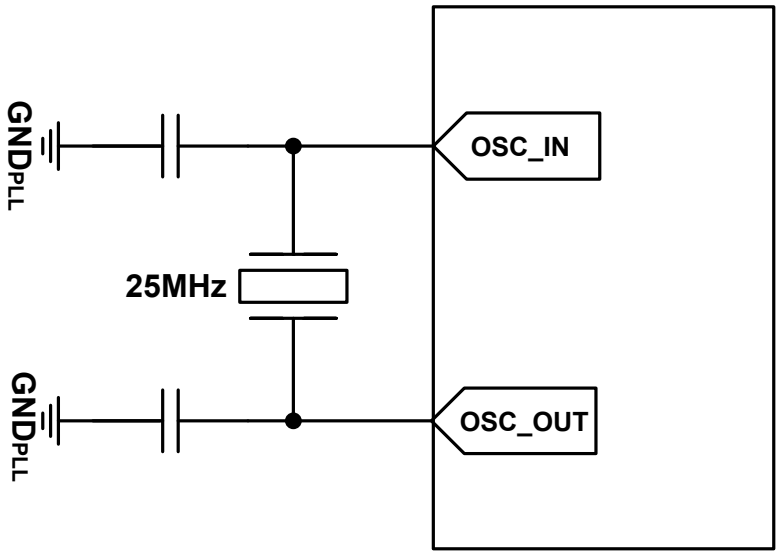


图 3-3 FCE1200 石英晶体时钟源的连接

【注意】负载电容的值取决于晶体的负载电容，EtherCAT 从站控制器的引脚电容 C_{OS}，以及板子设计（电容典型值为 12pF，此时 C_L=10pF）。

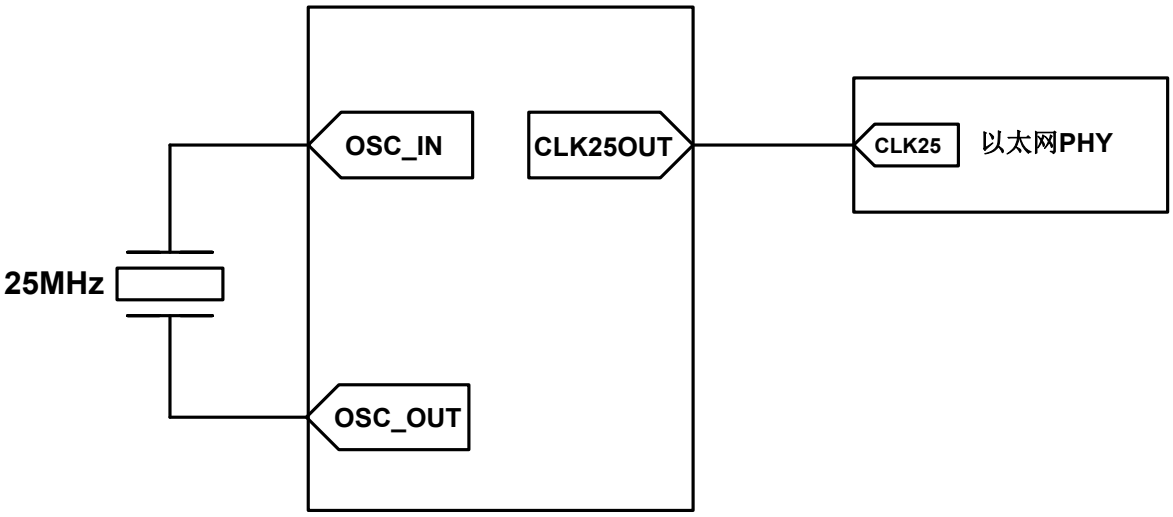


图 3-4 FCE1200 和以太网 PHY 使用石英晶体时的连接

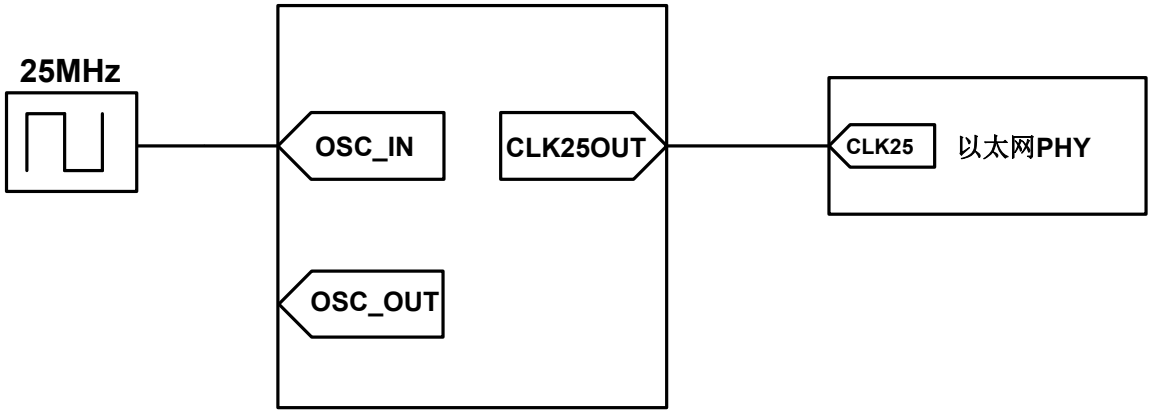


图 3-5 FCE1200 和以太网 PHY 使用振荡器时的连接

3.2.3 复位引脚

引脚 RESET 是集电极开路输入/输出信号（低电平有效），表示 FCE1200 的复位状态，以下三种情况可以引起 FCE1200 内部复位：

- 在上电之后进入复位状态；
- 供电电压过低；
- 由写复位寄存器 0x0040 触发一次复位。

内部复位时，RESET 信号可以用于复位其它外围芯片，例如以太网 PHY 芯片。

表 3-7 复位引脚

引脚		信号		信号描述	内部上拉/下拉电阻
名称	方向	信号	方向		
RESET	BD	RESET	BD		WPU

3.2.3.1 举例复位引脚原理图

RESET 信号由外部设备拉低时，FCE1200 也进入复位状态，RESET 引脚连接如下图。

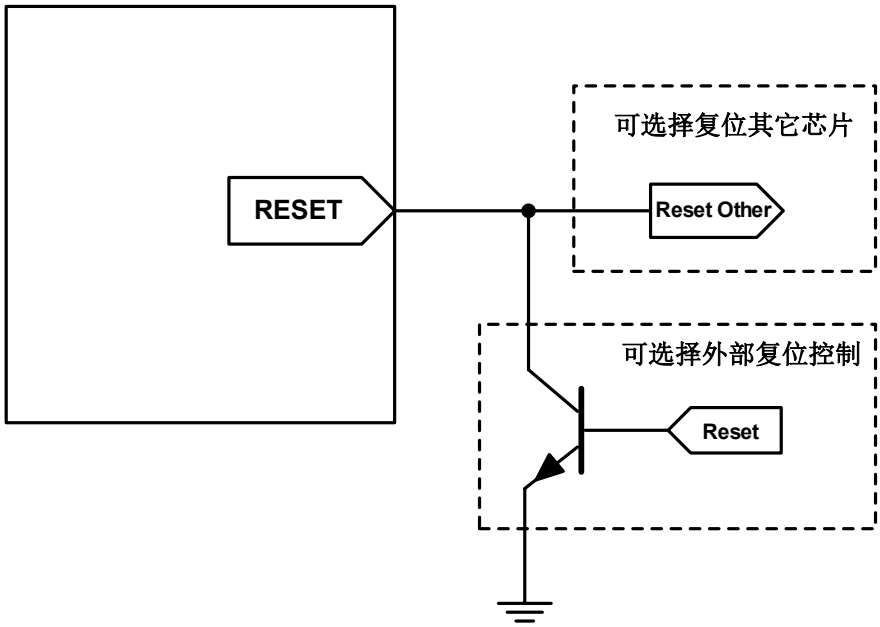


图 3-6 RESET 引脚连接图

建议连接 PHY 和微处理器到 RESET 引脚。这样确保在 FCE1200 复位（丢帧）时，PHY 芯片不进行通信，并且它允许在意外情况下通过 EtherCAT 重置整个 EtherCAT 从器件。

3.2.4 RBIAS 引脚

FCE1200 的 RBIAS 引脚用于连接对 LVDS-TX 信号进行电流调节的偏压电阻，该引脚连接 11kΩ电阻到地。

表 3-8 RBIAS 引脚

引脚		信号		信号描述	内部上拉/下拉电阻
名称	方向	信号	方向		
RBIAS		RBIAS			

【注意】如果仅仅 MII 接口被使用（没有 LVDS 接口使用）时，RBIAS 电阻选取 10-15kΩ。

3.2.4.1 举例 RBIAS 电阻原理图

LVDS 的 RBIAS 电阻值为 R_{BIAS}=11kΩ。

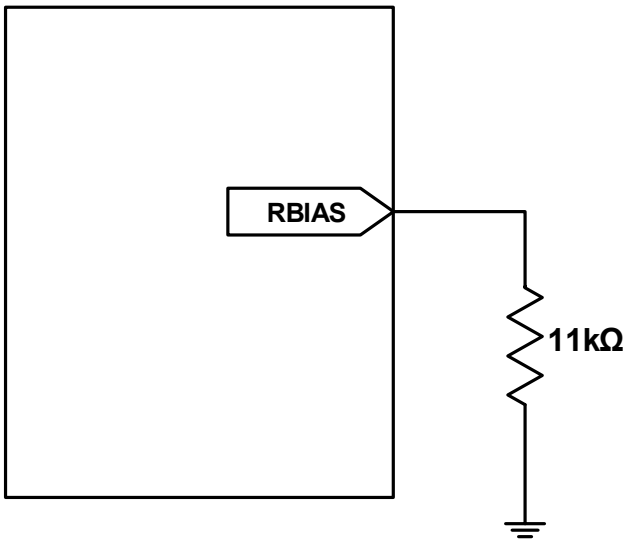


图 3-7 LVDS 偏压电阻

3.2.5 配置信号引脚

配置信号引脚在上电时通过外接上拉或下拉电阻来配置 FCE1200。上电时，配置信号引脚作为输入由 FCE1200 锁存配置信号信息。上电之后，这些引脚都有分配的操作功能，必要时引脚信号方向也可以改变。RESET 信号指示上电配置完成。若未重新上电，在随后的复位阶段，FCE1200 不会再锁存配置信号信息，配置引脚一直作为状态输出。

外接下拉电阻时，配置信号为 0；使用上拉电阻时，配置信号为 1。一些配置信号引脚也可以外接 LED 作为状态输出引脚，LED 的极性取决于需要配置的值。

3.2.5.1 举例配置输入/LED 输出引脚原理图

如果配置信号为 1，需要外接上拉电阻，引脚输出为 0（低）时 LED 导通。如果配置信号为 0，则需外接下拉电阻，引脚输出为 1（高）时 LED 导通。如下图所示。

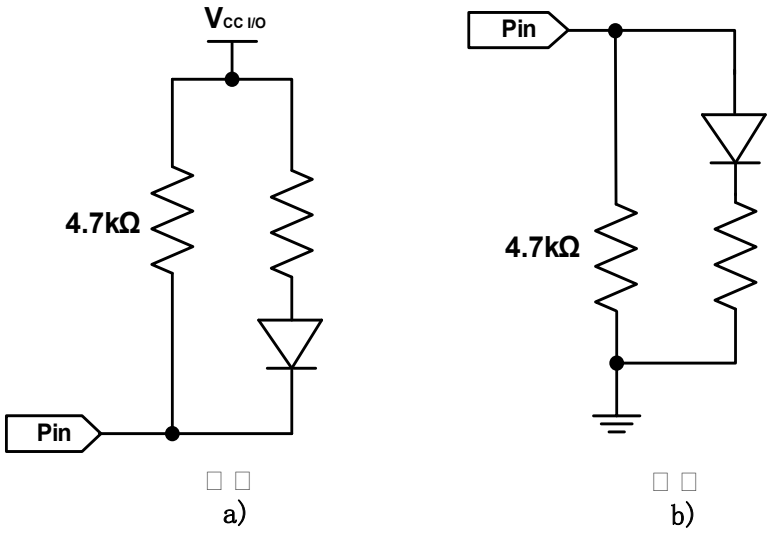


图 3-8 输入/LED 输出引脚双功能配置连接

a)配置信号=1　　b)配置信号=0

3.2.5.2 芯片模式

芯片模式用于配置两个固定端口（端口 0 和端口 1）的类型。芯片模式影响着可利用 PDI 信号的数量。芯片模式的引脚信息如下表所示。

表 3-9 芯片模式

描述	配置信号	引脚名称	寄存器	P_MODE[1:0]值
芯片模式	MODE[0]	LINKACT(0)/MODE[0]	0x0E00[0]	00=LVDS/LVDS（端口 0=LVDS，端口 1=LVDS） 01=保留 10=MII/LVDS（端口 0=MII，端口 1=LVDS） 11=LVDS/MII（端口 0=LVDS，端口 1=MII）
	MODE[1]	LINKACT(1)/MODE[1]	0x0E00[1]	

3.2.5.3 CPU_CLK 模式

CLK_MODE 可用于提供一个时钟信号给外部微处理器。如果 CLK_MODE 不是 00，CPU_CLK 将使用 PDI[7]引脚，此时这个引脚不再用于任何 PDI 信号。CPU_CLK 配置模式如下表所示。

表 3-10 CPU_CLK 模式

描述	配置信号	引脚名称	寄存器	CLK_MODE[1:0]值
CPU_CLK 模式	CLK_MODE[0]	PERR(0)/CLK_MODE[0]	0x0E00[2]	00=off，PDI[7]/CPU_CLK 引脚适用于 PDI 01=25MHz 时钟输出在 PDI[7]/CPU_CLK 10=20MHz 时钟输出在 PDI[7]/CPU_CLK 11=10MHz 时钟输出在 PDI[7]/CPU_CLK
	CLK_MODE[1]	PERR(1)/CLK_MODE(1)	0x0E00[3]	

3.2.5.4 TX 相位移动

MII 接口的 TX 信号（TX_ENA，TX_D[3:0]）的相位移动（0/10/20/30ns）通过 C25_SHI[x]信号获得。建议通过硬件选项支持所有的 C25_SHI[x]配置，以便后续调整。TX 相位移动情况如下表所示。

表 3-11 TX 相位偏移

描述	配置信号	引脚名称	寄存器	C25_SHI[1:0]值
TX 相位移动	C25_SHI[0]	PDI[10]/TX_D[2]/C25_SHI[0]	0x0E00[4]	00=MII 接口的 TX 信号无延迟 01=MII 接口的 TX 信号延迟 10ns 10=MII 接口的 TX 信号延迟 20ns 11=MII 接口的 TX 信号延迟 30ns
	C25_SHI[1]	PDI[11]/TX_D[3]/C25_SHI[1]	0x0E00[5]	

3.2.5.5 CLK25OUT 使能

以太网 PHY 的 25MHz 时钟可以通过从 FCE1200 的 PDI[6]/CLK25OUT 引脚上获取。这仅和芯片模式配置 10 或 11 相关。当芯片模式配置为 00，并且配置 MII 桥接端口 3 时，PDI[6]/CLK25OUT 引脚任何时候都可用于 CLK25OUT。当芯片模式配置为 00，但未配置 MII 桥接端口 3 时，CLK25OUT 不可用的，此时忽略 CLK25OUT 使能。

CLK25OUT 的具体情况如下表所示。

表 3-12 CLK25OUT 使能

描述	配置信号	引脚名称	寄存器	C25_ENA 值
CLK25OUT 使能	C25_ENA	PDI[9]/TX_D[1]/C25_ENA	0x0E00[6]	0=失能，PDI[6]/CLK25OUT 引脚适用于 PDI 1=使能，PDI[6]/CLK25OUT 引脚输出 25MHz 时钟

3.2.5.6 PHY 地址偏移

FCE1200 支持 0 或 16 两种 PHY 地址偏移配置。

PHY 地址偏移配置，如下表所示。

表 3-13 PHY 地址偏移

描述	配置信号	引脚名称	寄存器	PHYAD_OFF 值
PHY 地址偏移	PHYAD_OFF	PDI[8]/TX_D[0]/PHYAD_OFF	0x0E00[7]	0=PHY 地址偏移 0 1=PHY 地址偏移 16

3.2.5.7 SII EEPROM 内存大小

EEPROM_SIZE 决定了 EEPROM 的内存大小（和 I^2C 地址字节数）。在 EEPROM 加载开始时，EEPROM_SIZE 采样。EEPROM_SIZE 配置如下表所示：

表 3-14 SII EEPROM 内存大小

描述	配置信号	引脚名称	寄存器	EEPROM_SIZE 值
EEPROM 容量	EEPROM_SIZE	RUN/EEPROM_SIZE	0x0502[7]	0=单个地址字节（1Kb 到 16Kb EEPROM） 1=两个地址字节（32Kb 到 4Mb EEPROM）

3.2.6 SII EEPROM 接口引脚

EEPROM_CLK 为 EEPROM I²C 通信时钟信号（集电极开路输出）。

EEPROM_DATA 为 EEPROM I²C 通信数据信号（集电极开路输出）。

表 3-15 SII EEPROM 接口

引脚		信号		信号描述	内部上拉/下拉电阻
名称	方向	信号	方向		
EEPROM_CLK	BD	EEPROM_CLK	BD		3.3 kΩ PU
EEPROM_DATA	BD	EEPROM_DATA	BD		3.3 kΩ PU

3.2.7 分布时钟 SYNC/LATCH 和 MII 管理引脚

SYNC/LATCH[x]为分布式时钟同步信号输出或者锁存信号输入，这取决于 SII EEPROM 配置。

如果一个 MII 接口被使用，那么 SYNC/LATCH[1]/MI_DATA 将作为以太网 PHY 管理接口数据信号 MI_DATA 使用。EEPROM 加载前，SYNC/LATCH 信号都不会被驱动（高阻），其中 MI_DATA 与 EEPROM 加载状态无关。

【注意】MI_DATA 必须连接外部上拉电阻（EtherCAT 从站控制器推荐使用 4.7kΩ）。

表 3-16 DC SYNC/LATCH 和 MII 管理引脚

引脚		没有 MII 接口使用		MII 接口使用		配置信号	内部上拉/下拉电阻
名称	方向	信号	方向	信号	方向		
SYNC/LATCH[0]	BD	SYNC/LATCH[0]	I/O	SYNC/LATCH[0]	I/O		
SYNC/LATCH[1]/MI_DATA	BD	SYNC/LATCH[1]	I/O	MI_DATA	BD		

3.2.8 LED 信号

所有的 LED 信号也用作配置信号。每个 LED 信号的极性取决于配置：如果引脚进行下拉配置（配置信号为 0），LED 为高有效；如果引脚进行上拉配置（配置信号为 1），LED 为低有效。

表 3-17 LED 引脚

引脚		信号		配置	内部上拉/下拉电阻
名称	方向	信号	方向		
RUN/EEPROM_SIZE	BD	RUN	O	EEPROM_SIZE	WPD
LINKACT(0)/MODE[0]	BD	LINKACT(0)	O	MODE[0]	WPD
PERR(0)/CLK_MODE[0]	BD	PERR(0)	O	CLK_MODE[0]	WPD
LINKACT(1)/MODE[1]	BD	LINKACT(1)	O	MODE[1]	WPD
PERR(1)/CLK_MODE[1]	BD	PERR(1)	O	CLK_MODE[1]	WPD

RUN/EEPROM_SIZE

在 EEPROM 访问开始时，SII EEPROM_SIZE 配置（1Kb-16Kb 或者 32Kb-4Mb）进行采样。否则通常为 RUN LED 信号。如果引脚进行下拉配置（配置信号为 0），RUN LED 为高有效；如果引脚进行上拉配置（配置信号为 1），RUN LED 为低有效。建议 RUN LED 为绿色。

LINKACT(x)/MODE(x)

在上电时，作为芯片模式配置引脚，之后逻辑端口 x 的 Link/Activity LED 输出（LED 灭表示没有链接，LED 亮表示有链接但没有数据传输活动，LED 闪烁表示有链接且有数据传输活动）。如果引脚进行下拉配置（配置信号为 0），则 LINKACT(x)输出高电平有效；如果引脚进行上拉配置（配置信号为 1），则 LINKACT(x)输出低电平有效。建议 Link/Activity LED 为绿色。

PERR(x)/TRANS(x)

在上电时，作为 CPU_CLK 模式配置引脚，之后逻辑端口 x 的 Error LED 输出。如果引脚进行下拉配置（配置信号为 0），则 PERR(x)输出高电平有效；如果引脚进行上拉配置（配置信号为 1），则 PERR(x)输出低电平有效。

【注意】PERR(x) LED 不是 EtherCAT 指示说明的一部分。它们仅用于测试和调试。如果物理层发生接收错误，PERR(x) LED 闪烁。不能混淆 PERR(x)LED 和应用层 ERR LED，这是 EtherCAT 从站控制器不支持的，而是由微处理器控制的。

3.2.9 物理端口和 PDI 引脚

FCE1200 引脚分配进行了优化，以实现最佳的尺寸和功能。为了获得这一点，有许多引脚可以分配用于通信或者 PDI 功能。所选的芯片模式可能会降低 PDI 的可能性。

FCE1200 有 18 个 PDI 引脚（PDI[17:0]）。将其分为 2 组：PDI[7:0]和 PDI[17:8]。PDI[7:0]总是可用的 PDI 信号。PDI[17:8]在模式 00 下是可用的 PDI 信号，在模式 10/11 下用于 MII 信号。

芯片模式和 PDI 信号可能的组合如下表所示。

表 3-18 PDI 和芯片模式的组合配置

芯片模式	SPI	数字量 I/O	LVDS 桥 （逻辑端口 3）	MII 桥 （逻辑端口 3）
MODE 00	SPI +12Bit GPO	16 Bit I/O +控制/状态信号	LVDS 桥 +12 Bit GPO	MII 桥 +CLK25OUT+1Bit GPO
MODE 01/11	SPI +12Bit GPO	8 Bit I/O	LVDS 桥 +2 Bit GPO	不可用

3.2.9.1 MII 信号

下表描述了 FCE1200 所使用的 MII 接口信号。

表 3-19 MII 信号

信号	方向	描述
LINK_MII(x)	I	由 PHY 提供的是否建立了 100Mbit/s 的全双工链接的输入信号。低电平有效。
RX_CLK(x)	I	MII 接收时钟
RX_DV(x)	I	MII 接收数据有效
RX_D(x)[3:0]	I	MII 接收数据
RX_ERR(x)	I	MII 接收出错
TX_ENA(x)	O	MII 发送使能。
TX_D(x)[3:0]	O	MII 发送数据
MII_CLK	O	PHY 管理接口时钟（MDC）

3.2.9.1.1 CLK25OUT 信号

当 FCE1200 采用外接晶体获取 25MHz 时钟源时，其需要通过 CLK25OUT 为以太网 PHY 提供一个 25MHz 的时钟源信号。如果 FCE1200 使用 25MHz 振荡器输入，以太网 PHY 必须采用 CLK25OUT 输出作为时钟源，而不能和 FCE1200 采用同一振荡器输入。在芯片模式 00 下，除非 MII 桥接端口通过 SII EEPROM 被配置，否则 PDI[6]/CLK25OUT 引脚不能作为 CLK25OUT 信号使用。当 MII 桥接端口使用时，不管 C25_ENA 是否使能，CLK25OUT 信号都是可用的。在芯片模式为 10/11 时，可通过上拉使能配置信号 PDI[9]/TX_D[1]/C25_ENA，PDI[7]被配置发出 CLK25OUT。

如果被配置，CLK25OUT 引脚提供了一个时钟信号，包括在外部或者 EtherCAT 复位期间，时钟输出仅在上电复位时关闭。

3.2.9.1.2 举例 MII 连接原理图

要特别注意 TX Shift 和 PHY 地址的配置。

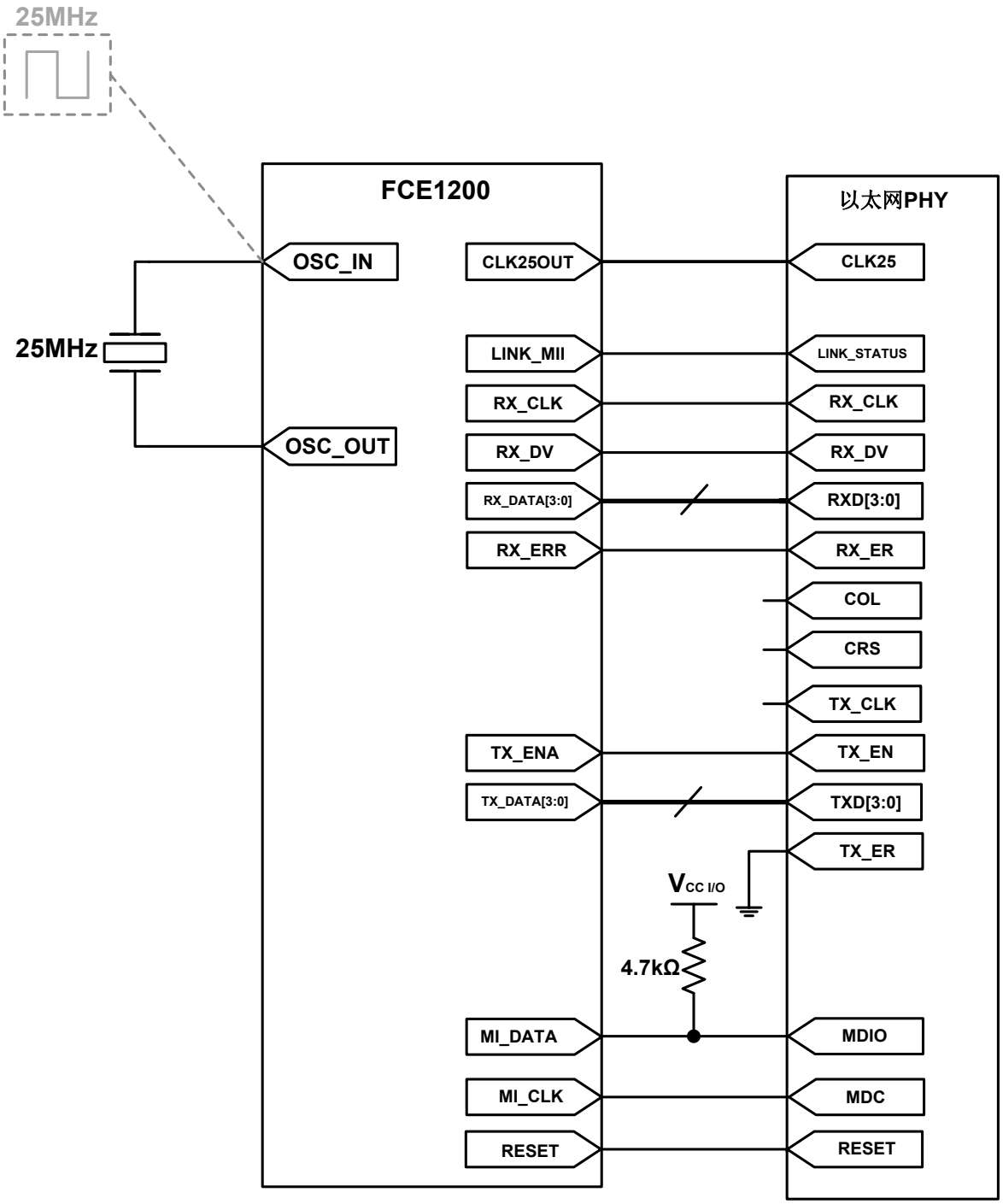


图 3-9 PHY 连接

3.2.9.2 LVDS 信号

FCE1200 的 LVDS 端口具有开路故障安全，也就是 FCE1200 检测到 LVDS 端口未连接时，在内部关闭该端口。LVDS 可以满足快速以太网 100Mbit/s 数据传输的波特率。具体信号描述如下表所示。

表 3-20 LVDS 信号

信号	方向	描述
LVDS(x)-RX+ LVDS(x)-RX-	I	LVDS 接口接收信号。即使端口未配置成 LVDS 接口，LVDS(x)-RX+包含了一个内部下拉电阻 R_{LI+}，LVDS(x)-RX-包含了一个内部上拉电阻 R_{LI-}。
LVDS(x)-TX+ LVDS(x)-TX-	O	LVDS 接口发送信号
RBIAS		用于对 LVDS-TX 信号进行电流调节的偏压电阻

3.2.9.2.1 举例 LVDS 端口连接原理图

阻抗为 100Ω 的 LVDS 终端通常通过电阻 R_L100Ω 来实现。仅在 LVDS 端口需要，且靠近 LVDS_RX 输入放置。

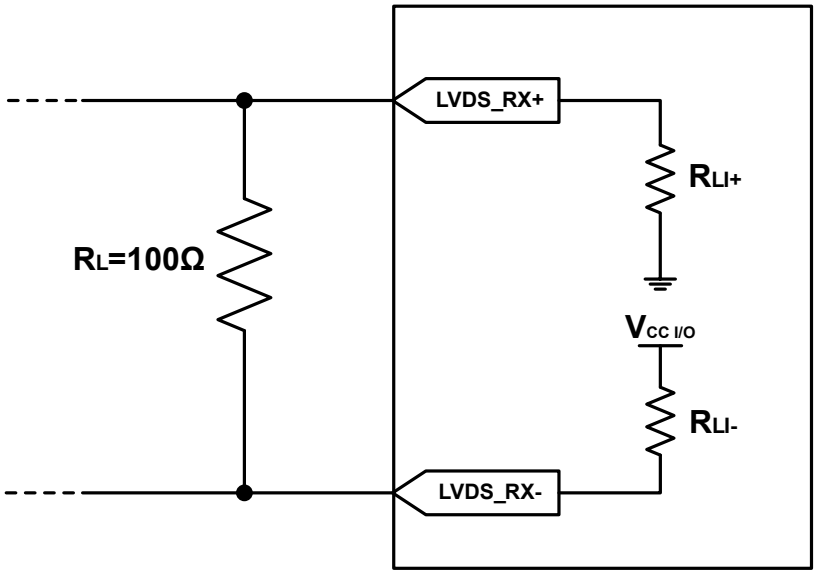


图 3-10 LVDS 端口接收端

3.2.9.3 PDI 引脚

PDI[x]

PDI[x]信号的功能取决于存储在器件 SII EEPROM 中的配置。PDI 信号不会被驱动（高阻），直到 EEPROM 加载。EEPROM 加载前，PDI 信号都会处于高阻态不会被驱动。数字输出尤其需要注意这点。

如果没有 PDI 被配置（PDI 控制寄存器 0x0140=0x00），PDI 信号不会被驱动（高阻）。

CPU_CLK

FCE1200 可通过引脚 PDI[7]/CPU_CLK 提供给微处理器一个时钟信号。CPU_CLK 的输出由 CLK_MODE 配置引脚决定。当 CPU_CLK 使能时，则 PDI[7]作为 PDI 是不可用的，即此时数字 I/O PDI 不能作为 I/O[7]使用。

如果被配置，CPU_CLK 可以提供一个时钟信号，包括在外部或者 EtherCAT 复位期间，时钟输出仅在上电复位时关闭。

3.2.9.4 端口 0/1 和 PDI[17:8]引脚

下表为端口 0/1 和用于端口 0 和 1 的 PDI 信号。

表 3-21 端口 0/1 和 PDI 信号（配置和芯片模式 00）

引脚		配置	MODE[1:0]=00		内部上拉/下拉电阻
名称	方向		信号	方向	
PDI[8]/TX_D[0]/PHYAD_OFF	BD	PHYAD_OFF	PDI[8]	BD	
PDI[9]/TX_D[1]/C25_ENA	BD	C25_ENA	PDI[9]	BD	
PDI[10]/TX_D[2]/C25_SHI[0]	BD	C25_SHI[0]	PDI[10]	BD	
PDI[11]/TX_D[3]/C25_SHI[1]	BD	C25_SHI[1]	PDI[11]	BD	
PDI[12]/RX_CLK	BD		PDI[12]	BD	
PDI[13]/RX_DV	BD		PDI[13]	BD	
PDI[14]/RX_D[0]	BD		PDI[14]	BD	
PDI[15]/RX_D[1]	BD		PDI[15]	BD	
PDI[16]/RX_D[2]	BD		PDI[16]	BD	
PDI[17]/RX_D[3]	BD		PDI[17]	BD	
LVDS{1}-RX-/LINK_MII	LI-/I		LVDS(1)-RX-	LI-	1.2MΩ PU
LVDS{1}-RX+/RX_ERR	LI+/I		LVDS(1)-RX+	LI+	1.2MΩ PD
LVDS{1}-TX-/MI_CLK	LO-/O		LVDS(1)-TX-	LO-	
LVDS{1}-TX+/TX_ENA	LO+/O		LVDS(1)-TX+	LO+	
LVDS{0}-RX-	LI-		LVDS(0)-RX-	LI-	1.2MΩ PU
LVDS{0}-RX+	LI+		LVDS(0)-RX+	LI+	1.2MΩ PD
LVDS{0}-TX-	LO-		LVDS(0)-TX-	LO-	
LVDS{0}-TX+	LO+		LVDS(0)-TX+	LO+	

表 3-22 端口 0/1 和 PDI 信号（配置芯片模式 10/11）

引脚		MODE[1:0]=10		MODE[1:0]=10		内部上拉/下拉电阻
名称	方向	信号	方向	信号	方向	
PDI[8]/TX_D[0]/PHYAD_OFF	BD	TX_D(0)[0]	O	TX_D(1)[0]	O	
PDI[9]/TX_D[1]/C25_ENA	BD	TX_D(0)[1]	O	TX_D(1)[1]	O	
PDI[10]/TX_D[2]/C25_SHI[0]	BD	TX_D(0)[2]	O	TX_D(1)[2]	O	
PDI[11]/TX_D[3]/C25_SHI[1]	BD	TX_D(0)[3]	O	TX_D(1)[3]	O	
PDI[12]/RX_CLK	BD	RX_CLK(0)	I	RX_CLK(1)	I	
PDI[13]/RX_DV	BD	RX_DV(0)	I	RX_DV(1)	I	
PDI[14]/RX_D[0]	BD	RX_D(0)[0]	I	RX_D(1)[0]	I	
PDI[15]/RX_D[1]	BD	RX_D(0)[1]	I	RX_D(1)[1]	I	
PDI[16]/RX_D[2]	BD	RX_D(0)[2]	I	RX_D(1)[2]	I	
PDI[17]/RX_D[3]	BD	RX_D(0)[3]	I	RX_D(1)[3]	I	
LVDS{1}-RX-/LINK_MII	LI-/I	LINK_MII(0)	I	LINK_MII(1)	I	1.2MΩ PU
LVDS{1}-RX+/RX_ERR	LI+/I	RX_ERR(0)	I	RX_ERR(1)	I	1.2MΩ PD
LVDS{1}-TX-/MI_CLK	LO-/O	MI_CLK	O	MI_CLK	O	
LVDS{1}-TX+/TX_ENA	LO+/O	TX_ENA(0)	O	TX_ENA(1)	O	
LVDS{0}-RX-	LI-	LVDS(1)-RX-	LI-	LVDS(0)-RX-	LI-	1.2MΩ PU
LVDS{0}-RX+	LI+	LVDS(1)-RX+	LI+	LVDS(0)-RX+	LI+	1.2MΩPD
LVDS{0}-TX-	LO-	LVDS(1)-TX-	LO-	LVDS(0)-TX-	LO-	
LVDS{0}-TX+	LO+	LVDS(1)-TX+	LO+	LVDS(0)-TX+	LO+	

3.2.9.5 PDI[7:0]信号

下表展示了 PDI[7:0]信号。所有的 PDI 引脚方向取决于存储在 SII EEPROM 中的 PDI 配置。

表 3-23 PDI 引脚

引脚		PDI, C25_ENA=0, CLK_MODE=00		PDI, C25_ENA=1, CLK_MODE/=00		内部上拉/下拉电阻
名称	方向	信号	方向	信号	方向	
PDI[0]	BD/LO+	PDI[0]	BD/LO+	PDI[0]	BD/LO+	
PDI[1]	BD/LO-	PDI[1]	BD/LO-	PDI[1]	BD/LO-	
PDI[2]	BD/LI+	PDI[2]	BD/LI+	PDI[2]	BD/LI+	1.2MΩ PD
PDI[3]	BD/LI-	PDI[3]	BD/LI-	PDI[3]	BD/LI-	1.2MΩ PU
PDI[4]	BD	PDI[4]	BD	PDI[4]	BD	
PDI[5]	BD	PDI[5]	BD	PDI[5]	BD	
PDI[6]/CLK25OUT	BD	PDI[6]	BD	CLK25OUT	O	
PDI[7]/CPU_CLK	BD	PDI[7]	BD	CPU_CLK	O	

3.2.10 取决于所选 PDI 的 PDI 信号引脚分配

EtherCAT 从站控制器芯片的应用数据接口称为过程数据接口，简称 PDI。根据选择的 PDI（SII EEPROM），对 PDI 进行信号引脚分配。PDI 的选择和 PDI 信号引脚受端口配置的限制。数字 I/O 和 SPI PDI 在任何配置中都是可用的，但是可以根据配置减少数字 I/O 的宽度。MII 桥接端口 PDI 仅在芯片模式 00 下可用。

有关 PDI 和 PDI 信号的进一步描述，请参阅 PDI 描述。

SPI PDI 支持额外的通用输出信号，这不是 SPI PDI 描述的一部分：

GPO[x]

通用输出信号。

3.2.10.1 数字 I/O 引脚

表 3-24 数字 I/O 接口的映射

PDI 信号	MODE[1:0]=00		MODE[1:0]=10/11	
	信号	方向	信号	方向
PDI[0]	I/O[0]	BD	I/O[0]	BD
PDI[1]	I/O[1]	BD	I/O[1]	BD
PDI[2]	I/O[2]	BD	I/O[2]	BD
PDI[3]	I/O[3]	BD	I/O[3]	BD
PDI[4]	I/O[4]	BD	I/O[4]	BD
PDI[5]	I/O[5]	BD	I/O[5]	BD
PDI[6]/CLK25OUT	I/O[6]	BD	I/O[6]	BD
PDI[7]/CPU_CLK	I/O[7]	BD	I/O[7]	BD
PDI[8]	I/O[8]	BD	MII	
PDI[9]	I/O[9]	BD		
PDI[10]	I/O[10]	BD		
PDI[11]	I/O[11]	BD		
PDI[12]	I/O[12]	BD		
PDI[13]	I/O[13]	BD		
PDI[14]	I/O[14]	BD		
PDI[15]	I/O[15]	BD		
PDI[16]	OUTVALID/WD_TRIG	O		
PDI[17]	LATCH_IN/SOF	I/O		

3.2.10.2 SPI 引脚

表 3-25 SPI 接口的映射

PDI 信号	MODE[1:0]=00		MODE[1:0]=10/11	
	信号	方向	信号	方向
PDI[0]	SPI_CLK	I	SPI_CLK	I
PDI[1]	SPI_SEL	I	SPI_SEL	I
PDI[2]	SPI_DI	I	SPI_DI	I
PDI[3]	SPI_DO	O	SPI_DO	O
PDI[4]	SPI_IRQ	O	SPI_IRQ	O
PDI[5]	EEPROM_LOADED	O	EEPROM_LOADED	O
PDI[6]/CLK25OUT	GPO[0]	O	GPO[0]	O
PDI[7]/CPU_CLK	GPO[1]	O	GPO[1]	O
PDI[8]	GPO[2]	O	MII	
PDI[9]	GPO[3]	O		
PDI[10]	GPO[4]	O		
PDI[11]	GPO[5]	O		
PDI[12]	GPO[6]	O		
PDI[13]	GPO[7]	O		
PDI[14]	GPO[8]	O		
PDI[15]	GPO[9]	O		
PDI[16]	GPO[10]	O		
PDI[17]	GPO[11]	O		

3.2.10.3 LVDS/MII 桥接端口（逻辑端口 3）

桥接端口是使用逻辑端口 3 的附加端口，它通过 SII EEPROM 配置，因此，它不能在上电后直接使用。一旦 EEPROM 成功加载，桥接端口就可用。这个端口上的环路最初是关闭的，必须由主站明确地打开。桥端口可以配置成 LVDS 或 MII。MII 桥接端口仅在芯片模式 00 时可用。

PERR(3)和 LINKACT(3)的极性为高电平有效。

表 3-26 LVDS 桥接信号的映射

PDI 信号	MODE[1:0]=00		MODE[1:0]=10/11	
	信号	方向	信号	方向
PDI[0]	LVDS(3)_TX+	LO+	LVDS(3)_TX+	LO+
PDI[1]	LVDS(3)_TX-	LO-	LVDS(3)_TX-	LO-
PDI[2]	LVDS(3)_RX+	LI+	LVDS(3)_RX+	LI+
PDI[3]	LVDS(3)_RX-	LI-	LVDS(3)_RX-	LI-
PDI[4]	PERR(3)	O	PERR(3)	O
PDI[5]	LINKACT(3)	O	LINKACT(3)	O
PDI[6]/CLK25OUT	GPO[0]	O	GPO[0]	O
PDI[7]/CPU_CLK	GPO[1]	O	GPO[1]	O
PDI[8]	GPO[2]	O	MII	
PDI[9]	GPO[3]	O		
PDI[10]	GPO[4]	O		
PDI[11]	GPO[5]	O		
PDI[12]	GPO[6]	O		
PDI[13]	GPO[7]	O		
PDI[14]	GPO[8]	O		
PDI[15]	GPO[9]	O		
PDI[16]	GPO[10]	O		
PDI[17]	GPO[11]	O		

表 3-27 MII 桥接口的映射

PDI 信号	MODE[1:0]=00	
	信号	方向
PDI[0]	TX_ENA(3)	O
PDI[1]	MI_CLK	O
PDI[2]	RX_ERR(3)	I
PDI[3]	LINK_MII(3)	I
PDI[4]	PERR(3)	O
PDI[5]	LINKACT(3)	O
PDI[6]/CLK25OUT	CLK25OUT	O
PDI[7]/CPU_CLK	GPO[1]	O
PDI[8]	TX_D(3)[0]	O
PDI[9]	TX_D(3)[1]	O
PDI[10]	TX_D(3)[2]	O
PDI[11]	TX_D(3)[3]	O
PDI[12]	RX_CLK(3)	I
PDI[13]	RX_DV(3)	I
PDI[14]	RX_D(3)[0]	I
PDI[15]	RX_D(3)[1]	I
PDI[16]	RX_D(3)[2]	I
PDI[17]	RX_D(3)[3]	I

3.2.11 测试模式引脚

TESTMODE 为 FCE1200 的用于测试模式的保留引脚，应接到 GND。

表 3-28 TESTMODE 引脚

引脚		信号		配置	内部上拉/下拉电阻
名称	方向	信号	方向		
TESTMODE	I	TESTMODE	I		WPD

4 LVDS 接口

4.1 LVDS 接口信号

LVDS 接口有以下信号：

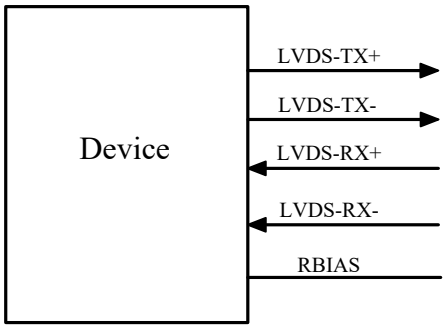


图 4-1 LVDS 接口信号

表 4-1 LVDS 接口信号

信号	方向	描述
LVDS(x)-RX+ LVDS(x)-RX-	I	LVDS 发射信号。
LVDS(x)-TX+ LVDS(x)-TX-	O	LVDS 接收信号
RBIAS		用于对 LVDS-TX 信号进行电流调节的偏置电阻

【注意】LVDS 端口需要在 LVDS-RX+和 LVDS-RX-之间使用阻值为 100Ω 的外部 LVDS 终端电阻。LVDS-RX+集成了一个下拉电阻，LVDS-RX-集成了一个上拉电阻。

4.1.1 LVDS 接口信号连接举例

下图为两个芯片使用了 LVDS 接口连接的示意图。使用两对 LVDS 线对，一对接收数据帧，一对发送数据帧。每对 LVDS 线对跨接一个 100Ω 的负载电阻，不需要其他物理层元器件，缩短了从站之间的传输延时，减少了元器件。

LVDS 可以满足快速以太网 100Mbit/s 数据传输的波特率，对 EtherCAT 数据帧进行简单的封装，能够传输任意 EtherCAT 数据帧。

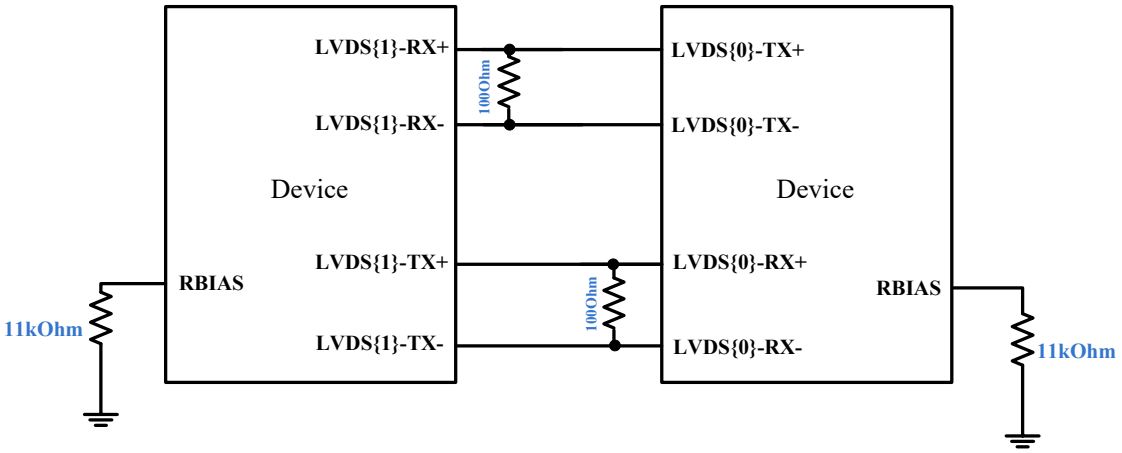


图 4-2 两片芯片 LVDS 接口连接举例

5 MII 接口

FCE1200 通过 MII 接口与以太网 PHY 连接。FCE1200 的 MII 接口通过省略一个传输 FIFO 来优化低处理/转发延迟。为了做到这一点，FCE1200 对以太网 PHY 有额外的要求，而这些要求，一些 PHY 供应商很容易完成。

关于 FCE1200 的其它信息：

- PHY 的时钟源是 FCE1200 的 CLK25OUT。
- LINK_MII 的信号极性是不可配置的，LINK_MII 必须是低电平有效。
- PHY 的 TX_CLK 信号没有连接到 FCE1200。FCE1200 不使用用于链路检测或者链路配置的 MII 接口。

5.1 MII 接口信号

FCE1200 的 MII 接口有以下信号：

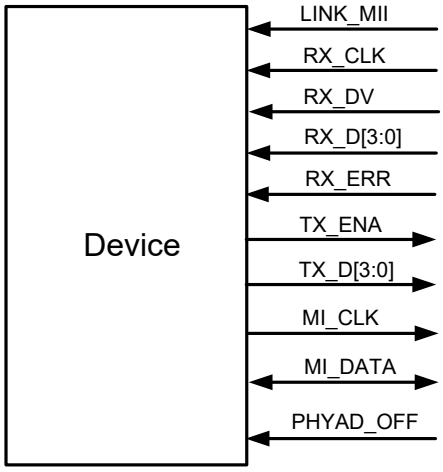


图 5-1 MII 接口信号

表 5-1 MII 接口信号

信号	方向	描述
LINK_MII	I	由 PHY 提供的表示一个 100Mbit/s（全双工）链路建立的输入信号
RX_CLK	I	接收时钟
RX_DV	I	接收数据有效
RX_D[3:0]	I	接收数据（又名 RXD）
RX_ERR	I	接收错误（又名 RX_ER）
TX_ENA	O	传输使能（又名 TX_EN)
TX_D[3:0]	O	传输数据（又名 TXD）
MI_CLK	O	管理接口时钟（又名 MCLK）
MI_DATA	B	管理接口数据（又名 MDIO）
PHYAD_OFF	I	配置：PHY 地址偏移

MI_DATA 必须连接一个外部上拉电阻（对于以太网从站控制器推荐使用 4.7kΩ）。MI_CLK 是轨对轨（rail-to-rail）驱动，空闲值为高电平。

5.2 PHY 地址配置

FCE1200 使用逻辑端口号（或者 PHY 地址寄存器值）加上 PHY 地址偏移量来寻址以太网 PHY。通常情况下，以太网 PHY 地址应该与逻辑端口号相对应，因此 PHY 地址 0-3 被使用。

可以使用一个 16 的 PHY 地址偏移量，通过反转 PHY 地址内部的 MSB，将 PHY 地址移动到 16-19。

如果这两个备选方案都不能使用，则应将 PHY 配置为使用实际的 PHY 地址偏移量 1，即 PHY 地址为 1-4。FCE1200 的 PHY 地址偏移配置保持为 0。

5.3 TX 位移补偿

因为 FCE1200 和以太网 PHY 共享相同的时钟源，来自 PHY 的 TX_CLK 与来自 FCE1200 的 TX_ENA/TX_D[3:0]具有固定的相位关系。因此，TX_CLK 不连接，并且保存了 FCE1200 内部 TX FIFO 的延迟。TX_CLK 和 TX_ENA/TX_D[3:0]之间的相移可以通过适当的 TX Shift 值进行补偿，那将会使 TX_ENA/TX_D[3:0]延迟 0ns，10ns，20ns 或者 30ns。

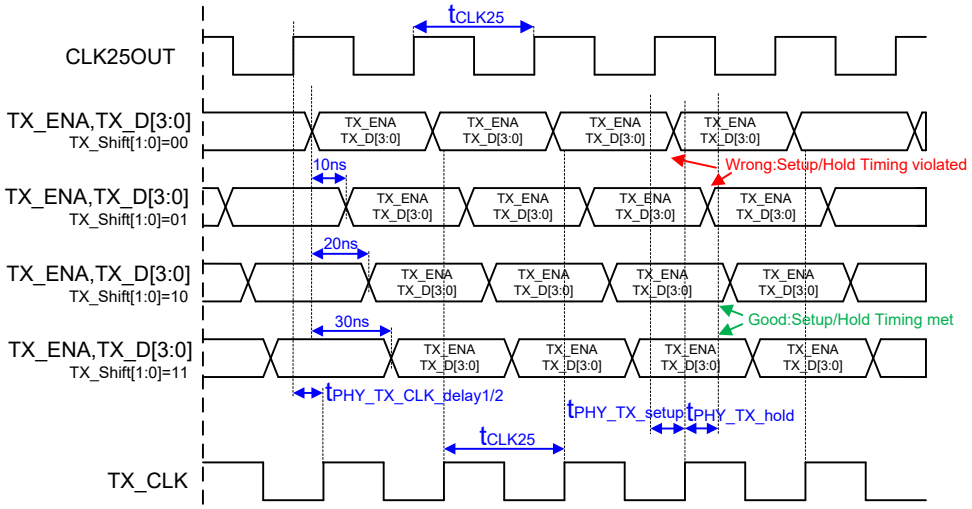


图 5-2 TX Shift 时序图

表 5-2 TX Shift 时序特征

信号	描述
t_{CLK25}	25MHz clock source (OSC_IN, see f_{CLK25})
$t_{PHY_TX_CLK_delay}$	Delay between PHY clock source CLK25OUT and TX_CLK output of the PHY, PHY dependent
$t_{PHY_TX_setup}$	PHY setup requirement: TX_ENA/TX_DATA with respect to TX_CLK (PHY dependent, IEEE802.3 limit is 15ns)
$t_{PHY_TX_hold}$	PHY hold requirement: TX_ENA/TX_DATA with respect to TX_CLK (PHY dependent, IEEE802.3 limit is 0ns)

【注意】TX Shift 可以通过在示波器上显示的 PHY 的 TX_CLK 和 TX_ENA/TX_D[3:0]进行调节。TX_ENA/TX_D[3:0]在 TX_CLK 上升沿后允许在 0ns 到 25ns 之间变化（根据 IEEE802.3-检查您的 PHY 文档，它可能会包含宽松的时序要求）。配置 TX Shift，使 TX_ENA/TX_D[3:0]在这个范围的中间变化。因为 TX_ENA/TX_D[3:0]几乎是同时产生的，所以只要检查其中一个就足够了。

5.4 时序特征

表 5-3 MII 时序特征

参数	最小	典型	最大	描述
t_{RX_CLK}	40ns ±100ppm			RX_CLK period (100ppm with maximum FIFO Size only)
t_{RX_setup}	6	-	-	RX_DV/RX_DATA/RX_D[3:0] valid before rising edge of RX_CLK
t_{RX_hold}	5	-	-	RX_DV/RX_DATA/RX_D[3:0] valid after rising edge of RX_CLK
t_{Clk}	-	~1.44µs	-	MI_CLK period (f_{Clk} ≈ 700 kHz)
t_{Write}	-	~92.16µs	-	MI Write access time
t_{Read}	-	~91.44µs	-	MI Read access time

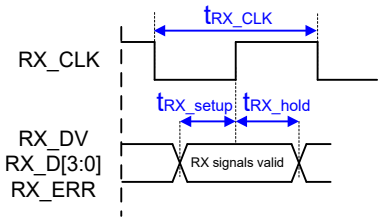


图 5-3 MII 时序 RX 信号

6 PDI 描述

表 6-1 用于 FCE1200 的可用 PDI

PDI 值 （PDI 控制寄存器 0x0140[7:0]）	PDI 名称	FCE1200
0	接口无效	x
4	数字 I/O	x
5	SPI 从站	x
7	EtherCAT 桥（端口 3）	x
8	16 位异步 µC	
9	8 位异步 µC	
10	16 位同步 µC	
11	8 位同步 µC	
16	32 数字输入/0 数字输出	
17	24 数字输入/8 数字输出	
18	16 数字输入/16 数字输出	
19	8 数字输入/24 数字输出	
20	0 数字输入/32 数字输出	
128	片上总线	
其它	保留	

【注】上表概述图例如下：

符号	描述
x	可用
-	不可用
c	配置

6.1 PDI 停用

PDI 类型为 0x00 时 PDI 停用。此时 PDI 引脚没有被驱动（高阻状态）。

6.2 数字 I/O 接口

6.2.1 接口

选择数字 I/O 时 PDI 类型为 0x04。数字 I/O 接口的信号有：

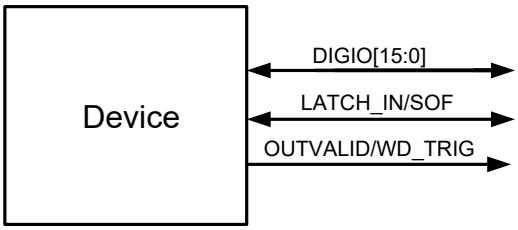


图 6-1 数字 I/O 信号

表 6-2 数字 I/O 信号

信号	方向	描述	信号极性
DIGIO[15:0]	I/O/BD	输入/输出或者双向数据	
LATCH_IN/SOF	I/O	外部数据锁存信号或者开始帧	高电平有效
OUTVALID/WD_TRIG	O	输出数据有效/输出事件或看门狗触发	高电平有效

【注意】不支持的控制信号 OE_EXT 和 OE_CONF 被认为是高电平。

6.2.2 配置

在 PDI 控制寄存器 0x0140 中选择 PDI 类型 0x04 的数字 I/O 接口。它支持不同的配置，它们位于寄存器 0x0150-0x0153 中。

6.2.3 数字输入

数字输入值出现在地址为 0x1000:0x1003 的过程内存中。EtherCAT 器件使用了小端序（Little Endian）字节顺序，因此 I/O[7:0]可以在 0x1000 等处读取。数字输入通过数字 I/O PDI 使用标准 PDI 写操作写入过程内存中。

数字输入可以被 EtherCAT 从站控制器配置使用四种方式进行采样：

- 在每个以太网帧开始时对数字输入进行采样，以便 EtherCAT 读取地址 0x1000:0x1003 的命令将在同一帧开始时呈现采样的数字输入值。因为 SOF 信号是在输入数据采样之前发出的，所以 SOF 信号可以在外部用于更新输入数据。
- 采样时间可以通过使用 LATCH_IN 信号进行外部控制。每次识别到 LATCH_IN 的上升沿时，EtherCAT 从站控制器对输入数据进行采样。
- 数字输入在分布式时钟 SYNC0 事件中采样。
- 数字输入在分布式时钟 SYNC1 事件中采样。

对于分布式时钟 SYNC 输入，SYNC 生成必须被激活（寄存器 0x0981）。SYNC 输出不是必须的（寄存器

0x0151）。SYNC 脉冲长度（寄存器 0x0982:0x0983）不应该设置为 0，因为使用数字 I/O PDI 不可能应答 SYNC 事件。采样时间是 SYNC 事件的开始时间。

6.2.4 数字输出

数字输出值必须写入寄存器 0x0F00:0x0F03（寄存器 0x0F00 控制 I/O[7:0]等）。数字 I/O PDI 不使用标准的读取命令读取数字输出值，而是通过直接连接来加快响应时间。

过程数据看门狗（寄存器 0x0440）必须处于激活状态或者禁用状态，否则数据输出将不会更新。数字输出可以配置为四种方式更新：

- 数字输出在每个 EtherCAT 帧结束时更新（EOF 模式）。
- 数字输出在分布式时钟 SYNC0 事件时更新（DC SYNC0 模式）。
- 数字输出在分布式时钟 SYNC1 事件时更新（DC SYNC1 模式）。
- 数字输出在触发过程数据看门狗（Process Data Watchdog）的 EtherCAT 帧结束时更新（使用典型 SyncManager 配置：一个帧包含了对寄存器 0x0F00:0x0F03 中至少一个的写访问）。只有当 EtherCAT 帧正确时，数字输出才更新（WD_TRIG 模式）。

对于分布式时钟 SYNC 输出，SYNC 生成必须被激活（寄存器 0x0981）。SYNC 输出不是必须的（寄存器 0x0150）。SYNC 脉冲长度（寄存器 0x0982:0x0983）不应该设置为 0，因为使用数字 I/O PDI 不可能应答 SYNC 事件。输出时间是 SYNC 事件的开始时间。

输出事件总是由 OUTVALID 上的脉冲示意，即使数字输出保持不变。

要使输出数据在 I/O 信号上可见，必须满足以下条件：

- SyncManager 看门狗必须处于激活（触发）或者禁用状态。
- 输出值必须在有效的 EtherCAT 帧内写入寄存器 0x0F00:0x0F03。
- 配置的输出事件必须已经发生。

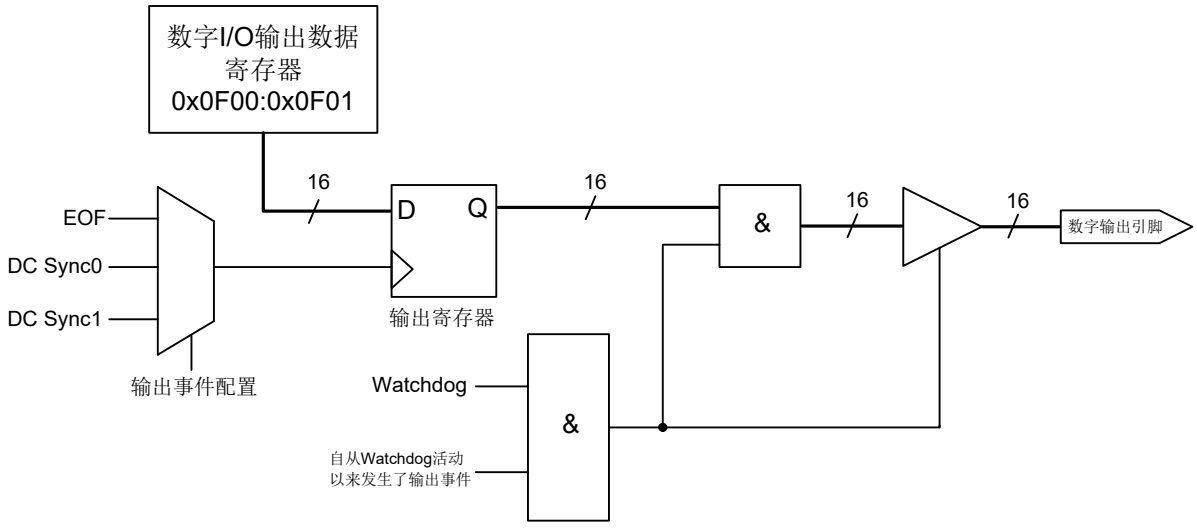


图 6-2 数字输出原理图

【注意】数字输出不驱动（高阻抗），直到 EEPROM 加载。如果看门狗过期，数字输出也不驱动。在使用数字输出信号时，必须考虑到这种行为。

6.2.5 双向模式

在双向模式下，所有数据都是双向的（忽略单个输入/输出配置）。输入信号通过串联电阻连接到 EtherCAT 从站控制器，输出信号由 EtherCAT 从站控制器主动驱动。如果输出信号被 OUTVAILD 锁存（触发器或者锁存），则它们永久可用。

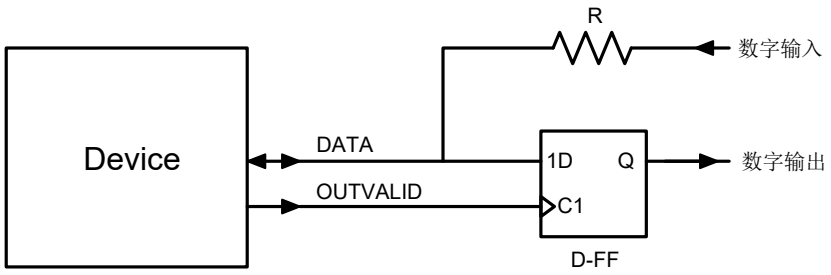


图 6-3 双向模式：输入/输出连接（推荐 R=4.7kΩ）

输入采样事件和输出更新事件可按照数字输入/数字输出章节进行配置。

即使数字输出保持不变，输出事件也由 OUTVALID 上的脉冲示意。重叠的输入和输出事件将导致输入数据损坏。

6.2.6 输出驱动

当 SyncManager 看门狗激活（触发）或禁用时，数字 I/O 信号的输出驱动是激活的，否则输出驱动是禁用的（高阻抗）。

6.2.7 SyncManager 看门狗

SyncManager 看门狗（寄存器 0x0440:0x0441）必须处于激活（触发）或禁用状态，才能在 I/O 信号上显示输出值。SyncManager 看门狗由对输出数据寄存器的 EtherCAT 写访问触发。

如果输出数据字节是独立写入的，则对 0x0F00:0x0F03 中包含输出位的每一个字节使用一个长度为 1 字节的 SyncManager（SyncManagerN 配置：缓冲模式，EtherCAT 写/PDI 读，并且看门狗触发启用，即寄存器 0x0804+N×8 为 0x44）。或者，如果在一个 EtherCAT 命令中一起写入所有输出数据位，则一个长度为 1 字节的 SyncManager 就足够了（SyncManagerN 配置：缓冲模式，EtherCAT 写/PDI 读，并且看门狗触发启用，即寄存器 0x0804+N×8 为 0x44）。SyncManager 的起始地址应该是包含输出位的 0x0F00:0x0F03 字节之一，例如，包含输出位的最后一个字节。

也可以通过在寄存器 0x0440:0x0441 中写入 0 来禁用 SyncManager 看门狗。

看门狗模式配置位用于配置，当 SyncManager 看门狗过期会对 I/O 信号产生立即影响（看门狗超时后立即输出复位）或者这个影响延迟到下一个输出事件（使用下一个输出事件重置输出）。后一种情况对于分布式时钟 SYNC 输出事件特别相关，因为在 SYNC 事件中，任何输出变化都会发生。

如果 OUTVALID 模式设置为看门狗触发，则看门狗超时后不能立即输出复位（0x0150[1]=1）。

对于外部看门狗执行，WD_TRIG（看门狗触发）信号可以使用。触发 SyncManager 看门狗会产生一个 WD_TRIG 脉冲。在这种情况下，内部应禁用 SyncManager 看门狗。对于没有 WD_TRIG 信号的器件，可以配置 OUTVALID 映射 WD_TRIG。

6.2.8 SOF

SOF 表示一个以太网/EtherCAT 帧的开始。它在 RX_DV=1 或者 LVDS SOF 之后不久有效。SOF 有效之后，在 $t_{SOF_to_DATA_setup}$ 和 $t_{SOF_to_DATA_setup}$ 的时间间隔内对输入数据进行采样。

6.2.9 OUTVALID

OUTVALID 信号上的脉冲表示一个输出事件。如果输出事件被配置为帧的结束，OUTVALID 在 RX_DV=0 或者 LVDS EOF 之后不久发出，就在检查了 CRC 并且内部寄存器已经接受了它们的新值之后。OUTVAILD 的发出独立于实际输出数据值，也就是说，即使输出数据没有改变，它也会发出。

6.2.10 时序特征

表 6-3 数字 I/O 的时序特征

参数	最小	最大	说明
t_{DATA_setup}	8ns	-	Input data valid before LATCH_IN
t_{DATA_hold}	4ns	-	Input data valid after LATCH_IN
t_{LATCH_IN}	8ns	-	LATCH_IN high time
t_{SOF}	35ns	45ns	SOF high time
$t_{SOF_to_DATA_setup}$	-	1.2µs	Input data valid after SOF, so that Inputs can be read in the same frame
$t_{SOF_to_DATA_hold}$	1.6µs	-	Input data invalid after SOF
$t_{input_event_delay}$	440ns	-	Time between consecutive input events
$t_{OUTVALID}$	75ns	85ns	OUTVALID high time
$t_{DATA_to_OUTVALID}$	65ns	-	Output data valid before OUTVALID
t_{WD_TRIG}	35ns	45ns	WD_TRIG high time
$t_{DATA_to_WD_TRIG}$	-	35ns	Output data valid after WD_TRIG
$t_{OE_EXT_to_DATA_invalid}$	-	-	Not applicable for FCE1200
$t_{output_event_delay}$	320ns	-	Time between consecutive output events
$t_{BIDIR_DATA_valid}$	65ns	-	Bidirectional mode: I/O valid before OUTVALID
$t_{BIDIR_DATA_invalid}$	65ns	-	Bidirectional mode: I/O invalid after OUTVALID
$t_{BIDIR_event_delay}$	440ns	-	Bidirectional mode: time between consecutive input and output events

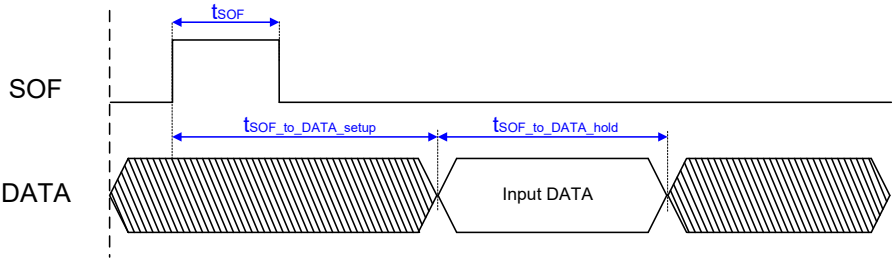


图 6-4 数字输入：输入数据采样在 SOF，I/O 可以在同一帧读取

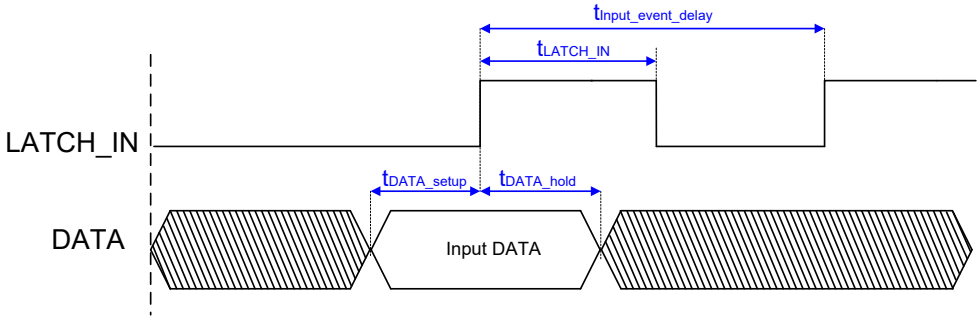


图 6-5 数字输入：输入数据在 LATCH_IN 采样

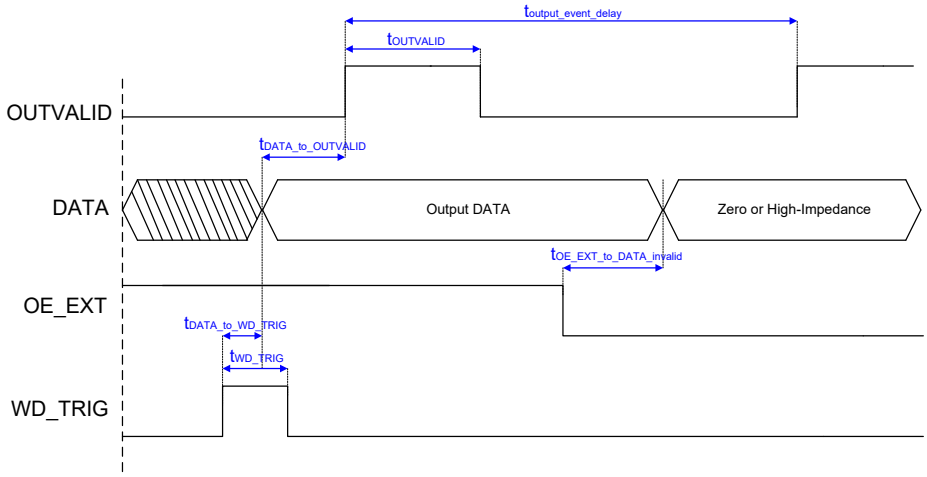


图 6-6 数字输出时序

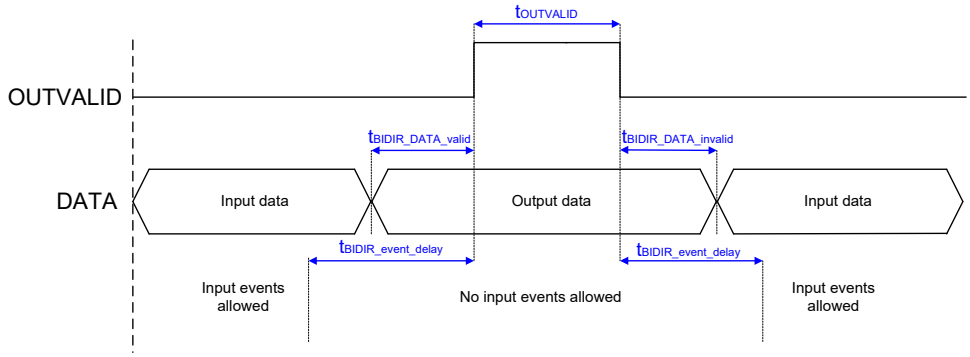


图 6-7 双向模式时序

6.3 SPI 从站接口

6.3.1 接口

PDI 类型为 0x05 的 EtherCAT 器件是 SPI 从设备。SPI 有 5 个信号：SPI_CLK，SPI_DI（MOSI），SPI_DO（MISO），SPI_SEL 和 SPI_IRQ：

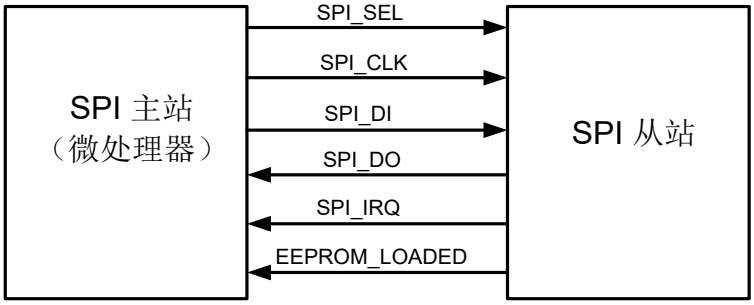


图 6-8 SPI 主和从连接

表 6-4 SPI 信号

信号	方向	描述	信号极性
SPI_SEL	I（主站→从站)	SPI 片选信号	典型的：低电平有效
SPI_CLK	I（主站→从站)	SPI 时钟	
SPI_DI	I（主站→从站)	SPI 数据 MOSI	高电平有效
SPI_DO	O（从站→主站）	SPI 数据 MISO	高电平有效
SPI_IRQ	O（从站→主站）	SPI 中断	典型的：低电平有效
EEPROM_LOADE	O（从站→主站）	PDI 有效的，EEPROM 加载	高电平有效

6.3.2 配置

在 PDI 控制寄存器 0x0140 中选择 PDI 类型 0x05 的 SPI 从接口。它支持 SPI_SEL 和 SPI_IRQ 不同的时序模式和配置信号极性。SPI 配置位于寄存器 0x150 中。

【注意】最大 SPI_CLK 频率取决于 SPI 模式。

6.3.3 SPI 访问

每个 SPI 访问被分成地址阶段和数据阶段。在地址阶段，SPI 主站发送要访问的第一个地址和命令。在数据阶段，读数据是由 SPI 从站（读命令）提供或者写数据是由主站（写命令）传输。地址阶段由 2 或 3 个字节组成，具体取决于地址模式。每次访问的数据字节数可以在 0 到 N 字节之间。从站在读取或者写入起始地址后，会在接下来的字节中增加地址。地址/命令和数据的位都以字节组的形式传输。

主站通过设置 SPI_SEL 有效开始 SPI 访问，并且通过收回 SPI_SEL 结束访问（极性由配置决定）。当 SPI_SEL 有效，对于每个字节传输，主站必须循环 8 次 SPI_CLK。在每个时钟周期中，主从站各向对方

（全双工）发送 1 位。通过选择 SPI 模式和 Data Out 采样模式可以配置用于主从站的 SPI_CLK 相关边沿。

一个字节的最高有效位首先传输，最低有效位最后传输，字顺序是低字节优先。EtherCAT 器件使用小端（Little Endian）字节排序。

6.3.4 命令

在第二个地址/命令字节中的 CMD0 命令可能是读(READ)，写(WRITE)，空(NOP)或者地址扩展(Address Extension)。第三个地址/命令字节中的命令 CMD1 可能具有相同的值。

表 6-5 SPI 命令 CMD0 和 CMD1

CMD[2]	CMD[1]	CMD[0]	命令
0	0	0	NOP（无操作）
0	0	1	保留
0	1	0	读
0	1	1	保留
1	0	0	写
1	0	1	保留
1	1	0	地址扩展（3 地址/命令字节）
1	1	1	保留

6.3.5 地址模式

SPI 从站接口支持两种地址模式，2 字节寻址和 3 字节寻址。用 2 字节寻址，低 13 位地址位 A[12:0]由 SPI 主站选择，而高 3 位 A[15:13]在 SPI 从站内被认为是 000b，因此，在 EtherCAT 从站地址空间仅前 8KB 可以被访问。3 字节寻址用于访问 EtherCAT 从站的整个 64KB 地址空间。

表 6-6 中断请求寄存器传输

Byte	2 字节地址模式		3 字节地址模式	
0	A[12:5]	地址位[12:5]	A[12:5]	地址位[12:5]
1	A[4:0] CMD0[2:0]	地址位[4:0] 读/写命令	A[4:0] CMD0[2:0]	地址位[4:0] 3 字节寻址：110b
2	D0[7:0]	data byte0	A[15:13] CMD1[2:0] res[1:0]	地址位[15:13] 读/写命令 两个保留位，设置为 00b
3	D1[7:0]	data byte1	D0[7:0]	data byte0
4 ff.	D2[7:0]	data byte2	D1[7:0]	data byte1

6.3.6 中断请求寄存器（AL 事件寄存器）

在地址阶段，SPI 从站传输 PDI 中断请求寄存器 0x0220-0x0221（2 字节地址模式），和另外在 SPI_DO（MISO）上用于 3 字节寻址的寄存器 0x0222：

表 6-7 中断请求寄存器传输

Byte	2Byte 地址模式		3Byte 地址模式	
	SPI_DI (MOSI)	SPI_DO (MISO)	SPI_DI (MOSI)	SPI_DO (MISO)
0	A[12:5]	I0[7:0] 中断请求寄存器 0x0220	A[12:5]	I0[7:0] 中断请求寄存器 0x0220
1	A[4:0] CMD0[2:0]	I1[7:0] 中断请求寄存器 0x0221	A[4:0] CMD0[2:0]	I1[7:0] 中断请求寄存器 0x0221
2	（数据阶段）		A[15:13] CMD1[2:0]	I2[7:0] 中断请求寄存器 0x0222

6.3.7 写访问

在写访问的数据阶段，SPI 主站向 SPI 从站发送写数据字节（SPI_DI/MOSI）。通过在最后一个字节之后收回 SPI_SEL 来终止写访问。在写访问的数据阶段 SPI_DO 信号（MISO）是不确定的。

6.3.8 读访问

在读访问的数据阶段，SPI 从站发送读数据字节到 SPI 主站（SPI_DO/MISO）。

6.3.8.1 读等待状态

在读访问的最后一个地址阶段字节和第一个数据字节之间，SPI 主站必须等待 SPI 从站在内部获取读数据。后续读取的数据字节是自动预取的，因此不需要更多的等待状态。

SPI 主站可以在以下这些可能间选择：

- SPI 主站可以在最后一个地址/命令字节之后和数据阶段第一个时钟周期之前，等待指定的最坏情况的内部读取时间 tread。
- SPI 主站可以使用 SPI 从站的 BUSY 信号来实现更快的读取时间。在 SPI_DI（MOSI）在地址和数据阶段之间设置为高（BUSY Out 使能）之后，SPI 从站在 SPI_DO（MISO）上呈现其状态，直到 SPI_DI 设置为低（Busy Out 使能边缘敏感）。当 SPI 从站繁忙时，它将驱动 SPI_DO 为高。一旦完成，SPI_DO 设置为低，主站可以开始读取第一个数据字节的下一个时钟周期。
- BUSY 信号在使用正常数据输出采样的 SPI 模式 0/2 下是不可用的。

6.3.8.2 读终止

SPI_DI 信号（MOSI）用于 SPI 主站终止读访问。对于最后一个数据字节，SPI 主站必须将 SPI_DI 设置为高（读取终止字节=0xFF），因此从站将不会在内部预取下一个读数据。如果在一个数据字节传输期间 SPI_DI 是低，那么之后主站将至少再读取一个字节。

6.3.9 SPI 访问错误和 SPI 状态错误

SPI 从站检测到 SPI 访问错误的原因如下：

- SPI_SEL 有效时，识别的时钟周期数不是 8 的倍数（传输的字节不完整）。
- 对于读访问，通过将最后一个字节的 SPI_DI 设置为高没有终止数据阶段。
- 对于读访问，在访问终止后读取了额外的字节。

错误的 SPI 访问将导致以下结果：

- 寄存器将不接收写数据（然而，RAM 将被写入）。
- 特殊功能不执行（例如 SM 缓存区切换）。
- 在下次访问之前，状态标志将指示错误（不适用于正常数据输出采样的 SPI 模式 0/2）。

指示上次访问是否有错误的一个状态标志在任何模式下都可用，除了具有正常数据输出采样的 SPI 模式 0/2。在选择从站（SPI_SEL）之后，状态标志在 SPI_DO（MISO）上显示，直到第一个时钟周期发生。因此，既可以在两次访问之间，通过不使用时钟设置 SPI_SEL 有效读取状态，也可以在第一个时钟周期之前的访问开始时读取状态。状态标志为高表示访问正常，低表示访问错误。

6.3.10 EEPROM 加载

EEPROM_LOADED 信号表示 SPI 接口是可操作的。它连接一个下拉电阻以确保正常工作，因为 PDI 引脚将不会被驱动，直到 EEPROM 加载。

6.3.11 时序特性

表 6-8 SPI 时序特征

参数	最小	最大	说明
t_{CLK}	a) 50ns b) 166.7ns c) 66.7ns		SPI_CLK frequency a) SPI mode 1/3 with Normal Data Out Sample or SPI mode 0/1/2/3 with Late Data Out Sample (f_{CLK}≤20MHz) b) SPI mode 0/2 with Normal Data Out Sample (f_{CLK} ≤6MHz) c) SPI mode 0/2 with Normal Data Out Sample and Address Extension (f_{CLK} ≤15MHz)
$t_{SEL_to_CLK}$	7ns		First SPI_CLK cycle after SPI_SEL asserted
$t_{CLK_to_SEL}$	a) 5ns b) t_{CLK}/2+5ns		De-assertion of SPI_SEL after last SPI_CLK cycle a) SPI mode 0/2, SPI mode 1/3 with normal data out sample b) SPI mode 1/3 with late data out sample
t_{read}	a) 240ns b) 0ns		Only for read access between address/command and first data byte. Can be ignored if BUSY or Wait State Bytes are used. a) SPI mode 1/3, or SPI mode 0/2 with Late Data Out Sample b) SPI mode 0/2 with Normal Data Out Sample
$t_{C0_to_BUSY_OE}$	t_{CLK}		BUSY OUT Enable assertion after sample time of last command bit C0.
t_{BUSY_valid}		15ns	BUSY valid after BUSY OUT Enable.
$t_{SEL_to_DO_valid}$		15ns	Status/Interrupt Byte 0 bit 7 valid after SPI_SEL asserted.
$t_{SEL_to_DO_invalid}$	0ns		Status/Interrupt Byte 0 bit 7 invalid after SPI_SEL de-asserted.
t_{STATUS_valid}	12ns		Time until status of last access is valid. Can be ignored if status is not used.
t_{access_delay}	a) 15ns b) 240ns		Delay between SPI accesses a) typical b) If last access was shorter than 2 bytes, otherwise Interrupt Request Register value I0_[7:0] will not be valid.
t_{DI_setup}	8ns		SPI_DI valid before SPI_CLK edge
t_{DI_hold}	3ns		SPI_DI valid after SPI_CLK edge
$t_{CLK_to_DO_valid}$		15ns	SPI_DO valid after SPI_CLK edge
$t_{CLK_to_DO_invalid}$	0ns		SPI_DO invalid after SPI_CLK edge
$t_{EEPROM_LOADED_to_access}$	300ns		Time between EEPROM_LOADED and first access
t_{IRQ_delay}	160ns		Internal delay between AL event and SPI_IRQ output to enable correct reading of the interrupt registers.

表 6-9 读/写时序图符号

符号	说明
A15..A0	Address bits [15:0]
D0_7..D0_0 D1_7..D1_0	Data bits byte 0 [7:0] Data bits byte 1 [7:0]
I0_7..I0_0 I1_7..I1_0 I2_7..I2_0	Interrupt request register 0x0220 [7:0] Interrupt request register 0x0221 [7:0] Interrupt request register 0x0222 [7:0]
C0_2..C0_0 C1_2..C1_0	Command 0 [2:0] Command 1 [2:0] (3 byte addressing)
Status	0: last SPI access had errors 1: last SPI access was correct
BUSY OUT Enable	0: No Busy output, tread is relevant 1: Busy output on SPI_DO (edge sensitive)
BUSY	0: SPI slave has finished reading first byte 1: SPI slave is busy reading first byte

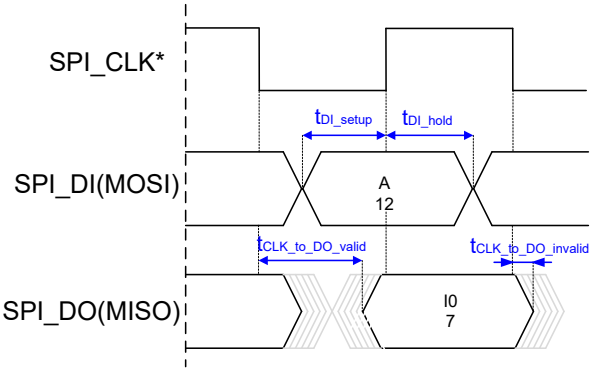


图 6-9 基本 SPI_DI/SPI_DO 时序（*参考用于 SPI_CLK 的相关沿的时序图）

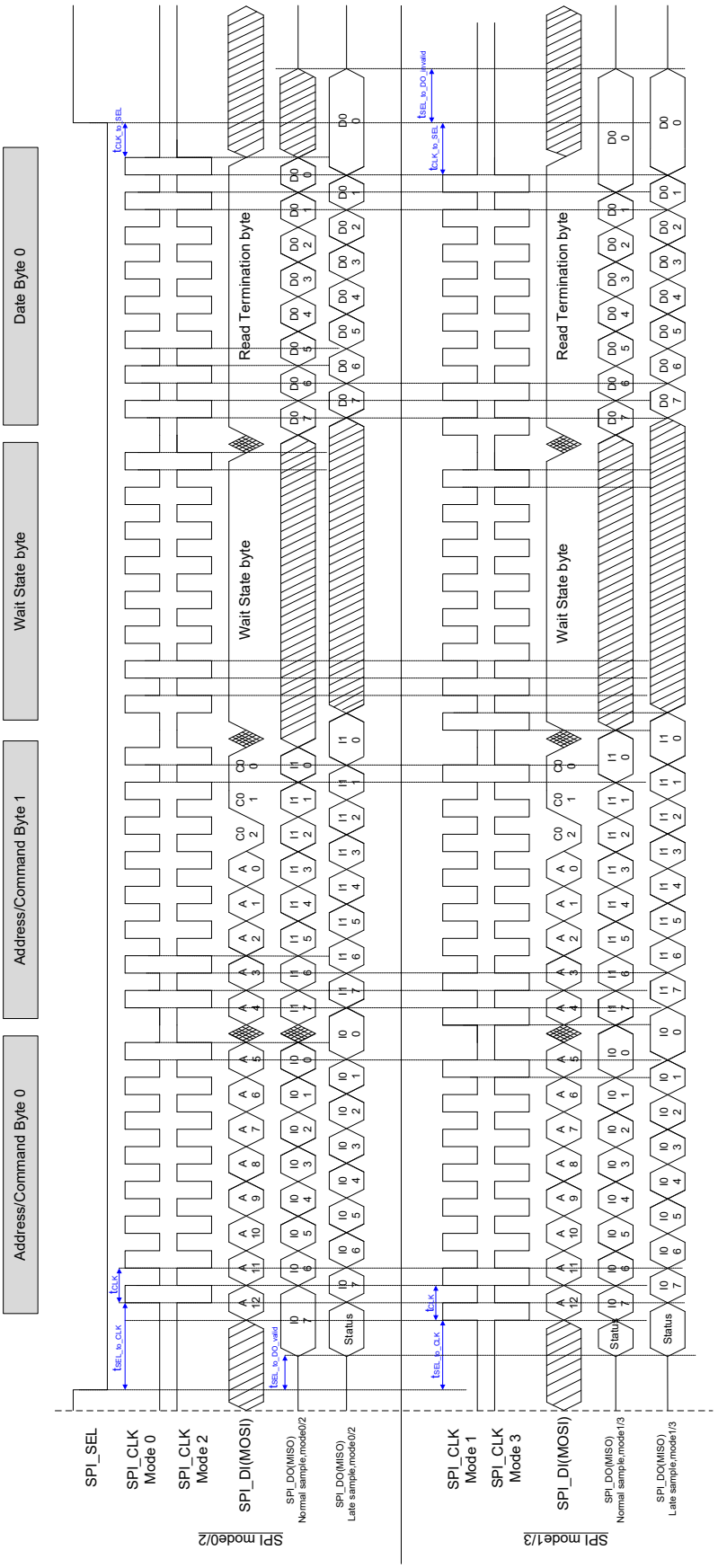


图 6-10 使用等待状态字节 SPI 读访问（2 字节寻址，1 字节读数据）

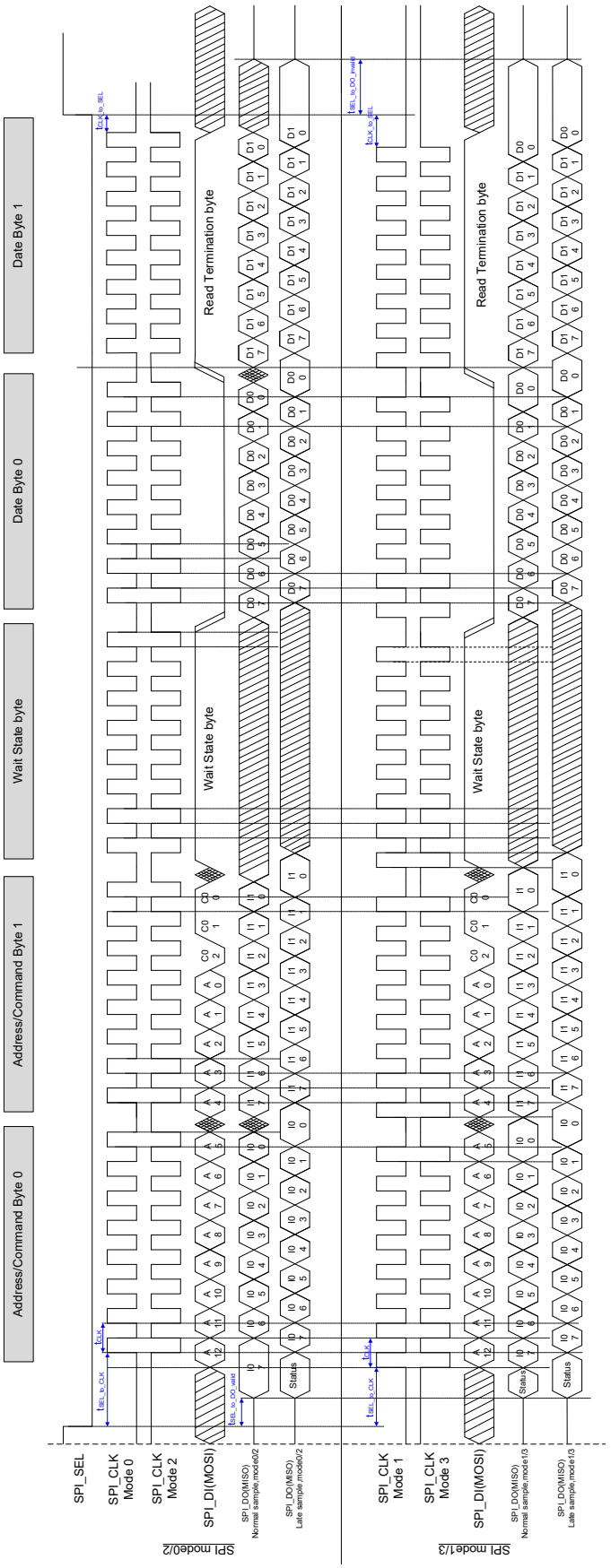


图 6-11 使用等待状态字节 SPI 读访问（2 字节寻址，2 字节读数据）

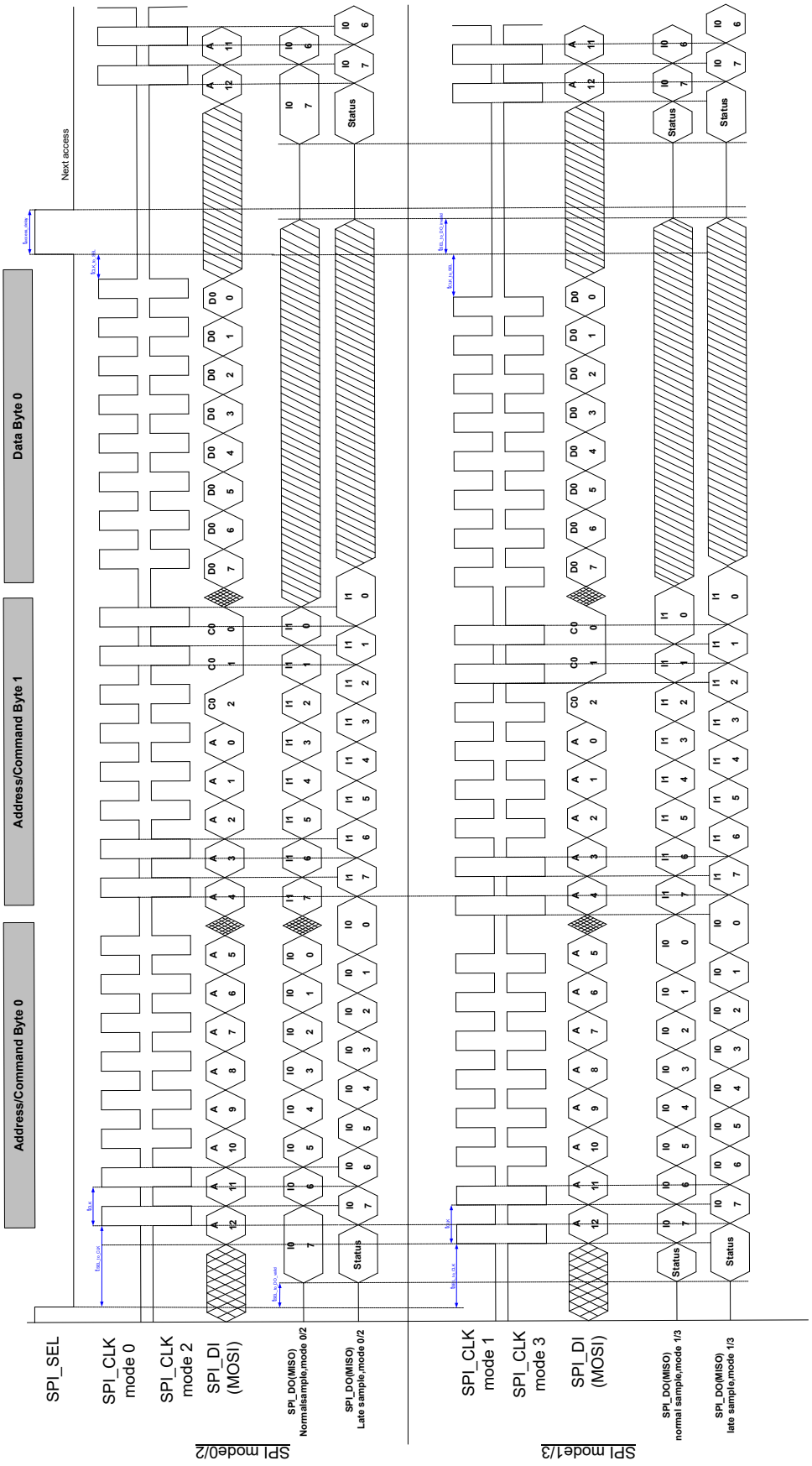


图 6-12 SPI 写访问（2 字节寻址，1 字节写数据）

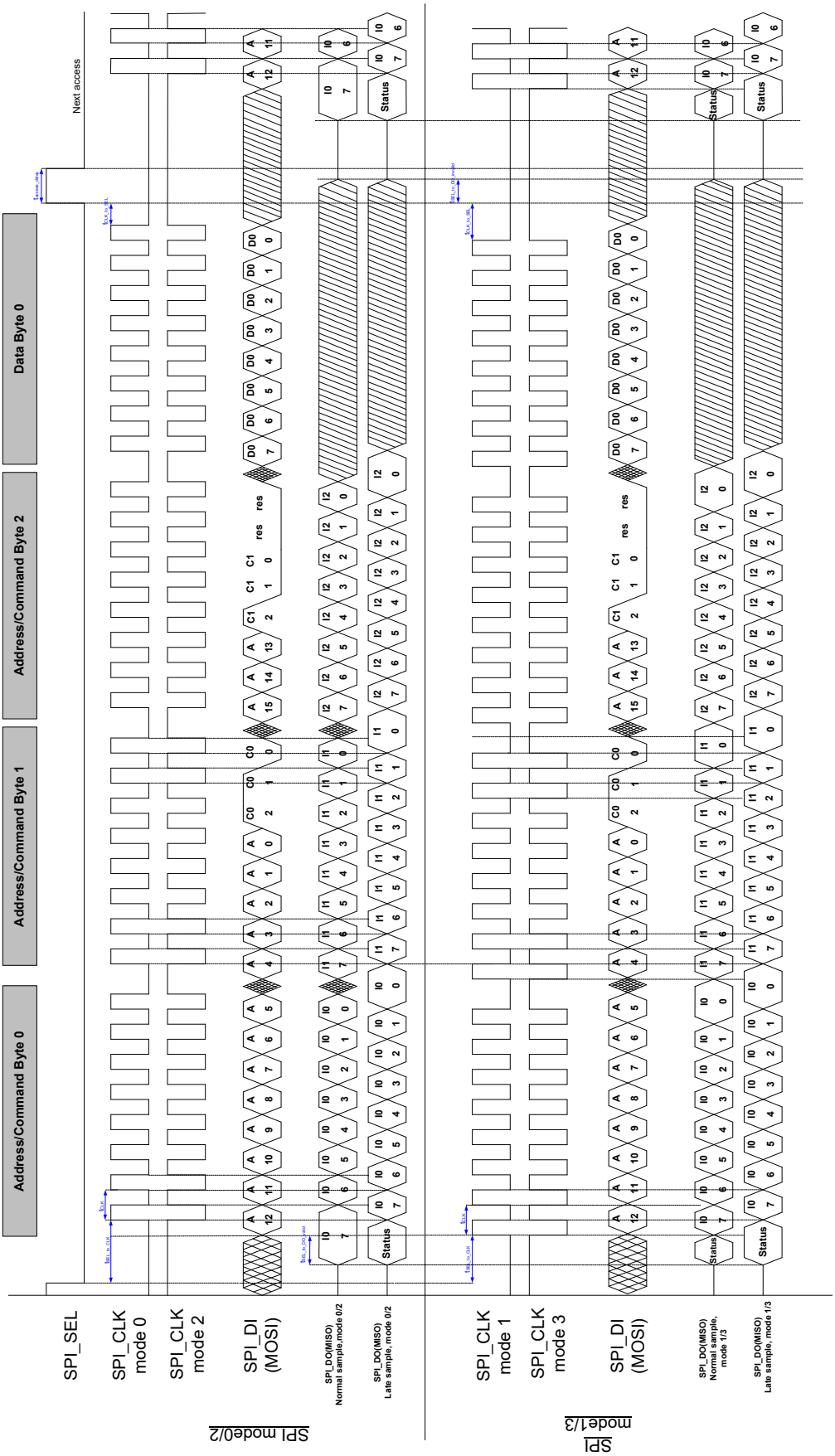


图 6-13 SPI 写访问（3 字节寻址，1 字节写数据）

7 分布式时钟 SYNC/LATCH 信号

7.1 信号

FCE1200 的分布式时钟（Distributed Clock）单元有以下外部信号（取决于 EtherCAT 从站控制器的配置）：

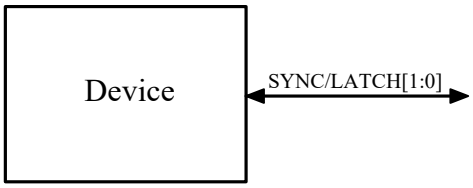


图 7-1 分布式时钟信号

表 7-1 分布式时钟信号

信号	方向	描述
SYNC/LATCH[1:0]	O/I	SyncSignal（输出）或者 LatchSignal（输入），方向位可通过寄存器 0x0151/EEPROM 配置。

【注】SYNC/LATCH 信号不驱动（高阻抗），直到 EEPROM 加载。

7.2 时序特征

表 7-2 FCE1200 的 DC SYNC/LATCH 时序特征

参数	最小	最大	描述
t_{DC_LATCH}	15ns	-	Time between Latch0/1 events
$t_{DC_SYNC_Jitter}$	-	15ns	SYNC0/1 output jitter
$t_{DC_SYNC_Pulse_IRQ}$	40ns	-	Pulse length for SYNC0/1 if used as PDI interrupt in continuous mode

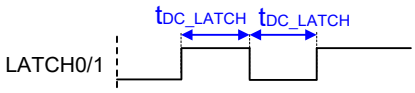


图 7-2 LatchSignal 时序

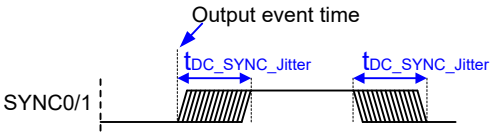


图 7-3 SyncSignal 时序

8 SII EEPROM 接口（I²C）

SII EEPROM 接口目的是在芯片和 I²C EEPROM 之间点对点连接。如果需要其它 I²C 主站访问 I²C 总线，则芯片必须保持在复位状态（例如，用于 EEPROM 的电路编程），否则芯片将检测到访问冲突。

8.1 信号

芯片的 EEPROM 接口信号如下：

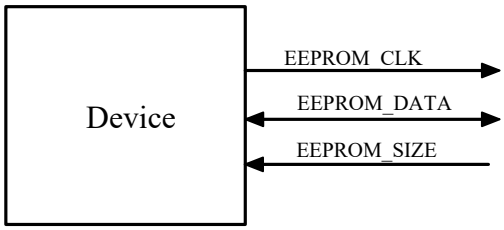


图 8-1 I²C EEPROM 信号

表 8-1 I²C EEPROM 信号

信号	方向	描述
EEPROM_CLK	O	I²C 时钟
EEPROM_DATA	BD	I²C 数据
EEPROM_SIZE	I	EEPROM 容量配置

EEPROM_CLK 和 EEPROM_DATA 的上拉电阻集成在芯片中。EEPEOM_CLK 不能在外部保持低电平，因为 FCE1200 会将其检测为错误。

8.2 时序特性

表 8-2 EEPROM 时序特征

参数	典型		说明
	1Kbit-16Kbit	32Kbit-4MKbit	
t_{Clk}	~6.72μs		EEPROM clock period (f_{Clk}≈150kHz)
t_{Write}	~250μs	~310μs	Write access time (without errors)
t_{Read}	a) ~680μs b) ~1.16ms	a) ~740μs b) ~1.22ms	Read access time (without errors): a) 4 words b) configuration (8 Words)
t_{Delay}	~168ms		Time until configuration loading begins after Reset is gone

9 内存映射

EtherCAT 从站控制器拥有 64KB 的地址空间。前 4KB 的地址空间（0x0000:0x0FFF）专门用于寄存器。过程数据 RAM 区从地址 0x1000 开始，结束于地址 0x13FF，大小为 1KB。

下表是可用寄存器的一个总结：

表 9-1 FCE1200 寄存器分布

地址	长度（Byte）	描述	FCE1200
0x0000	1	类型	x
0x0001	1	版本	x
0x0002:0x0003	2	编译	x
0x0004	1	支持 FMMU	x
0x0005	1	支持 SM	x
0x0006	1	RAM 大小	x
0x0007	1	端口描述	x
0x0008:0x0009	2	EtherCAT 从站控制器支持的特征	x
0x0010:0x0011	2	配置站点地址	x
0x0012:0x0013	2	配置站点别名	x
0x0020	1	寄存器写使能	x
0x0021	1	寄存器写保护	x
0x0030	1	EtherCAT 从站控制器写使能	x
0x0031	1	EtherCAT 从站控制器写保护	x
0x0040	1	EtherCAT 从站控制器复位以太网	x
0x0041	1	EtherCAT 从站控制器复位 PDI	-
0x0100:0x0101	2	EtherCAT 从站控制器 DL 控制	x
0x0102:0x0103	2	扩展 EtherCAT 从站控制器 DL 控制	x
0x0108:0x0109	2	物理读/写偏移	x
0x0110:0x0111	2	EtherCAT 从站控制器 DL 状态	x
0x0120	5bits[4:0]	AL 控制	x
0x0120:0x0121	2	AL 控制	x
0x0130	5bits[4:0]	AL 状态	x
0x0130:0x0131	2	AL 状态	x
0x0134:0x0135	2	AL 状态码	x
0x0138	1	运行 LED 覆盖	-

0x0139	1	错误 LED 覆盖	-
0x0140	1	PDI 控制	x
0x0141	1	EtherCAT 从站控制器配置	x
0x014E:0x014F	2	PDI 信息	-
0x0150	1	PDI 配置	x
0x0151	1	DC Sync/Latch 接口配置	x
0x0152:0x0153	2	扩展 PDI 配置	x
0x0200:0x0201	2	EtherCAT 事件屏蔽	x
0x0204:0x0207	4	PDI AL 事件屏蔽	x
0x0210:0x0211	2	EtherCAT 事件请求	x
0x0220:0x0223	4	AL 事件请求	x
0x0300:0x0307	4×2	接收错误计数器[3:0]	x
0x0308:0x030B	4×1	转发接收错误计数器[3:0]	x
0x030C	1	EtherCAT 处理单元错误计数器	-
0x030D	1	PDI 错误计数器	-
0x030E	1	PDI 错误码	-
0x0310:0x0313	4×1	链接丢失计数器[3:0]	x
0x0400:0x0401	2	看门狗分频器	x
0x0410:0x0411	2	PDI 看门狗计时器	x
0x0420:0x0421	2	过程数据看门狗计时器	x
0x0440:0x0441	2	过程数据看门狗状态	x
0x0442	1	过程数据看门狗计数器	x
0x0443	1	PDI 看门狗计数器	x
0x0500:0x050F	16	SII EEPROM 接口	x
0x0510:0x0515	6	MII 管理器接口	x
0x0516:0x0517	2	MII 管理器操作状态	-
0x0518:0x051B	4	PHY 端口状态[3:0]	-
0x0600:0x06FC	16×13	FMMU[15:0]	3
0x0800:0x087F	16×8	同步管理器 SM[15:0]	4
0x0900:0x090F	4×4	分布时钟 DC–接收时间	x
0x0910:0x0917	8	DC–系统时间	x
0x0918:0x091F	8	DC–EPU 接收时间	x
0x0920:0x0927	8	DC–系统时间偏移	x

0x0928:0x092B	4	DC–系统时间延迟	x
0x092C:0x092F	4	DC–系统处理时差	x
0x0930:0x0931	2	DC–速度计数器开始	x
0x0932:0x0933	2	DC–速度计数器差异	x
0x0934	1	DC–系统时差滤波深度	x
0x0935	1	DC–速度计数器滤波深度	x
0x0936	1	DC–接收时间锁存模式	x
0x0980	1	DC–周期单元控制	x
0x0981	1	DC–激活	x
0x0982:0x0983	2	DC–SYNC 信号脉冲长度	x
0x0984	1	DC–激活状态	-
0x098E	1	DC–SYNC0 信号状态	x
0x098F	1	DC–SYNC1 信号状态	x
0x0990:0x0997	8	DC–下一个周期操控时间/下一个 SYNC0 脉冲	x
0x0998:0x099F	8	DC–下一个 SYNC1 信号脉冲	x
0x09A0:0x09A3	4	DC–SYNC0 周期时间	x
0x09A4:0x09A7	4	DC–SYNC1 周期时间	x
0x09A8	1	DC–Latch0 控制	x
0x09A9	1	DC–Latch1 控制	x
0x09AE	1	DC–Latch0 状态	x
0x09AF	1	DC–Latch1 状态	x
0x09B0:0x09B7	8	DC–Latch0 上升沿	x
0x09B8:0x09BF	8	DC–Latch0 下降沿	x
0x09C0:0x09C7	8	DC–Latch1 上升沿	x
0x09C7:0x09CF	8	DC–Latch1 下降沿	x
0x09F0:0x09F3	4	DC–EtherCAT 缓存变化事件时间	-
0x09F8:0x09FB	4	DC–PDI 缓存开始事件时间	-
0x09FC:0x09FF	4	DC–PDI 缓存变化事件时间	-
0x0E00:0x0E03	4	上电值[Bits]	8
0x0E00:0x0E07	8	产品 ID	-
0x0E08:0x0E0F	8	厂商 ID	-
0x0E10	1	EtherCAT 从站控制器健康状态	-
0x0F00:0x0F03	4	数字 I/O 输出数据	x

0x0F10:0x0F17	8	通用输出数据[Byte]	2
0x0F18:0x0F1F	8	通用输入数据[Byte]	-
0x0F80:0x0FFF	128	用户 RAM	x
0x1000:0x1003	4	数字 I/O 接口输入数据	io
0x1000 ff.		过程数据 RAM[KB]	1

【注】上表概述图例如下。

符号	描述
x	可用
-	不可用
io	选择数字 I/O PDI 时可用

10 Electrical Specifications

10.1 Absolute Maximum Conditions

Table 10-1 Absolute Maximum Conditions

Symbol	Parameter	Condition	Min	Max	Units
V_{CC}-V_{SS}	Supply voltage for internal LDO		-	5.5V	V

10.2 Operating Conditions

10.2.1 Power Supply

Table 10-2 Power Supply

Symbol	Parameter	Min	Typ	Max	Unit
V_{CC}	Power supply	3.0	5.0	5.5	V
$V_{CC\ I/O}$	I/O power supply	3.0	3.3	5.5	V
$V_{CC\ Core}$	Logic power supply	1.7	1.8	1.98	V
$V_{CC\ PLL}$	PLL power supply	1.7	1.8	1.98	V
$V_{CC\ I/O\ Ext}$	External I/O power supply	3.3	3.3	5.5	V
$V_{CC\ Core\ Ext}$	External logic power supply	1.7	1.8	1.98	V
$V_{CC\ PLL\ Ext}$	External PLL power supply	1.7	1.8	1.98	V

10.2.2 Electrical Characteristics

Table 10-3 DC Characteristics

Symbol	Parameter	Condition	Min	Typ	Max	Units	Notes
$V_{CC\ I/O\ LDO}$	Internal LDO output voltage $V_{CC\ I/O}$		-	3.2	-	V	**Note2**
$V_{CC\ Core\ LDO}$	Internal LDO output voltage $V_{CC\ Core}$/$V_{CC\ PLL}$		-	1.8	-	V	**Note3**
$V_{Reset\ I/O}$	Reset threshold for $V_{CC\ I/O}$		-	2.9	-	V	**Note2**
V_{IL}	Low level input voltage	a) 3.0≤$V_{CC\ I/O}$≤3.6V	-0.3	-	0.8	V	**Note3**
		b) 4.5V≤$V_{CC\ I/O}$≤5.5V	-0.3	-	0.3×$V_{CC\ I/O}$		
V_{IH}	High level input voltage	a) 3.0≤$V_{CC\ I/O}$≤3.6V	2	-	$V_{CC\ I/O}$+0.3	V	**Note3**
		b) 4.5V≤$V_{CC\ I/O}$≤5.5V	0.7×$V_{CC\ I/O}$	-	$V_{CC\ I/O}$+0.3		
V_{HYS}	Schmitt trigger hysteresis	V_{t+}-V_{t-}	0.1×$V_{CC\ I/O}$	-	0.4×$V_{CC\ I/O}$	V	**Note1**
V_{OL}	Low level output voltage	a) 3.0≤$V_{CC\ I/O}$≤3.6V	-	-	0.4	V	**Note3** I_{load}=3.5mA
		b) 4.5V≤$V_{CC\ I/O}$≤5.5V	-	-	0.5		
V_{OH}	High level output voltage	a) 3.0≤$V_{CC\ I/O}$≤3.6V	2.4	-	-	V	**Note3** I_{load}=3.5mA
		b) 4.5V≤$V_{CC\ I/O}$≤5.5V	$V_{CC\ I/O}$-0.8	-	-		
V_{OD}	LVDS differential output voltage	R_L=100Ω R_{BIAS}=11kΩ	-	383	-	mV	**Note2**
ΔV_{OD}	Change in V_{OD} between 1 and 0		-	-	±50	mV	**Note1**
V_{OC}	LVDS common mode output voltage		-	1.28	-	V	**Note2**
ΔV_{OC}	Change in V_{OC} between 1 and 0		-	-	±50	mV	**Note1**
V_{ID}	LVDS differential input voltage		100	-	-	mV	**Note1**
V_{IC}	LVDS input voltage range		0	-	2.4	V	**Note1**
I_{IL}	Input leakage current		-	-	±10	μA	**Note3**
R_{PU}	Internal pull-up resistor		2.2	2.9	3.3	kΩ	**Note3**
R_{WPU}	Weak internal pull-up resistor	a) $V_{CC\ I/O}$=3.3V	75	118	185	kΩ	**Note3**
		b) $V_{CC\ I/O}$=5V	50	76	115		
R_{WPD}	Weak internal pull-down resistor	a) $V_{CC\ I/O}$=3.3V	61	104	180	kΩ	**Note3**
		b) $V_{CC\ I/O}$=5V	40	66	113		
R_{LI+}	Internal LVDS input pull-down resistor at LVDS_RX+ pins		-	1.2	-	MΩ	**Note3**
R_{LI-}	Internal LVDS input pull-up resistor at LVDS_RX- pins		-	1.2	-	MΩ	**Note3**
R_{BIAS}	External LVDS BIAS resistor		-	11	-	kΩ	
R_L	LVDS RX load resistor		-	100	-	Ω	
C_{OSC}	OSC_IN/OSC_OUT pin capacitance		-	12	-	pF	**Note4**

Note1: Guaranteed by design. This is ensured by chip design assurance.

Note2: Test in characterization. This attribute is obtained through sampling tests.

Note3: Test in production. This item is performed at room temperature. For R_{PU}, R_{WPU} and R_{WPD}, the test voltage is one-

half of the supply voltage.

Note4: Refer to Section 3.2.2.1 for specific applications.

NOTE: R_{WPU}/R_{WPD} cannot be used externally, their full effectiveness appears only inside the FCE1200 (realized as transistors).

NOTE: Input and output characteristics without special indication apply to all non-LVDS I/O signals.

Table 10-4 DC Characteristics(Supply Current)

Configuration	External supply voltage			Supply current(typical)		
	V_{CC}	$V_{CC\ I/O}$	$V_{CC\ Core}$	I_{CC}	$I_{CC\ I/O}$	$I_{CC\ Core}$
2LVDS ports	3.3V	3.3V	Int.LDO	42mA	24mA	-
	5V	Int.LDO	Int.LDO	63mA	-	-
	5V	5V	Int.LDO	49mA	40mA	-
	3.3V	3.3V	**Note**	2mA	16mA	61mA
	5V	Int.LDO	**Note**	16mA	-	70mA
	5V	5V	**Note**	1mA	41mA	71mA
3LVDS ports	3.3V	3.3V	Int.LDO	47mA	29mA	-
	5V	Int.LDO	Int.LDO	75mA	-	-
	5V	5V	Int.LDO	50mA	55mA	-
	3.3V	3.3V	**Note**	8mA	22mA	61mA
	5V	Int.LDO	**Note**	28mA	-	71mA
	5V	5V	**Note**	1mA	55mA	71mA
1LVDS port,1MII port	3.3V	3.3V	Int.LDO	40mA	21mA	-
	5V	Int.LDO	Int.LDO	60mA	-	-
	5V	5V	Int.LDO	49mA	29mA	-
	3.3V	3.3V	**Note**	2mA	13mA	61mA
	5V	Int.LDO	**Note**	13mA	-	70mA
	5V	5V	**Note**	1mA	29mA	71mA
2LVDS port,1MII port	3.3V	3.3V	Int.LDO	43mA	28mA	-
	5V	Int.LDO	Int.LDO	68mA	-	-
	5V	5V	Int.LDO	49mA	46mA	-
	3.3V	3.3V	1.8V	3mA	20mA	61mA
	5V	Int.LDO	1.8V	22mA	-	71mA
	5V	5V	1.8V	1mA	46mA	71mA

Note: When using the external power supply mode, the pin $V_{CC\ Core}$ has a supply voltage of 1.8V inside the chip, and the external supply voltage is greater than 2.4V during the test.

NOTE: Int.LDO means internal LDO is used, otherwise power is supplied externally. Supply current does not include output

driver current for PDIs and LEDs.

10.2.3 EMS Characteristics

Table 10-5 EMS Characteristics

Symbol	Parameter	Class	Min	Units
$V_{ESD(HBM)}$	Electrostatic discharge (Human body model)	ESDA/JEDEC JS-001-2017 Class2	4.5	kV
$V_{ESD(CDM)}$	Electrostatic discharge (Charged device model)	ESDA/JEDEC JS-002-2018 Class3	1	kV
I_{LAT}	Latch up current	JESD78E Class II	±200	mA

10.2.4 Thermal Characteristics

Table 10-6 Thermal Characteristics

Symbol	Parameter	Min	Type	Max	Unit
θ_J	Junction temperature	-40	-	125	℃

10.2.5 Timing Characteristucs

Table 10-7 Timing Characteristics

Symbol	Parameter	Min	Type	Max	Units	Notes
f_{CLK25}	Clock source (OSC_IN) with initial accuracy	25MHz±25ppm				**Note2**
$t_{CLK25OUT}$	CLK25OUT rising edge after OSC_IN rising edge	-	**Note1**	-	ns	
t_{TX_delay}	TX_ENA/TX_D[3:0] edge (TX-Shift=00) after rising edge of a)OSC_IN b)CLK25OUT	-	a)**Note1** b)22	-	ns	**Note2**
t_{CPU_CLK}	CPU_CLK (25MHz) rising edge after OSC_IN rising edge	-	**Note1**	-	ns	
t_{POR_Sample}	POR value sample time after power good	-	84	-	ms	**Note2**
t_{Driver_Enable}	Output drivers enabled after POR values sampled (not PDI and not Sync/LatchSignals)	-	80	-	ns	**Note2**
t_{Reset_In}	External reset input time	50	-	-	ns	**Note2**
t_{Reset_Out}	FCE1200 Reset output time	80	84	-	ms	**Note2**
t_{Reset_Func}	FCE1200 functional after RESET signal high (EEPROM not loaded, PDI not functional)	-	-	50	μs	**Note2**
$t_{Startup}$	Startup time (PDI operational after power good, without SII loading error)	-	-	340	ms	**Note2**

Note1: No fixed relationship.

Note2: Guaranteed by design. This is ensured by chip design assurance.

NOTE: The timing characteristics of the PDIs, Distributed Clocks, SII EEPROM I²C interface, and MII interface can be found in their respective chapters.

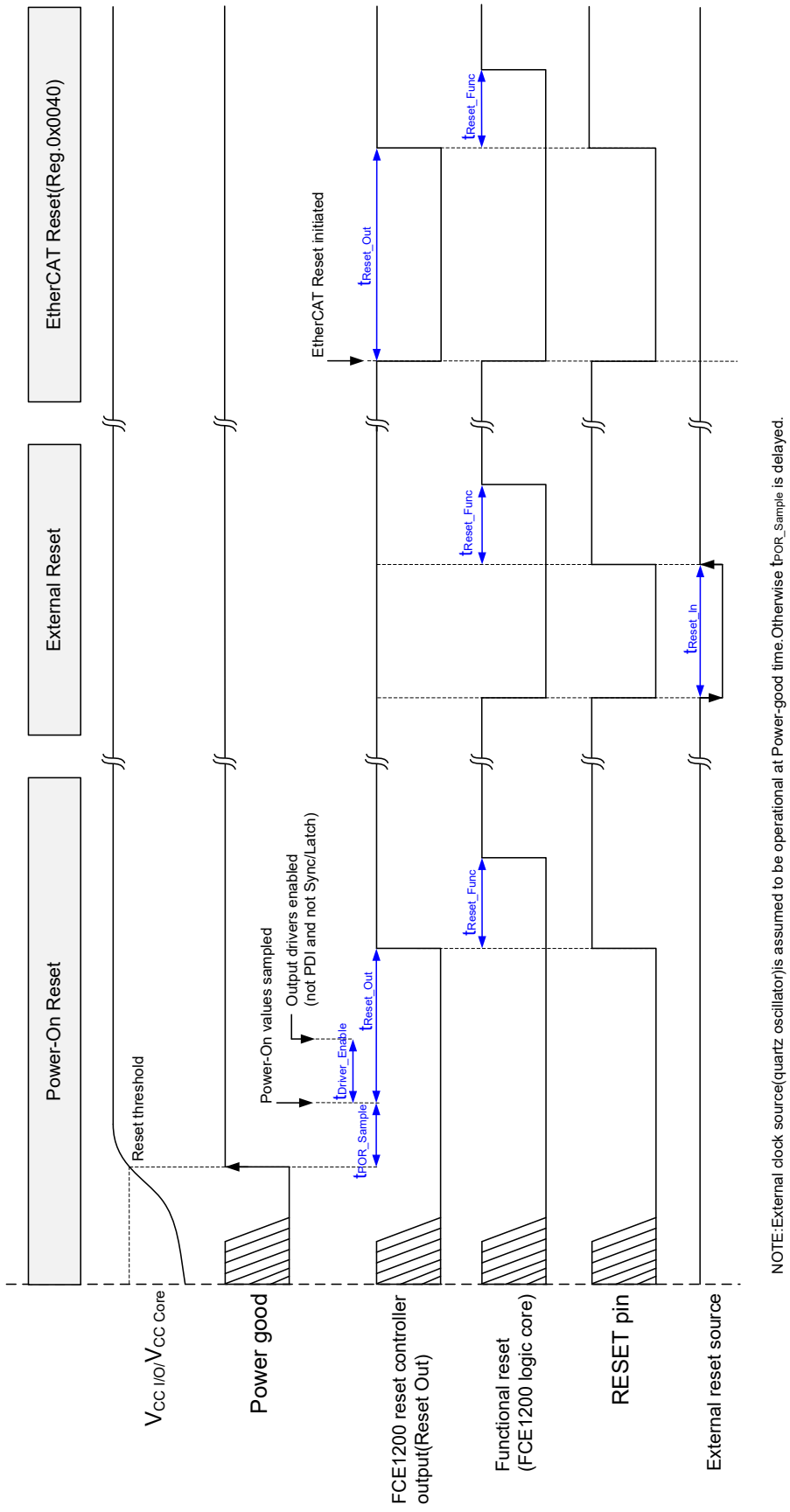


Figure 10-1 Reset Timing

Table 10-8 Forwarding Delays

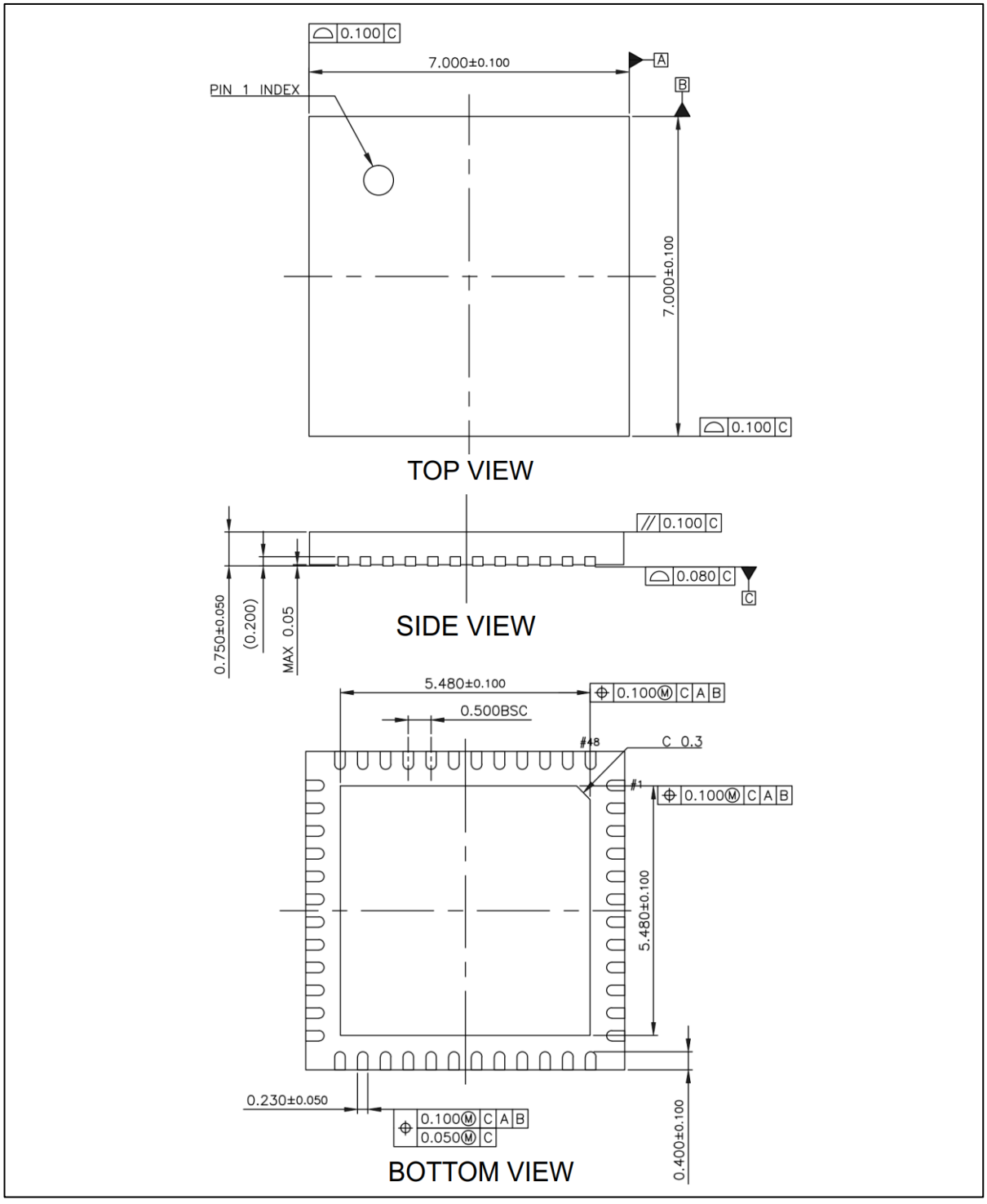
Symbol	Parameter	Min	Average	Max	Units
t_{Diff}	Average difference processing delay minus forwarding delay (without RX FIFO jitter)between any two ports	-	20	-	ns
t_{LL}	LVDS port to LVDS port delay (FIFO size 7): a) Through EtherCAT Processing Unit (processing), Low Jitter off b) Alongside EtherCAT Processing Unit (forwarding), Low Jitter off c) Through EtherCAT Processing Unit (processing), Low Jitter on d) Alongside EtherCAT Processing Unit (forwarding), Low Jitter on	 a) 140 b) 120 c) 150 d) 130	 a) 150 b) 130 c) 155 d) 135	 a) 160 b) 140 c) 160 d) 140	ns
t_{LM}	LVDS port to MII port delay (FIFO size 7): a) Through EtherCAT Processing Unit (processing) b) Alongside EtherCAT Processing Unit (forwarding)	 a) 145 b) 125	 a) 170 b) 150	 a) 195 b) 175	ns
t_{ML}	MII port to LVDS port delay (FIFO size 7): a) Through EtherCAT Processing Unit (processing), Low Jitter off b) Alongside EtherCAT Processing Unit (forwarding), Low Jitter off c) Through EtherCAT Processing Unit (processing), Low Jitter on d) Alongside EtherCAT Processing Unit (forwarding), Low Jitter on	 a) 255 b) 235 c) 265 d) 245	 a) 280 b) 260 c) 290 d) 270	 a) 305 b) 285 c) 315 d) 295	ns
t_{MM}	MII port to MII port delay (FIFO size 7, TX Shift=00) : Through EtherCAT Processing Unit (processing)	280	305	335	ns

NOTE: Average timings are used for Distributed Clocks calculations.

11 封装和订购信息

11.1 封装信息

11.1.1 QFN48 封装



11.2 订购信息

表 11-1 订购信息

Device	Package Type	Pins	Packing Type	Packing Qty	SPQ	Eco Plan	MSL	Op Temp(°C)	Status
FCE1200N2N.E	QFN	48	Tray	416	4160	RoHS, Reach & Green	Level-3	-40 to 105	ACTIVE

【注意】包装信息请参考相应的包装资料。

12 修订记录

修订日期	版本	修订内容
-	V1.0	首版文档。
-	V1.1	新增订购信息 FCE1200.E，具体参考“订购信息”。E 版本修复概率性识别不到从站问题。 第 14 页封装信息增加了 FCE1200.E。
-	V1.2	更新整个章节 5“Electrical Specifications”章节，新增部分直流参数及 EMS 特性，此章节改动为英文叙述。 更正章节“CLK25OUT 使能”处表格 3-12 内引脚书写错误。
-	V1.3	Datasheet 型号更名为 FCE1200。 新增章节 4“LVDS 接口”，对 LVDS 接口进行描述。 新增章节 5“MII 接口”，对 MII 接口进行描述。 新增章节 6“PDI 描述”，对 PDI 接口进行描述。 新增章节 7“分布式时钟 SYNC/LATCH 信号”，对分布式时钟进行描述。 新增章节 8“SII EEPROM 接口（I²C）”，对 SII EEPROM 接口进行描述。 新增章节 10.2.5“Timing Characteristucs”，对时序特征进行描述。 调整章节 3.1“引脚概述”标题名称及描述内容等。 更新章节 10.2.2“Electrical Characteristics”，对 V_{IL} 的 MAX 进行更新。 勘误章节 3.2“引脚功能及连接要求”表格内 PERR(1:0)，LINK_MII(1:0)，LINKACT(1:0)书写错误。 更改章节 3.2.9.3“PDI 引脚”内容描述。
-	V1.4	新增章节 2.2.7“启动过程”内容描述。 更改章节 4.0“LVDS 接口”，章节 5.0“MII 接口”， 章节 6.0“PDI 描述”，章节 7.0“分布式时钟 SYNC/LATCH 信号”，章节 8.0“SII EEPROM 接口（I²C）”，章节 10.0“Timing Characteristucs”， 章节 11.0“封装和订购信息”内容描述。
-	V1.4.1	更改章节 10.2.3“EMS Characteristics”表格信息，$V_{ESD(HBM)}$最小值变更为 4.5kV。
-	V1.4.2	更正章节 8.2“时序特征”内容。

2026-03-27	V1.4.3	更改章节“缩写目录”名称为“缩写”，并修订其内容。 勘误章节 3.2.3“复位引脚”表 3-7 内容。 勘误章节 10.2.1“Power Supply”，其变动如下： $V_{CC\ Core\ Ext}$ 的 Min 由 1.8V 变更为 1.7V，Max 由 5.5V 变更为 1.98V， $V_{CC\ PLL\ Ext}$ 的 Min 由 1.8V 变更为 1.7V，Max 由 5.5V 变更为 1.98V。 新增章节 10.2.3“EMS Characteristic”中 LU 的 Class。 对章节 10.2.2“Electrical Characteristics”中的参数进行更正和注释，变更如下： 新增 Notes 列，对参数进行注释说明。 去掉 I_{OH}，I_{OL}，I_{DD} 不明确项。 更正 V_{OD}，ΔV_{OD}，V_{OC}，ΔV_{OC}，V_{ID}，V_{IC} 的 condition，并新增注释说明。 V_{IL} 的 conditon 由 a) $2.97 \le V_{CC\ I/O} \le 3.63V$ 变更为 a) $3.0V \le V_{CC\ I/O} \le 3.6V$， V_{IH} 的 conditon 由 a) $2.97 \le V_{CC\ I/O} \le 3.63V$ 变更为 a) $3.0V \le V_{CC\ I/O} \le 3.6V$， V_{OL} 的 conditon 由 a) $2.97 \le V_{CC\ I/O} \le 3.63V$ 变更为 a) $3.0V \le V_{CC\ I/O} \le 3.6V$，note 增加 I_{load}=3.5mA， V_{OH} 的 conditon 由 a) $2.97 \le V_{CC\ I/O} \le 3.63V$ 变更为 a) $3.0V \le V_{CC\ I/O} \le 3.6V$，note 增加 I_{load}=3.5mA。 勘误章节 10.2.4“Thermal Characteristics”，去除 θ_A。 对章节 10.2.5“Timing Characteristics”中的表格进行修订，并新增注释。 勘误章节 11.2“订购信息”中的 OP Temp(℃)，由-40 to 125 更正为-40 to 105，并新增说明。 修改“历史版本”为章节 12“修订记录”，增加“修订日期”一栏，并更改其在文档中的章节位置。 修订文档格式。

附录 A 应用注意

A.1 TX SHIFT 设置

本芯片在使用时，如果基于 OSC_IN/OSC_OUT 来做时钟参考，应该按照实际情况来调节 TX_SHIFT[1:0]的值，使得 PHY 芯片能安全的采集到 TX_ENA 和 TX_D。

大多数情况下，不对 TX_SHIFT[1:0]做任何配置，也可以正常采集数据，但这样的系统并不能保证鲁棒性，因为随着电压和温度的变化，采集点可能会偏离到数据的变化沿，导致采集错误，造成通信不稳定，所以建议将采集点调节至数据最稳定的时刻，提高系统稳定性。

构成延时的示意图如下：

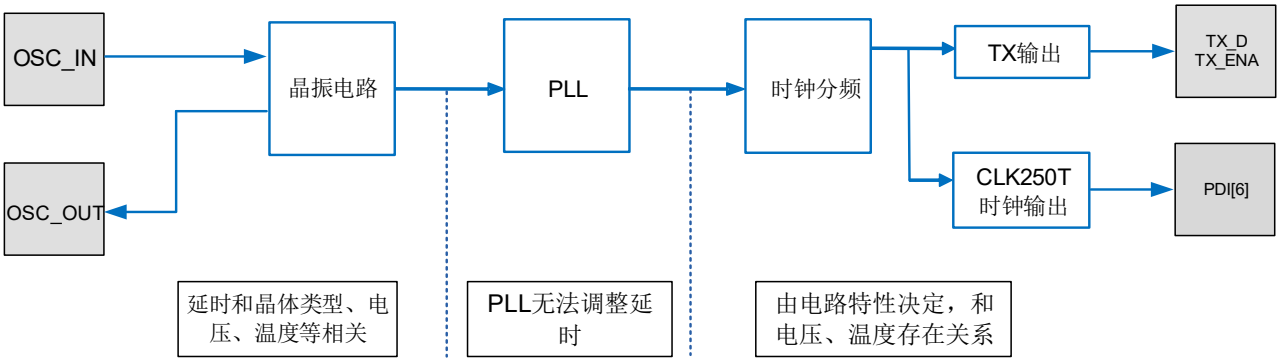


图 A-1 延时示意图

A.2 PHY 芯片选择注意事项

芯片的多个模式配置都是通过在引脚上接上拉或下拉电阻来实现的，芯片在上电时，会读取引脚上的电平，来判断是上拉还是下拉，从而配置芯片进入特定的模式，因此，如果芯片的配置引脚上除了上拉或下拉电阻，还接了其他芯片，比如 PHY 芯片，那么一定要注意 PHY 芯片内部是否有上拉或下拉电阻，如果有，那么要确保 PHY 芯片和上拉/下拉电阻的合电阻，依然能够满足芯片的配置要求。

A.3 关于 PHY 芯片的时钟

PHY 芯片的时钟需由 FCE1200 芯片的输出时钟提供，而不能使用振荡器提供，图中虚线所示连接是禁止的。

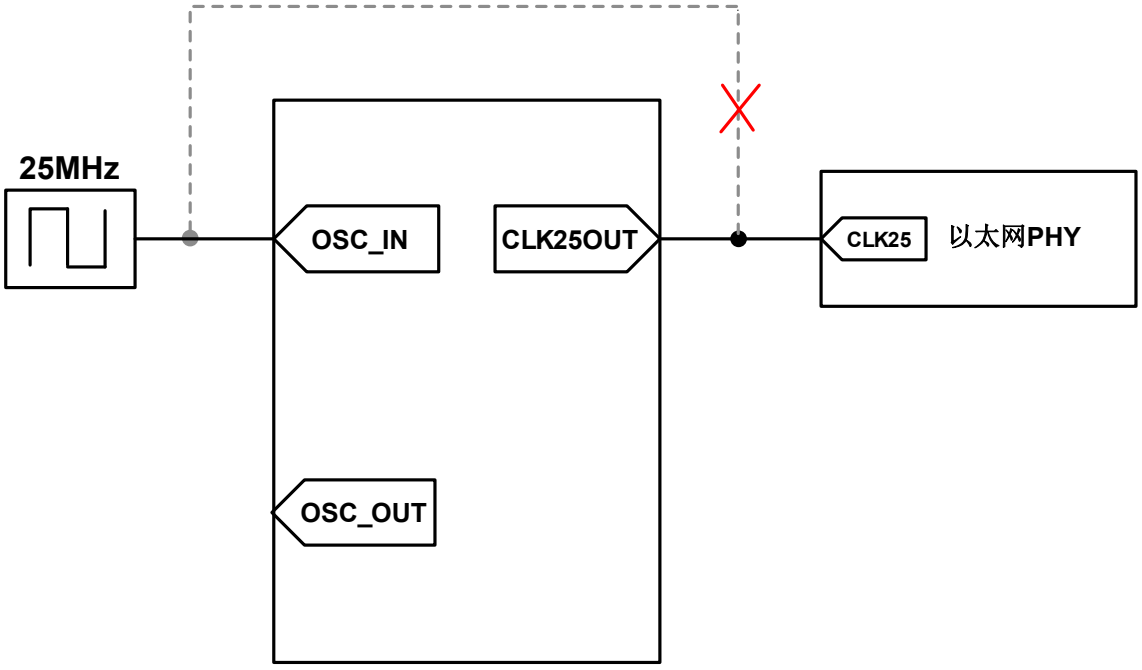


图 A-2 PHY 芯片时钟

通知与声明

方芯提供的技术和可靠性数据（包括数据表）、设计资料（包括参考设计）、设计建议、应用、工具或其他资料均为“原样的”，不保证没有任何瑕疵，同时也不提供任何保证，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权等。

这些资料可供熟练使用方芯产品进行设计的开发人员使用。您将自行承担以下责任：（1）选择合适的方芯产品；（2）设计、验证并测试您的应用方案；（3）确保您的应用满足相应标准及其他要求，如安全、法规等等。资料如有变更方芯将不会另行通知。这些材料仅用于开发本资料所述的方芯产品的应用方案。严禁对这些资料进行复制或展示。同时并未授权您使用任何方芯及其他第三方的知识产权。

方芯提供的产品受销售合同约束。方芯提供的这些资料也不会扩展或以其他方式改变方芯针对产品发布的适用担保或担保的免责声明。方芯拒绝接受您可能提出的任何附加或者不同的条款。

地址：北京市海淀区高里掌路 1 号院 2 号楼，邮编：100095，邮箱：support@funcience.com

Copyright © 2026，北京方芯半导体有限公司