多通道 EtherCAT 从站控制器

产品参数

- 工作范围
  - 内部 LDO 提供逻辑内核/PLL 电源（5V/3.3V 到 1.8V）
  - 选择外部电源供电给内部 LDO 提供逻辑内核/PLL 电源
- 以太网端口数量：2-4 端口（每个可配置成 LVDS 接口或者 MII 接口）
- FMMU 数量：8
- 同步管理 SM（SyncManager）数量：8
- RAM 容量：8KB
- 集成分布式时钟 DC（Distributed Clock）：有，64bit
- 过程数据接口 PDI（Process Data Interface）：
  - 32Bit 的数字量 I/O 信号接口（单向的/双向的）
  - SPI 从站接口
  - 8/16 同步/异步微处理器接口
- I/O：3.3V
- 封装：
  - FCE1100B2N　BGA128（10×10mm^2）
  - FCE1100P2N　QFP128
- 其他：内部 1GHz PLL

目录

图目录 7
表目录 9
缩写 12
1 介绍 15
2 描述 16
2.1 芯片模块框图 16
2.1.1 数据帧处理顺序 17
2.2 模块概述 18
2.2.1 物理通信接口 18
2.2.2 PDI 接口 18
2.2.3 EtherCAT 从站控制器数据帧处理单元 18
2.2.4 存储同步管理 18
2.2.5 现场总线内存管理单元（FMMU） 18
2.2.6 分布式时钟 18
2.2.7 启动过程 19
3 引脚描述 20
3.1 引脚概述 20
3.1.1 FCE1100B2N 引脚定义 20
3.1.1.1 引脚排布 20
3.1.1.2 引脚名称 21
3.1.2 FCE1100P2N 引脚定义 24
3.1.2.1 引脚排布 24
3.1.2.2 引脚名称 25
3.2 引脚功能及连接要求 28
3.2.1 电源 32
3.2.1.1 I/O 信号电源 33
3.2.1.2 逻辑内核电源 34
3.2.1.3 PLL 电源 34
3.2.1.4 举例电源引脚连接原理图 35
3.2.2 时钟 36
3.2.2.1 举例时钟供应原理图 36
3.2.3 复位引脚 38
3.2.3.1 举例复位引脚原理图 38
3.2.4 RBIAS 引脚 39
3.2.4.1 举例 RBIAS 电阻原理图 39

3.2.5 配置信号引脚 40
3.2.5.1 举例配置输入/LED 输出引脚原理图 40
3.2.5.2 端口模式 41
3.2.5.3 端口配置 41
3.2.5.3.1 2 端口配置 42
3.2.5.3.2 3 端口配置 43
3.2.5.3.3 4 端口配置 44
3.2.5.4 CPU_CLK 模式 45
3.2.5.5 TX 相位移动 45
3.2.5.6 CLK25OUT2 使能 45
3.2.5.7 透明模式使能 46
3.2.5.7.1 举例透明模式应用原理图 47
3.2.5.8 数字控制/状态转移 48
3.2.5.9 PHY 地址偏移 48
3.2.5.10 链接有效信号极性 48
3.2.5.11 SII EEPROM 内存大小 49
3.2.5.12 保留配置引脚 49
3.2.6 SII EEPROM 接口 50
3.2.7 MII 管理引脚 50
3.2.8 分布时钟同步/锁存引脚 50
3.2.9 LED 信号 51
3.2.10 物理端口和 PDI 引脚 52
3.2.10.1 MII 信号 53
3.2.10.1.1 CLK25OUT1/2 信号 53
3.2.10.1.2 举例 MII 连接原理图 54
3.2.10.2 LVDS 信号 55
3.2.10.2.1 举例 LVDS 端口连接原理图 55
3.2.10.3 PDI 引脚 56
3.2.10.4 物理端口 0 57
3.2.10.5 物理端口 1 58
3.2.10.6 物理端口 2/PDI Byte4 59
3.2.10.7 物理端口 3/PDI Byte2 和 Byte3 60
3.2.10.8 PDI Byte0 和 Byte1 61
3.2.11 取决于所选 PDI 的 PDI 信号引脚分配 62
3.2.11.1 数字 I/O 引脚 63
3.2.11.2 8/16 Bit 异步微处理器接口 69

3.2.11.3 8/16 Bit 同步微处理器接口 71
3.2.11.4 SPI 引脚分配 73
3.2.12 测试模式引脚 77
3.2.13 保留引脚 77
4 LVDS 接口 78
4.1 LVDS 接口信号 78
4.1.1 LVDS 接口信号连接举例 78
5 MII 接口 80
5.1 MII 接口信号 80
5.2 PHY 地址配置 81
5.3 TX 位移补偿 82
5.4 时序特征 83
6 PDI 描述 84
6.1 PDI 停用 84
6.2 数字 I/O 接口 85
6.2.1 接口 85
6.2.2 配置 85
6.2.3 数字输入 86
6.2.4 数字输出 86
6.2.5 双向模式 87
6.2.6 输出使能/输出配置 88
6.2.7 SyncManager 看门狗 88
6.2.8 SOF 88
6.2.9 OUTVALID 89
6.2.10 EEPROM_LOADED 89
6.2.11 时序特征 89
6.3 SPI 从站接口 91
6.3.1 接口 91
6.3.2 配置 91
6.3.3 SPI 访问 91
6.3.4 命令 92
6.3.5 地址模式 92
6.3.6 中断请求寄存器（AL 事件寄存器） 93
6.3.7 写访问 93
6.3.8 读访问 94
6.3.8.1 读等待状态 94

6.3.8.2 读终止 94
6.3.9 SPI 访问错误和 SPI 状态标志 94
6.3.10 EEPROM 加载 95
6.3.11 2 字节和 4 字节 SPI 主站 95
6.3.12 时序特性 96
6.4 异步 8/16 位微处理器接口 102
6.4.1 接口 102
6.4.2 配置 103
6.4.3 微处理器访问 103
6.4.4 写访问 103
6.4.5 读访问 104
6.4.6 微处理器访问错误 104
6.4.7 EEPROM_LOADED 104
6.4.8 使用 16 位微控制器，无字节寻址的连接 105
6.4.9 使用 8 位微控制器的连接 106
6.4.10 时序特征 107
6.5 同步 8/16 位微处理器接口 111
6.5.1 接口 111
6.5.2 配置 112
6.5.3 微处理器访问 112
6.5.4 使用字节选择信号（BSn）的微处理器连接 114
6.5.5 使用转移大小（SIZ）信号的微处理器连接 117
6.5.6 写访问 119
6.5.7 读访问 119
6.5.8 微处理器访问错误 119
6.5.9 EEPROM_LOADED 119
6.5.10 时序特征 120
7 分布式时钟 SYNC/LATCH 信号 125
7.1 信号 125
7.2 时序特征 125
8 SII EEPROM 接口 126
8.1 信号 126
8.2 时序特性 126
9 内存映射 127
10 Electrical Specifications 131
10.1 Absolute Maximum Conditions 131

10.2 Operating Conditions 131
10.2.1 Power Supply 131
10.2.2 Electrical Characteristics 132
10.2.3 Timing Characteristics 134
10.2.4 EMS Characteristics 137
10.2.5 Thermal Characteristics 137
11 封装和订购信息 138
11.1 封装信息 138
11.1.1 BGA128 封装 138
11.1.2 QFP128 封装 139
11.2 加工 140
11.2.1 BGA128 封装的 PCB 建议 140
11.2.2 BGA128 焊接资料 141
11.3 订购信息 142
12 修订记录 143
附录 A 应用注意 146
A.1 TX SHIFT 设置 146
A.2 PHY 芯片选择注意事项 146
A.3 关于 PHY 芯片的时钟 147

图目录

图 2-1 结构框图 16
图 2-2 EtherCAT 从站控制器内部数据帧传输顺序 17
图 2-3 启动过程 19
图 3-1 FCE1100 芯片 BGA128 封装引脚分布（顶视） 20
图 3-2 FCE1100 芯片 QFP128 封装引脚分布（顶视） 24
图 3-3 FCE1100 电源供电 35
图 3-4 FCE1100 石英晶体时钟源的连接 36
图 3-5 FCE1100 和以太网 PHY 使用石英晶体时的连接 37
图 3-6 FCE1100 和以太网 PHY 使用振荡器时的连接 37
图 3-7 RESET 引脚连接图 38
图 3-8 LVDS 偏压电阻 39
图 3-9 输入/LED 输出引脚双功能配置连接 40
图 3-10 透明模式 47
图 3-11 PHY 连接 54
图 3-12 LVDS 端口接收端 55
图 4-1 LVDS 接口信号 78
图 4-2 两片芯片 LVDS 接口连接举例 79
图 5-1 MII 接口信号 80
图 5-2 TX Shift 时序图 82
图 5-3 MII 时序 RX 信号 83
图 6-1 数字 I/O 信号 85
图 6-2 数字输出原理图 87
图 6-3 双向模式：输入/输出连接（推荐 R=4.7kΩ） 87
图 6-4 数字输入：输入数据采样在 SOF，I/O 可以在同一帧读取 90
图 6-5 数字输入：输入数据在 LATCH_IN 采样 90
图 6-6 数字输出时序 90
图 6-7 双向模式时序 90
图 6-8 SPI 主和从连接 91
图 6-9 基本 SPI_DI/SPI_DO 时序（*参考用于 SPI_CLK 的相关沿的时序图） 97
图 6-10 使用等待状态字节 SPI 读访问（2 字节寻址，1 字节读数据） 98
图 6-11 使用等待状态字节 SPI 读访问（2 字节寻址，2 字节读数据） 99
图 6-12 SPI 写访问（2 字节寻址，1 字节写数据） 100
图 6-13 SPI 写访问（3 字节寻址，1 字节写数据） 101
图 6-14 微处理器互连 102
图 6-15 不使用字节寻址的 16 位微处理器的连接 105

图 6-16 8 位微处理器的连接（BHE 和 DATA[15:8]不能悬空） 106
图 6-17 读访问（不使用前边的写访问） 109
图 6-18 写访问（nWR 上升沿后写，不使用前边的写访问） 109
图 6-19 两个写访问和一个读访问的序列 110
图 6-20 微处理器互连 111
图 6-21 使用字节选择的同步 32 位微处理器连接 115
图 6-22 使用字节选择的同步 16 位微处理器连接 116
图 6-23 使用传输大小的同步 32 位微处理器连接 118
图 6-24 基本的同步微处理器接口时序（*指有关 CPU_CLK_IN 边沿的时序图） 121
图 6-25 写访问（CS 和 TS 一同，写入 DATA 和 CS 一同，CS 和 TA 在上升沿） 121
图 6-26 写访问（CS 和 TS 一同，在 CS 后写入 DATA，CS 和 TA 在上升沿） 122
图 6-27 写访问（CS 在 TS 后，在 CS 后写入 DATA，CS 和 TA 在上升沿） 122
图 6-28 读访问（CS 和 TS 一同，CS 和 TA 在上升沿） 123
图 6-29 读访问（CS 在 TS 后半个时钟时间，CS 和 TA 在下降沿） 123
图 6-30 两个写访问和一个读访问的时序 124
图 7-1 分布式时钟信号 125
图 7-2 LatchSignal 时序 125
图 7-3 SyncSignal 时序 125
图 8-1 I²C EEPROM 信号 126
图 11-1 回焊温度和时间 141
图 A-1 延时示意图 146
图 A-2 PHY 芯片时钟 147

Figure 10-1 Reset Timing 135

表目录

表 2-1 数据帧处理顺序 17
表 3-1 FCE1100 芯片 BGA128 封装引脚名称 21
表 3-2 FCE1100 一些引脚连接 23
表 3-3 FCE1100 芯片 QFP128 封装引脚名称 25
表 3-4 FCE1100 一些引脚连接 27
表 3-5 信号概述 28
表 3-6 PDI 信号概述 30
表 3-7 供电电压选择 32
表 3-8 I/O 电源供电引脚 33
表 3-9 逻辑内核电源供电引脚 34
表 3-10 PLL 电源供电引脚 34
表 3-11 时钟引脚 36
表 3-12 复位引脚 38
表 3-13 RBIAS 引脚 39
表 3-14 端口模式 41
表 3-15 端口配置 41
表 3-16 2 端口配置（P_MODE[1:0]=00） 42
表 3-17 3 端口配置（端口 0，端口 1，端口 2，P_MODE[1:0]=01） 43
表 3-18 3 端口配置（端口 0，端口 1，端口 3，P_MODE[1:0]=10） 43
表 3-19 4 端口配置（P_MODE[1:0]=11） 44
表 3-20 CPU_CLK 模式 45
表 3-21 TX 相位偏移 45
表 3-22 CLK25OUT2 使能 45
表 3-23 透明模式使能 46
表 3-24 数字控制/状态转移 48
表 3-25 PHY 地址偏移 48
表 3-26 链接有效信号极性 48
表 3-27 SII EEPROM_SIZE 49
表 3-28 保留引脚 49
表 3-29 SII EEPROM 接口 50
表 3-30 MII 管理引脚 50
表 3-31 分布时钟同步/锁存引脚 50
表 3-32 LED 引脚 51
表 3-33 PDI 类型和通信端口的组合配置 52
表 3-34 MII 信号 53

表 3-35 CLK25OUT1/2 信号输出 53
表 3-36 LVDS 信号 55
表 3-37 物理端口 0 57
表 3-38 物理端口 1 58
表 3-39 物理端口 2/PDI Byte4 59
表 3-40 物理端口 2 59
表 3-41 物理端口 2/PDI Byte2 和 Byte3 60
表 3-42 PDI Byte0 和 Byte1 61
表 3-43 数字 I/O 接口的映射 63
表 3-44 数字 I/O 接口的映射（2） 65
表 3-45 数字 I/O 接口的映射（3） 67
表 3-46 异步微处理器接口与 FCE1100 端口的映射 69
表 3-47 同步微处理器接口与 FCE1100 端口的映射 71
表 3-48 SPI 从站接口与 FCE1100 端口的映射（1） 73
表 3-49 SPI 从站接口与 FCE1100 端口的映射（2） 75
表 3-50 TESTMODE 引脚 77
表 3-51 保留引脚 77
表 4-1 LVDS 接口信号 78
表 5-1 MII 接口信号 81
表 5-2 TX Shift 时序特征 82
表 5-3 MII 时序特征 83
表 6-1 用于 FCE1100 的可用 PDI 84
表 6-2 数字 I/O 信号 85
表 6-3 输出使能/输出配置组合 88
表 6-4 数字 I/O 的时序特征 89
表 6-5 SPI 信号 91
表 6-6 SPI 命令 CMD0 和 CMD1 92
表 6-7 地址模式（没有等待状态字的读访问） 92
表 6-8 具有等待状态字节的读访问的地址模式 93
表 6-9 中断请求寄存器传输 93
表 6-10 用于 2 字节和 4 字节 SPI 主站的写访问 95
表 6-11 SPI 时序特征 96
表 6-12 读/写时序图符号 97
表 6-13 微处理器信号 102
表 6-14 8 位微处理器接口访问类型 103
表 6-15 16 位微处理器接口访问类型 103

表 6-16 FCE1100 的微处理器时序特征 107
表 6-17 微控制器信号 112
表 6-18 8 位高/低字节和 16 位访问区别 112
表 6-19 相应的字节和位 113
表 6-20 字节排序 113
表 6-21 字节选择 vs.A[0]和 BHE 114
表 6-22 字节选择 vs.ADR[0]和 BHE 117
表 6-23 FCE1100 的微处理器时序特征 120
表 7-1 分布式时钟信号 125
表 7-2 FCE1100 的 DC SYNC/LATCH 时序特征 125
表 8-1 I^2C EEPROM 信号 126
表 8-2 EEPROM 时序特征 126
表 9-1 FCE1100 寄存器分布 127
表 11-1 回焊温度和时间 141
表 11-2 订购信息 142

Table 10-1 Absolute Maximum Conditions 131
Table 10-2 Power Supply 131
Table 10-3 DC Characteristics 132
Table 10-4 DC Characteristics(Supply Current) 133
Table 10-5 Timing Characteristics 134
Table 10-6 Forwarding Delays 136
Table 10-7 EMS Characteristics 137
Table 10-8 Thermal Characteristics 137

缩写

µC	Microcontroller
ADR	Address
AL	Application Layer
BD	Bidirectional
BGA	Ball Grid Array
BHE	Bus High Enable
CMD	Command
CS	Chip Select
DC	Distributed Clock
DL	Data Link Layer
ESC	EtherCAT Slave Controller
EMC	Electromagnetic Compatibility
EMI	Electromagnetic Interference
EMS	Electromagnetic Susceptibility
EPU	EtherCAT Processing Unit
EOF	End of Frame
EEPROM	Electrically Erasable Programmable read only memory
FMMU	Fieldbus Memory Management Unit
GPI	General Purpose Input
GPO	General Purpose Output
I	Input

I/O	Input or Output
I^2C	Inter-Intergrated Circuit
IRQ	Interrupt Request
LDO	Low Drop-Out regulator
LVDS	Low Voltage Differential Signaling
LI-	LVDS RX-
LI+	LVDS RX+
LO-	LVDS TX-
LO+	LVDS TX+
LED	Light Emitting Diode
LSB	Least Significant Bit
MAC	Media Access Controller
MDIO	Management Data Input/Output
MI	(PHY) Management Interface
MII	Media Independent Interface
MISO	Master In–Slave Out
MOSI	Master Out–Slave In
MSB	Most Significant Bit
n.a.	not available
n.c.	not connected
O	Output
PD	Pull-down

PDI	Process Data Interface
PLL	Phase Locked Loop
PU	Pull-up
PHY	Physical
QFN	Quad Flat package No leads
RD	Read
SII	Slave Information Interface
SM	SyncManager
SOF	Start of Frame
SPI	Serial Peripheral Interface
TA	Transfer Acknowledge
TFBGA	Thin-profile Fine-pitch BGA
TS	Transfer Start
UI	Unused Input (PDI: PD，其它: GND)
WD	Watchdog
WPD	Weak Pull-down，只够配置信号
WPU	Weak Pull-up，只够配置信号
MPU	Medium Pull-up
WR	Write
NSMD	Non-Solder Mask Defined Pad

1 介绍

FCE1100 为实现 EtherCAT 协议的从站控制器芯片。

EtherCAT 是一种实时工业以太网技术，它充分利用了以太网的全双工特性。使用主从模式介质访问控制（MAC），主站发送以太网帧给各从站，从站从数据帧中抽取数据或将数据插入数据帧。主站使用标准的以太网接口卡，从站使用专门的 EtherCAT 从站控制器，即可使用本芯片。

本芯片在从站系统中主要负责处理 EtherCAT 数据帧，并使用双端口存储区实现 EtherCAT 主站与从站本地应用的数据交换。各个从站 EtherCAT 从站控制器按照各自在环路上的物理位置顺序移位读写数据帧。在报文经过从站时，EtherCAT 从站控制器从报文中提取发送给自己的输出命令数据并将其存储到内部存储区，输入数据从内部存储区又被写到相应的子报文中。数据的提取和插入都是由 EtherCAT 从站控制器完成。

2 描述

2.1 芯片模块框图

FCE1100 为 EtherCAT 从站控制芯片，是实现 EtherCAT 数据链路层协议的专用集成电路芯片。它处理 EtherCAT 数据帧，并为从站控制装置提供数据接口。其结构如下图：

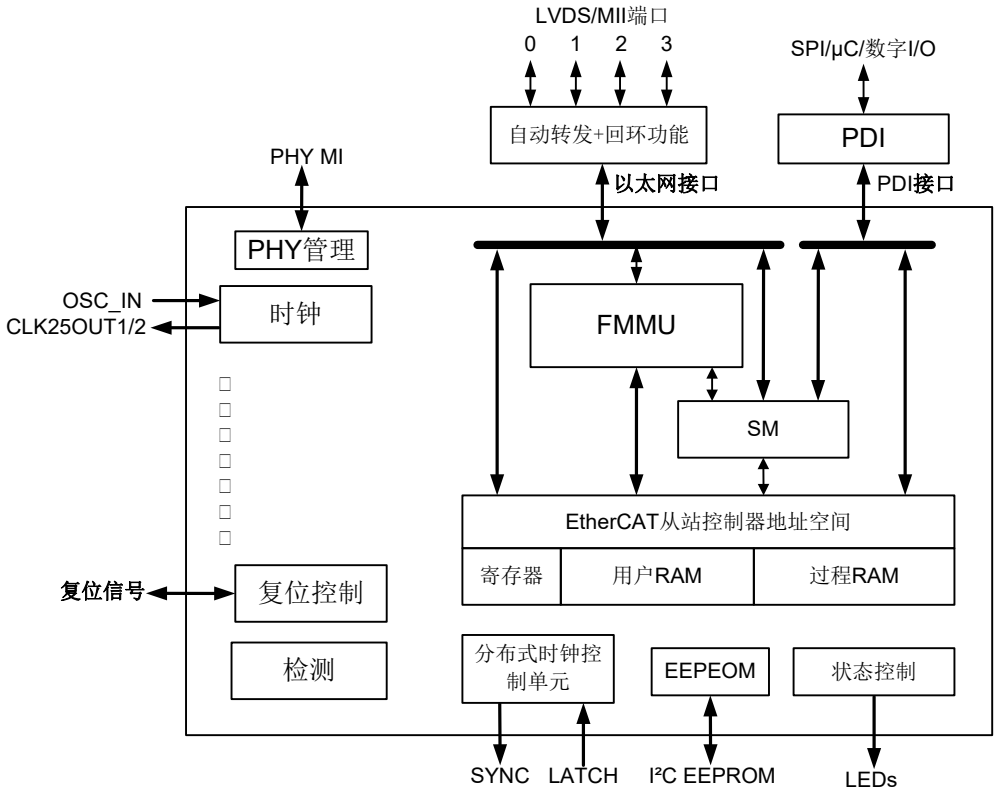


图 2-1 结构框图

FCE1100 具有 4 个数据收发端口、8 个 FMMU 单元、8 个 SM 通道、4KB 控制寄存器、8KB 过程数据存储器、支持 64 位分布式时钟功能。它可以直接作为 32 位数字输入：输出站点，或由外部微处理器控制，组成复杂的从站设备。

2.1.1 数据帧处理顺序

本芯片的数据帧处理顺序由 LVDS/MII 端口数量和芯片模式决定：

表 2-1 数据帧处理顺序

LVDS/MII 端口数量	数据帧处理顺序
2	0→EtherCAT 数据帧处理单元→1/1→0
3	0→EtherCAT 数据帧处理单元→1/1→2/2→0（逻辑端口 0，1，2）或 0→EtherCAT 数据帧处理单元→3/3→1/1→0（逻辑端口 0，1，3）
4	0→EtherCAT 数据帧处理单元→3/3→1/1→2/2→0

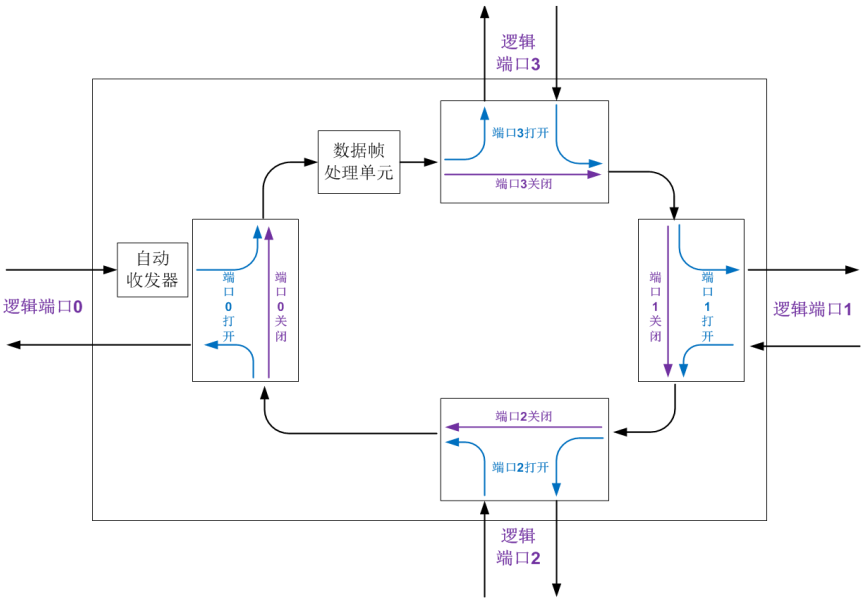


图 2-2 EtherCAT 从站控制器内部数据帧传输顺序

2.2 模块概述

2.2.1 物理通信接口

本芯片有 4 个物理通信端口，分别命名为端口 0 到端口 3，每个端口都可以配置为 MII 接口或 LVDS 接口两种形式。

MII 接口：使用此接口时，需要外接以太网 PHY 芯片。

LVDS 接口：使用低压差分信号，最远传输距离为 10 米。

2.2.2 PDI 接口

支持直接 IO 信号接口、SPI 接口、并行：串行微处理器接口。

2.2.3 EtherCAT 从站控制器数据帧处理单元

每个 EtherCAT 从站控制器可以最多支持 4 个数据收发端口，每个端口都可以处在打开或闭合状态。如果端口打开，则可以向其他 EtherCAT 从站控制器发送数据帧或从其他 EtherCAT 从站控制器接收数据帧。一个闭合的端口不会与其他 EtherCAT 从站控制器交换数据帧，它在内部将数据帧转发到下一个逻辑端口，直到数据帧到达一个打开的端口。

2.2.4 存储同步管理

EtherCAT 从站控制器使用了存储同步管理通道 SM（SyncManager）来保证主站与本地应用数据交换的一致性和安全性，并在数据状态改变时产生中断来通知双方。

2.2.5 现场总线内存管理单元（FMMU）

FMMU 将从站本地物理存储地址映射到网段内逻辑地址。实现从站在 4GB（2^{32}）地址空间的逻辑寻址，报文内的 32 位地址区作为整体的数据逻辑寻址的地址。

2.2.6 分布式时钟

分布式时钟（DC，Distributed Clock）可以使所有 EtherCAT 设备使用相同的系统时间，从而控制设备任务的同步执行。从站设备可以根据同步的系统时间产生同步信号，用于中断控制或触发数据量输入输出。

2.2.7 启动过程

芯片启动过程如下：

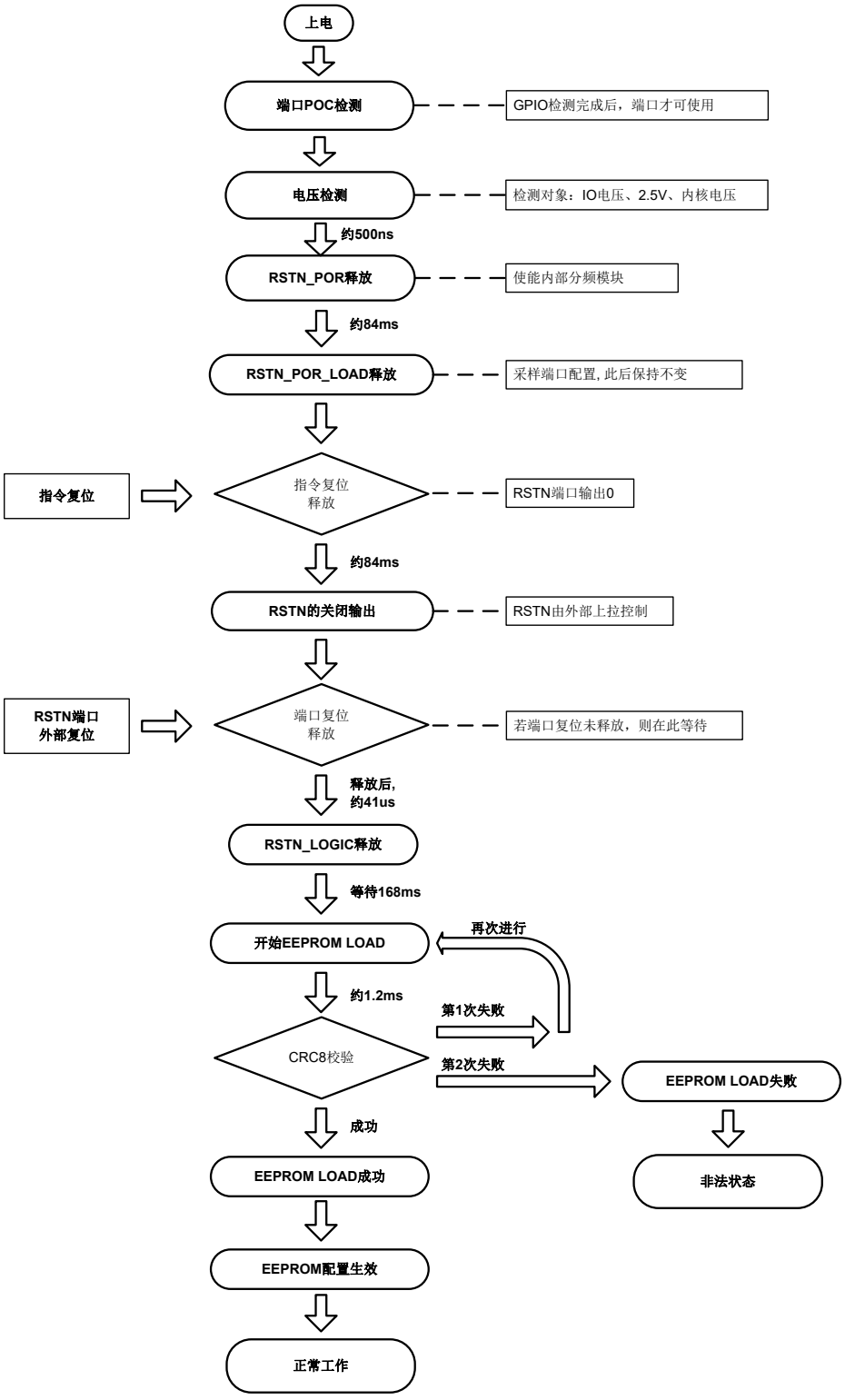


图 2-3 启动过程

3 引脚描述

3.1 引脚概述

FCE1100 分别采用 BGA128 封装和 QFP128 封装，分别为 FCE1100B2N，FCE1100P2N。

3.1.1 FCE1100B2N 引脚定义

FCE1100B2N 采用了 BGA128 封装。

3.1.1.1 引脚排布

BGA128 封装引脚分布如图 3-1 所示，引脚名称如表 3-1 所示，共有 128 个引脚。

A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11	A12
B1	B2	B3	B4	B5	B6	B7	B8	B9	B10	B11	B12
C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11	C12
D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12
E1	E2	E3	E4					E9	E10	E11	E12
F1	F2	F3	F4					F9	F10	F11	F12
G1	G2	G3	G4					G9	G10	G11	G12
H1	H2	H3	H4					H9	H10	H11	H12
J1	J2	J3	J4	J5	J6	J7	J8	J9	J10	J11	J12
K1	K2	K3	K4	K5	K6	K7	K8	K9	K10	K11	K12
L1	L2	L3	L4	L5	L6	L7	L8	L9	L10	L11	L12
M1	M2	M3	M4	M5	M6	M7	M8	M9	M10	M11	M12

图 3-1 FCE1100 芯片 BGA128 封装引脚分布（顶视）

3.1.1.2 引脚名称

表 3-1 FCE1100 芯片 BGA128 封装引脚名称

引脚	引脚名称	方向	引脚	引脚名称	方向
A1	PDI[27]/RX_DV(3)/LVDS(3)-RX-	BD/LI-	G1	PDI[35]/RX_ERR(2)	BD
A2	PDI[26]/TX_ENA(3)/LVDS(3)-TX+	BD/LO+	G2	PDI[36]/RX_CLK(2)	BD
A3	PDI[24]/TX_D(3)[1]/LVDS(3)-TX-	BD/LO-	G3	Res.[1]	I
A4	PDI[22]/TX_D(3)[3]	BD	G4	Res.[2]	I
A5	PDI[20]/RX_D(3)[3]	BD	G9	GND_{PLL}	
A6	PDI[18]/RX_D(3)[0]	BD	G10	$V_{CC\ PLL}$	
A7	PDI[16]/RX_ERR(3)	BD	G11	EEPROM_CLK	BD
A8	PDI[14]	BD	G12	OSC_IN	I
A9	PDI[12]	BD	H1	RX_DV(2)/LVDS(2)-RX-	I/LI-
A10	PDI[10]	BD	H2	PDI[37]/RX_D(2)[0]	BD
A11	PDI[8]	BD	H3	TESTMODE	I
A12	PDI[6]	BD	H4	$GND_{I/O}$(T1)	
B1	PDI[29]/RX_D(3)[1]/LVDS(3)-RX+	BD/LI+	H9	$V_{CC\ I/O}$(T3)	
B2	PDI[28]/PERR(3)/TRANS(3)	BD	H10	Res.[5]	I
B3	PDI[25]/TX_D(3)[0]	BD	H11	RUN/EEPROM_SIZE	BD
B4	PDI[23]/TX_D(3)[2]	BD	H12	RESET	BD
B5	PDI[21]/LINK_MII(3)	BD	J1	RX_D(2)[1]/LVDS(2)-RX+	I/LI+
B6	PDI[19]/RX_D(3)[2]	BD	J2	PDI[38]/RX_D(2)[2]	BD
B7	PDI[17]/RX_CLK(3)	BD	J3	$V_{CC\ I/O}$	
B8	PDI[15]	BD	J4	$GND_{I/O}$	
B9	PDI[13]	BD	J5	$GND_{I/O}$	
B10	PDI[9]	BD	J6	GND_{Core}	
B11	PDI[7]/CPU_CLK	BD	J7	GND_{Core}	
B12	PDI[4]	BD	J8	$GND_{I/O}$	
C1	PDI[31]/CLK25OUT2	BD	J9	$GND_{I/O}$	
C2	PDI[30]/LINKACT(3)/P_CONF(3)	BD	J10	$V_{CC\ I/O}$	
C3	PERR(2)/TRANS(2)/PHYAD_OFF	BD	J11	PERR(0)/TRANS(0)/CLK_MODE[0]	BD
C4	RBIAS		J12	LINKACT(0)/P_CONF[0]	BD
C5	$V_{CC\ I/O}$		K1	PDI[39]/RX_D(2)[3]	BD
C6	$V_{CC\ Core}$		K2	PERR(1)/TRANS(1) /CLK_MODE(1)	BD

C7	$V_{CC\ Core}$		K3	LINK_MII(1)	I
C8	Res.[4]	I	K4	RX_CLK(1)	I
C9	PDI[11]	BD	K5	$V_{CC\ I/O}$	
C10	PDI[5]	BD	K6	$V_{CC\ Core}$	
C11	PDI[3]	BD	K7	$V_{CC\ Core}$	
C12	PDI[2]	BD	K8	$V_{CC\ I/O}$	
D1	PDI[32]/TX_D(2)[3]	BD	K9	$GND_{I/O}$(T2)	
D2	PDI[33]/TX_D(2)[2]	BD	K10	RX_D(0)[0]	I
D3	$V_{CC\ I/O}$		K11	MI_CLK/LINKPOL	BD
D4	$GND_{I/O}$		K12	MI_DATA	BD
D5	$GND_{I/O}$		L1	LINKACT(1)/P_CONF(1)	BD
D6	GND_{Core}		L2	TX_D(1)[2]/P_MODE[0]	BD
D7	GND_{Core}		L3	TX_D(1)[0]/TRANS_MODE_ENA	BD
D8	Res.[7]	I	L4	RX_D(1)[0]	I
D9	$GND_{I/O}$		L5	RX_D(1)[2]	I
D10	$V_{CC\ I/O}$		L6	RX_ERR(1)	I
D11	PDI[1]	BD	L7	TX_D(0)[2]/C25_SHI[0]	BD
D12	PDI[0]	BD	L8	TX_D(0)[0]/C25_ENA	BD
E1	TX_D(2)[1]/LVDS(2)-TX-	O/LO-	L9	LINK_MII(0)	I
E2	PDI[34]/TX_D(2)[0] /CTRL_STATUS_MOVE	BD	L10	RX_CLK(0)	I
E3	LINKACT(2)/P_CONF[2]	BD	L11	RX_D(0)[2]	I
E4	Res.[0]	I	L12	RX_D(0)[3]	I
E9	$V_{CC\ I/O}$		M1	TX_D(1)[3]/P_MODE[1]	BD
E10	Res.[3]	I	M2	TX_D(1)[1]/LVDS(1)-TX-	O/LO-
E11	SYNC/LATCH[0]	BD	M3	TX_ENA(1)/LVDS(1)-TX+	BD/LO+
E12	SYNC/LATCH[1]	BD	M4	RX_DV(1)/LVDS(1)-RX-	I/LI+
F1	TX_ENA(2)/LVDS(2)-TX+	BD/LO+	M5	RX_D(1)[1]/LVDS(1)-RX+	I/LI+
F2	LINK_MII(2)/CLK25OUT1	BD	M6	RX_D(1)[3]	I
F3	$V_{CC\ I/O}$(T0)		M7	TX_D(0)[3]/C25_SHI[1]	BD
F4	Res.[6]	I	M8	TX_D(0)[1]/LVDS(0)-TX-	O/LO-
F9	$GND_{I/O}$		M9	TX_ENA(0)/LVDS(0)-TX+	BD/LO+
F10	$V_{CC\ I/O}$		M10	RX_ERR(0)	I
F11	EEPROM_DATA	BD	M11	RX_DV(0)/LVDS(0)-RX-	I/LI-
F12	OSC_OUT	O	M12	RX_D(0)[1]/LVDS(0)-RX+	I/LI+

【注】FCE1100 一些引脚使用时不可随意的接到电源地，应该按照下表中的方式连接。

表 3-2 FCE1100 一些引脚连接

位置	封装名称	正常使用时处理方式
K9	$GND_{I/O}$(T2)	接地或悬空
H9	$V_{CC\ I/O}$(T3)	接 $V_{CC\ I/O}$ 或悬空
F3	$V_{CC\ I/O}$(T0)	接 $V_{CC\ I/O}$ 或悬空
H4	$GND_{I/O}$(T1)	接地或悬空

3.1.2 FCE1100P2N 引脚定义

FCE1100P2N 采用了 QFP128 封装。

3.1.2.1 引脚排布

QFP128 封装引脚分布如图 3-2 所示，引脚名称如表 3-3 所示，共有 128 个引脚。

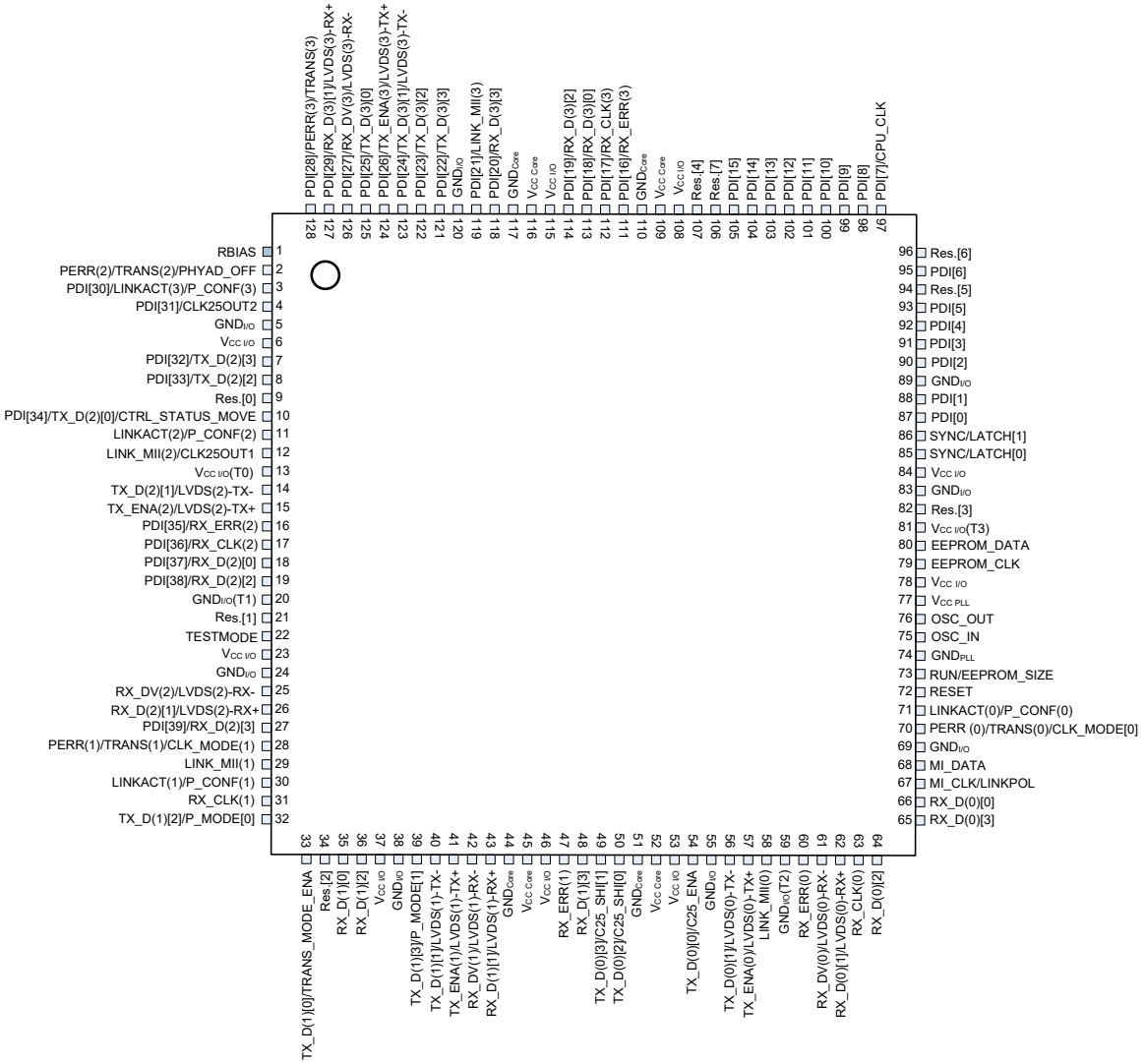


图 3-2 FCE1100 芯片 QFP128 封装引脚分布（顶视）

3.1.2.2 引脚名称

表 3-3 FCE1100 芯片 QFP128 封装引脚名称

引脚	引脚名称	方向	引脚	引脚名称	方向
1	RBIAS		65	RX_D(0)[3]	I
2	PERR(2)/TRANS(2)/PHYAD_OFF	BD	66	RX_D(0)[0]	I
3	PDI[30]/LINKACT(3)/P_CONF(3)	BD	67	MI_CLK/LINKPOL	BD
4	PDI[31]/CLK25OUT2	BD	68	MI_DATA	BD
5	$GND_{I/O}$		69	$GND_{I/O}$	
6	$V_{CC\ I/O}$		70	PERR(0)/TRANS(0) /CLK_MODE[0]	BD
7	PDI[32]/TX_D(2)[3]	BD	71	LINKACT(0)/P_CONF(0)	BD
8	PDI[33]/TX_D(2)[2]	BD	72	RESET	BD
9	Res.[0]	I	73	RUN/EEPROM_SIZE	BD
10	PDI[34]/TX_D(2)[0]/ CTRL_STATUS_MOVE	BD	74	GND_{PLL}	
11	LINKACT(2)/P_CONF(2)	BD	75	OSC_IN	I
12	LINK_MII(2)/CLK25OUT1	BD	76	OSC_OUT	O
13	$V_{CC\ I/O}$(T0)		77	$V_{CC\ PLL}$	
14	TX_D(2)[1]/LVDS(2)-TX-	O/LO-	78	$V_{CC\ I/O}$	
15	TX_ENA(2)/LVDS(2)-TX+	BD/LO+	79	EEPROM_CLK	BD
16	PDI[35]/RX_ERR(2)	BD	80	EEPROM_DATA	BD
17	PDI[36]/RX_CLK(2)	BD	81	$V_{CC\ I/O}$(T3)	
18	PDI[37]/RX_D(2)[0]	BD	82	Res.[3]	
19	PDI[38]/RX_D(2)[2]	BD	83	$GND_{I/O}$	
20	$GND_{I/O}$(T1)		84	$V_{CC\ I/O}$	
21	Res.[1]	I	85	SYNC/LATCH[0]	BD
22	TESTMODE	I	86	SYNC/LATCH[1]	BD
23	$V_{CC\ I/O}$		87	PDI[0]	BD
24	$GND_{I/O}$		88	PDI[1]	BD
25	RX_DV(2)/LVDS(2)-RX-	I/LI-	89	$GND_{I/O}$	
26	RX_D(2)[1]/LVDS(2)-RX+	I/LI+	90	PDI[2]	BD
27	PDI[39]/RX_D(2)[3]	BD	91	PDI[3]	BD
28	PERR(1)/TRANS(1)/ CLK_MODE(1)	BD	92	PDI[4]	BD
29	LINK_MII(1)	I	93	PDI[5]	BD

30	LINKACT(1)/P_CONF(1)	BD	94	Res.[5]	
31	RX_CLK(1)	I	95	PDI[6]	BD
32	TX_D(1)[2]/P_MODE[0]	I	96	Res.[6]	
33	TX_D(1)[0]/TRANS_MODE_ENA	I	97	PDI[7]/CPU_CLK	BD
34	Res.[2]		98	PDI[8]	BD
35	RX_D(1)[0]	I	99	PDI[9]	BD
36	RX_D(1)[2]	I	100	PDI[10]	BD
37	$V_{CC\ I/O}$		101	PDI[11]	BD
38	$GND_{I/O}$		102	PDI[12]	BD
39	TX_D(1)[3]/P_MODE[1]	BD	103	PDI[13]	BD
40	TX_D(1)[1]/LVDS(1)-TX-	O/LO-	104	PDI[14]	BD
41	TX_ENA(1)/LVDS(1)-TX+	BD/LO+	105	PDI[15]	BD
42	RX_DV(1)/LVDS(1)-RX-	I/LI-	106	Res.[7]	
43	RX_D(1)[1]/LVDS(1)-RX+	I/LI+	107	Res.[4]	
44	GND_{Core}		108	$V_{CC\ I/O}$	
45	$V_{CC\ Core}$		109	$V_{CC\ Core}$	
46	$V_{CC\ I/O}$		110	GND_{Core}	
47	RX_ERR(1)	I	111	PDI[16]/RX_ERR(3)	BD
48	RX_D(1)[3]	I	112	PDI[17]/RX_CLK(3)	BD
49	TX_D(0)[3]/C25_SHI[1]	BD	113	PDI[18]/RX_D(3)[0]	BD
50	TX_D(0)[2]/C25_SHI[0]	BD	114	PDI[19]/RX_D(3)[2]	BD
51	GND_{Core}		115	$V_{CC\ I/O}$	
52	$V_{CC\ Core}$		116	$V_{CC\ Core}$	
53	$V_{CC\ I/O}$		117	GND_{Core}	
54	TX_D(0)[0]/C25_ENA	IO	118	PDI[20]/RX_D(3)[3]	BD
55	$GND_{I/O}$		119	PDI[21]/LINK_MII(3)	BD
56	TX_D(0)[1]/LVDS(0)-TX-	O/LO-	120	$GND_{I/O}$	
57	TX_ENA(0)/LVDS(0)-TX+	BD/LO+	121	PDI[22]/TX_D(3)[3]	BD
58	LINK_MII(0)	I	122	PDI[23]/TX_D(3)[2]	BD
59	$GND_{I/O}$(T2)		123	PDI[24]/TX_D(3)[1] /LVDS(3)-TX-	BD/LO-
60	RX_ERR(0)	I	124	PDI[26]/TX_ENA(3) /LVDS(3)-TX+	BD/LO+
61	RX_DV(0)/LVDS(0)-RX-	I/LI-	125	PDI[25]/TX_D(3)[0]	BD
62	RX_D(0)[1]/LVDS(0)-RX+	I/LO+	126	PDI[27]/RX_DV(3)/LVDS(3)-RX-	BD/LI-

63	RX_CLK(0)	I	127	PDI[29]/RX_D(3)[1] /LVDS(3)-RX+	BD/LI+
64	RX_D(0)[2]	I	128	PDI[28]/PERR(3)/TRANS(3)	BD

【注】FCE1100 一些引脚使用时不可随意的接到电源地，应该按照下表中的方式连接。

表 3-4 FCE1100 一些引脚连接

位置	封装名称	正常使用时处理方式
K9	$GND_{I/O}$(T2)	接地或悬空
H9	$V_{CC\ I/O}$(T3)	接 $V_{CC\ I/O}$ 或悬空
F3	$V_{CC\ I/O}$(T0)	接 $V_{CC\ I/O}$ 或悬空
H4	$GND_{I/O}$(T1)	接地或悬空

3.2 引脚功能及连接要求

表 3-5 信号概述

信号	类型	方向	功能描述
C25_ENA	配置	I	CLK25OUT2 使能：使能 CLK25OUT2 输出
C25_SHI[1:0]	配置	I	TX 信号（发送信号）相位偏移：MII TX 信号的转移/相位偏移
CLK_MODE[1:0]	配置	I	CPU_CLK 配置
CLK25OUT1/CLK25OUT2	MII	O	以太网 PHY 的 25MHz 时钟源
CPU_CLK	PDI	O	微处理器的时钟信号
CTRL_STATUS_MOVE	配置	I	转移数字 I/O 控制/状态信号到最后一个可用 PDI 字节
LVDS(3:0)-RX-	LVDS	LI-	低电压差分接收信号负极
LVDS(3:0)-RX+	LVDS	LI+	低电压差分接收信号正极
LVDS(3:0)-TX-	LVDS	LO-	低电压差分发送信号负极
LVDS(3:0)-TX+	LVDS	LO+	低电压差分发送信号正极
EEPROM_CLK	EEPROM	BD	EEPROM 接口集成电路总线（I²C）通信时钟
EEPROM_DATA	EEPROM	BD	EEPROM 接口 I²C 通信数据
EEPROM_SIZE	配置	I	EEPROM 存储大小配置
PERR(3:0)	LED	O	端口接收错误 LED 输出（用于测试）
GND_{Core}	电源		逻辑内核地
$GND_{I/O}$	电源		I/O 地
GND_{PLL}	电源		PLL 锁相环地
LINK_MII(3:0)	MII	I	PHY 信号表示链接
LINKACT(3:0)	LED	O	链接/活动 LED 输出
LINKPOL	配置	I	LINK_MII(3:0)连接有效极性配置
MI_CLK	MII	O	PHY 管理接口时钟
MI_DATA	MII	BD	PHY 管理接口数据
OSC_IN	Clock	I	时钟源（晶体/振荡器）
OSC_OUT	Clock	O	时钟源（晶体）
P_CONF(3:0)	配置	I	逻辑端口的物理层
P_MODE[1:0]	配置	I	物理端口和相应的逻辑端口数量
PDI[39:0]	PDI	BD	PDI 信号，取决于 EEPROM 内容
PHYAD_OFF	配置	I	以太网 PHY 地址偏移

RBIAS	LVDS	LVDS	用于低电压差分发送信号（LVDS-TX）电流调节的偏压电阻
Res.[7:0]	保留	I	保留引脚
RESET	通用	BD	集电极开路内部复位输出信号/外部复位控制信号输入
RUN	LED	O	应用层状态寄存器控制的运行 LED
RX_CLK(3:0)	MII	I	MII 接收时钟
RX_D(3:0)[3:0]	MII	I	MII 接收数据
RX_DV(3:0)	MII	I	MII 接收数据有效信号
RX_ERR(3:0)	MII	I	MII 接收错误
SYNC/LATCH[1:0]	DC	I/O	分布式时钟同步信号输出或者自锁信号输入
TESTMODE	通用	I	用于测试的保留引脚，连接到地
TRANS(3:0)	MII	I	MII 接口共享：共享接口使能
TRANS_MODE_ENA	配置	I	使能 MII 接口共享（与 TRANS(3:0)信号）
TX_D(3:0)[3:0]	MII	O	MII 发送数据
TX_ENA(3:0)	MII	O	MII 发送使能
$V_{CC\ Core}$	电源		逻辑内核电源
$V_{CC\ I/O}$	电源		I/O 信号电源
$V_{CC\ PLL}$	电源		PLL 锁相环电源

表 3-6 PDI 信号概述

PDI	信号	方向	描述
数字量 I/O 接口	EEPROM_LOADED	O	PDI 激活，EEPROM 数据正确加载
	I/O[31:0]	I/O/BD	输入/输出或者双向数据
	LATCH_IN	I	外部数据锁存信号
	OE_CONF	I	输出使能配置
	OE_EXT	I	输出使能
	OUTVALID	O	输出数据有效/输出事件
	SOF	O	帧起始
	WD_TRIG	O	看门狗触发
SPI 从站接口	EEPROM_LOADED	O	PDI 激活，EEPROM 数据正确加载
	SPI_CLK	I	SPI 时钟
	SPI_DI	I	SPI 数据 MOSI
	SPI_DO	O	SPI 数据 MISO
	SPI_IRQ	O	SPI 中断
	SPI_SEL	I	SPI 片选
异步微处理器接口	CS	I	片选
	BHE	I	字节高位使能 （只用于 16 位微处理器接口）
	RD	I	读命令
	WR	I	写命令
	BUSY	O	EtherCAT 器件忙碌
	IRQ	O	中断
	EEPROM_LOADED	O	PDI 激活，EEPROM 数据正确加载
	DATA[7:0]	BD	8 位微处理器接口数据总线
	ADR[15:0]	I	地址总线
	DATA[15:0]	BD	16 位微处理器接口数据总线
同步微处理器接口	ADR[15:0]	I	地址总线
	BHE	I	字节高位使能
	CPU_CLK_IN	I	微处理器接口时钟
	CS	I	片选
	DATA[15:0]	BD	16 位微处理器接口数据总线
	DATA[7:0]	BD	8 位微处理器接口数据总线

	EEPROM_LOADED	O	PDI 激活，EEPROM 数据正确加载
	IRQ	O	中断
	RD/nWR	I	读/写访问
	TA	O	转移应答
	TS	I	转移开始

3.2.1 电源

FCE1100 支持不同的电源和 I/O 电平选择，它可以是 3.3V（也可选用 5V，但是实际应用中不建议选用），也支持选择单电源供电或者双电源供电。

$V_{CC\ I/O}$ 的电压值直接决定所有 I/O 信号的电平，它可以使用 3.3V 或 5V 供电。使用 3.3V 时，I/O 信号电平即为 3.3V，不允许使用 5V 输入。使用 5V 供电时，I/O 信号电平即为 5V。

FCE1100 逻辑内核要求 1.8V 供电。$V_{CC\ Core}$/$V_{CC\ PLL}$ 可通过内部 LDO（Low Dropout Regulator，低压线性稳压器）产生，也可由外部提供。内部 LDO 使用 $V_{CC\ I/O}$ 作为电源。$V_{CC\ Core}$ 总等于 $V_{CC\ PLL}$。内部 LDO 不能被关闭，但是如果外部供电电压高于内部 LDO 输出电压时，LDO 停止供电，因此 $V_{CC\ Core}$/$V_{CC\ PLL}$ 使用外部供电时，供电电压至少要高于内部 LDO 电压输出 0.1V，以使内部 LDO 停止输出。

使用内部 LDO 会增加功耗，同时值得注意的是，I/O 信号选用 5V 供电时的功耗大于 I/O 信号选用 3.3V 供电时的功耗。所以建议选用 3.3V 的 I/O 信号电压和内部 LDO 为 $V_{CC\ Core}$/$V_{CC\ PLL}$ 供电。

每个电源引脚都要连接稳压电容。

表 3-7 供电电压选择

$V_{CC\ I/O}$	$V_{CC\ Core}$/$V_{CC\ PLL}$	输入信号	输出信号	说明
3.3V	内部 LDO（1.8V）	仅 3.3V	仅 3.3V	单电源供电，低功耗
为了将来的兼容性不建议选用：				
3.3V	外部电压 1.8V	仅 3.3V	仅 3.3V	双电源供电，最低功耗
5V	内部 LDO（1.8V）	仅 5V	仅 5V	单电源供电，最高功耗
5V	外部电压 1.8V	仅 5V	仅 5V	双电源供电，高功耗

3.2.1.1 I/O 信号电源

根据需要的接口电压，$V_{CC\ I/O}$ 电源管脚可以使用 3.3V 或者 5V 供电（不推荐使用 5V）。使用 3.3V 供电时，I/O 信号电平即为 3.3V，不允许使用 5V 输入。使用 5V 供电时，I/O 信号电平即为 5V。所有的电源引脚 $V_{CC\ I/O}$/$GND_{I/O}$ 之间必须并联稳压电容。

表 3-8 I/O 电源供电引脚

引脚		引脚名称
FCE1100P2N	FCE1100B2N	
115	C5	$V_{CC\ I/O}$
120	D5	$GND_{I/O}$
6	D3	$V_{CC\ I/O}$
5	D4	$GND_{I/O}$
23	J3	$V_{CC\ I/O}$
24	J4	$GND_{I/O}$
37	K5	$V_{CC\ I/O}$
38	J5	$GND_{I/O}$
46	K8	$V_{CC\ I/O}$
55	J8	$GND_{I/O}$
53	J10	$V_{CC\ I/O}$
69	J9	$GND_{I/O}$
78	F10	$V_{CC\ I/O}$
83	F9	$GND_{I/O}$
108	D10	$V_{CC\ I/O}$
89	D9	$GND_{I/O}$
84	E9	$V_{CC\ I/O}$
20	H4	$GND_{I/O}$(T1)
13	F3	$V_{CC\ I/O}$(T0)
59	K9	$GND_{I/O}$(T2)
81	H9	$V_{CC\ I/O}$(T3)

【注意】I/O 电源中标有 T0-T3 的引脚，是用于 FCE1100 进入测试模式的引脚，应用中为了将来芯片的兼容性，它们必须被连接到表中提供的电压。

3.2.1.2 逻辑内核电源

下表为 FCE1100 的内核电源引脚 $V_{CC\ Core}$。FCE1100 的逻辑内核要求 1.8V 供电，该供电电压既可以由内部 LDO 产生，也可以由外部提供。内部 LDO 使用 $V_{CC\ I/O}$ 作为电源供电。这两种情况下，电源引脚 $V_{CC\ Core}$ /GND_{Core} 之间必须并联稳压电容。

表 3-9 逻辑内核电源供电引脚

引脚		引脚名称
FCE1100P2N	FCE1100B2N	
109	C7	$V_{CC\ Core}$
110	D7	GND_{Core}
116	C6	$V_{CC\ Core}$
117	D6	GND_{Core}
45	K6	$V_{CC\ Core}$
44	J6	GND_{Core}
52	K7	$V_{CC\ Core}$
51	J7	GND_{Core}

3.2.1.3 PLL 电源

PLL（Phase Lock Loop，锁相回路）电源引脚 $V_{CC\ PLL}$ 如下表所示。PLL 电源供电电压 1.8V，该供电电压既可以由内部 LDO 产生，也可以由外部提供。内部 LDO 使用 $V_{CC\ I/O}$ 作为电源供电。这两种情况下，电源引脚 $V_{CC\ PLL}$/GND_{PLL} 之间必须并联稳压电容。

表 3-10 PLL 电源供电引脚

引脚		引脚名称
QFP128	BGA128	
77	G10	$V_{CC\ PLL}$
74	G9	GND_{PLL}

3.2.1.4 举例电源引脚连接原理图

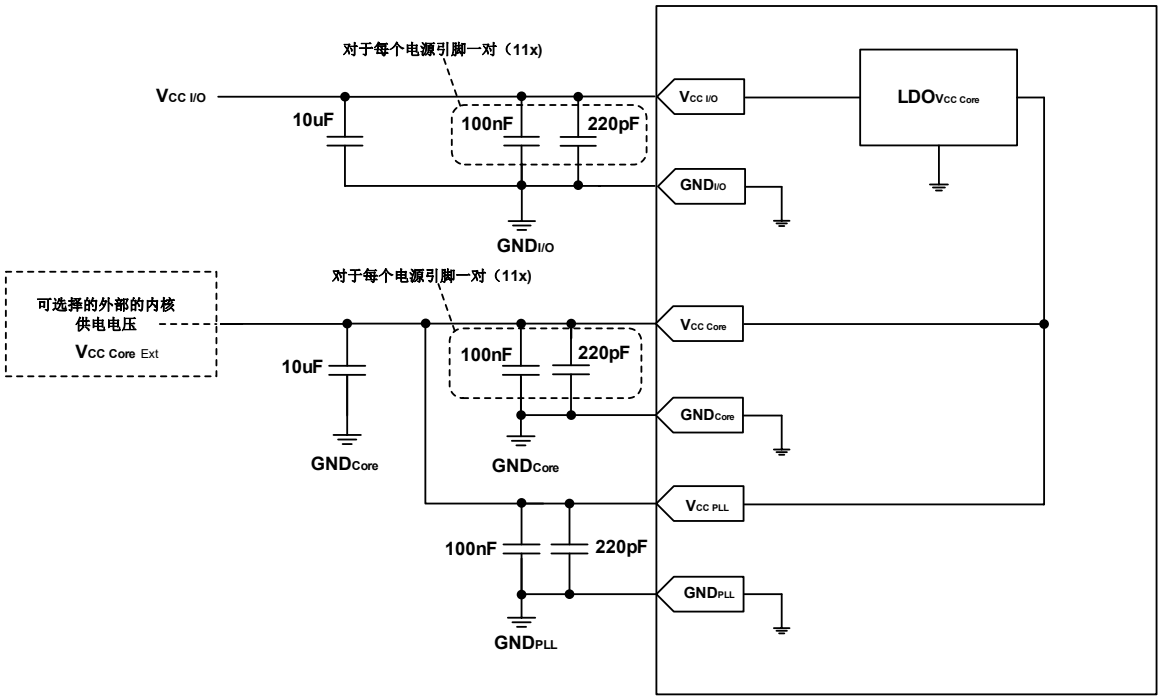


图 3-3 FCE1100 电源供电

稳压电容建议：每个电源引脚并联 100nF 和 220pF 陶瓷电容到地，另外 $V_{CC\ I/O}$ 和 $V_{CC\ Core}$/$V_{CC\ PLL}$ 并联 10μF 电容到地，总共需要 2 个 10μF 电容。

将 GND_{PLL}，GND_{Core}，$GND_{I/O}$ 引脚连接到一个电位 GND。

如果 $V_{CC\ Core}$/$V_{CC\ PLL}$ 的实际电压高于各自名义上的内部 LDO 的输出电压时，内部 LDO 将会自我失效。

3.2.2 时钟

引脚 OSC_IN 作为时钟源输入，外接 25MHz 的晶体或者振荡器。当 FCE1100 的时钟由振荡器提供时，以太网 PHY 芯片的时钟需由 FCE1100 输出时钟提供，具体使用方法参考引脚配置章节。25MHz 的时钟源要求精度为 25ppm 以上。

引脚 OSC_OUT 外部晶体。当 OSC_IN 接入振荡器时，该引脚悬空。

表 3-11 时钟引脚

引脚		信号		信号描述	内部上拉/下拉电阻
名称	方向	信号	方向		
OSC_IN	I	OSC_IN	I		
OSC_OUT	O	OSC_OUT	O		

3.2.2.1 举例时钟供应原理图

时钟源的布局对于系统设计的 EMC/EMI 有最大的影响。虽然一个 25MHz 时钟频率不要求大量的设计工作，但是以下规则有助于改善系统功能。

- 时钟源尽可能靠近 EtherCAT 从站控制器布置；
- 在这个区域的地层应该无缝；
- 电源对时钟源和 EtherCAT 从站控制器时钟呈现低阻抗；
- 应该使用时钟元器件推荐的电容值；
- 时钟源和 EtherCAT 从站控制器时钟输入之间的电容量应该相同，具体数值取决于线路板的几何特性；
- FCE1100 的时钟源的精度为 25ppm 以上。

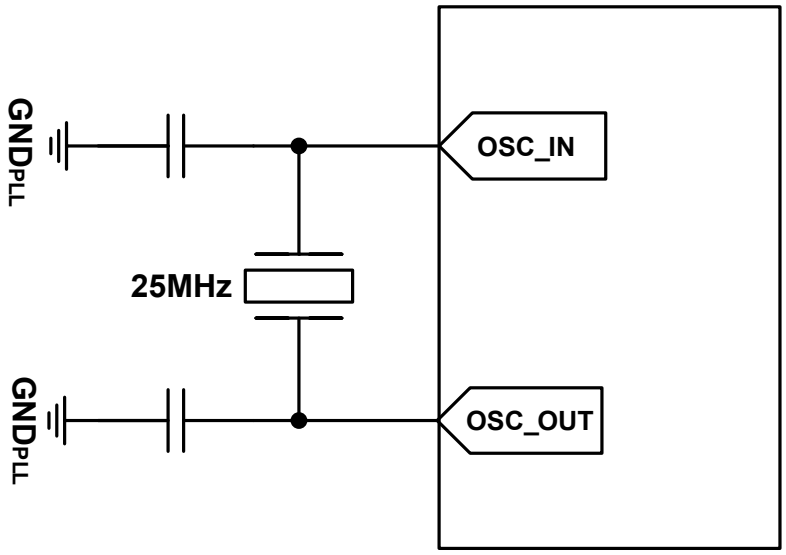


图 3-4 FCE1100 石英晶体时钟源的连接

【注意】负载电容的值取决于晶体的负载电容，EtherCAT 从站控制器的引脚电容 C_{OS}，以及板子设计（电容典型值为 12pF，此时 C_L=10pF）。

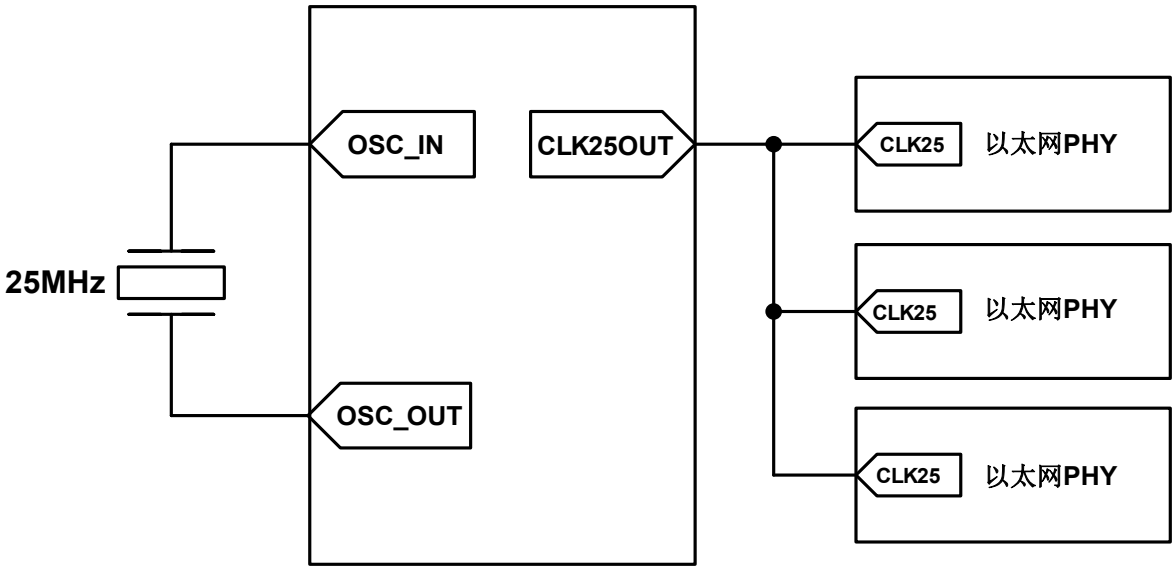


图 3-5 FCE1100 和以太网 PHY 使用石英晶体时的连接

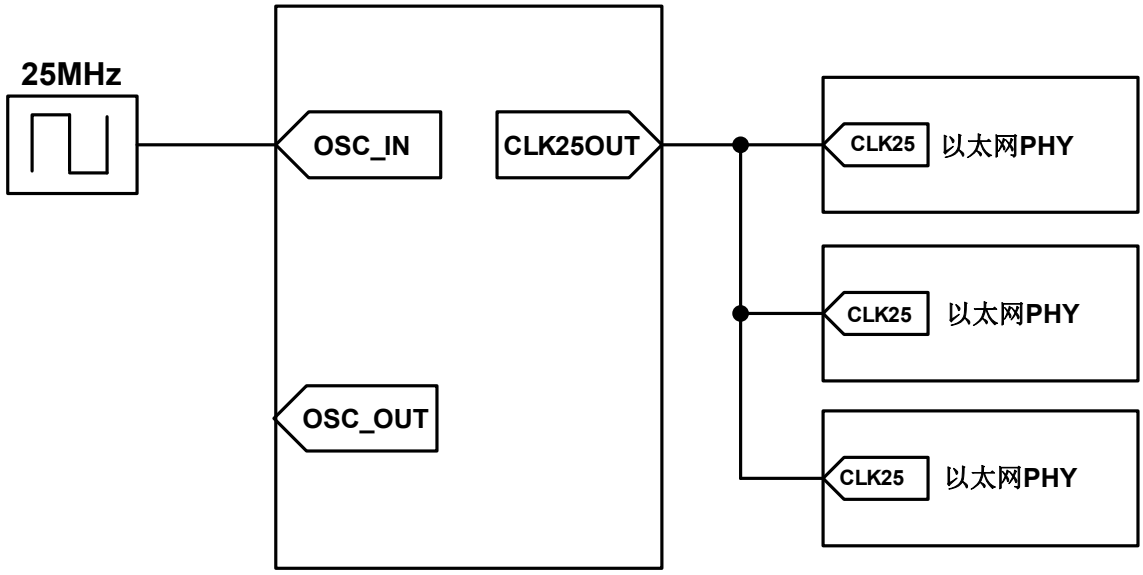


图 3-6 FCE1100 和以太网 PHY 使用振荡器时的连接

3.2.3 复位引脚

引脚 RESET 是集电极开路输入/输出信号（低电平有效），表示 FCE1100 的复位状态，以下三种情况可以引起 FCE1100 内部复位：

- 在上电之后进入复位状态；
- 供电电压过低；
- 由写复位寄存器 0x0040 触发一次复位。

内部复位时，RESET 信号可以用于复位其它外围芯片，例如以太网 PHY 芯片。

表 3-12 复位引脚

引脚		信号		信号描述	内部上拉/下拉电阻
名称	方向	信号	方向		
RESET	BD	RESET	BD		MPU

3.2.3.1 举例复位引脚原理图

RESET 信号由外部设备拉低时，FCE1100 也进入复位状态，RESET 引脚连接如下图。

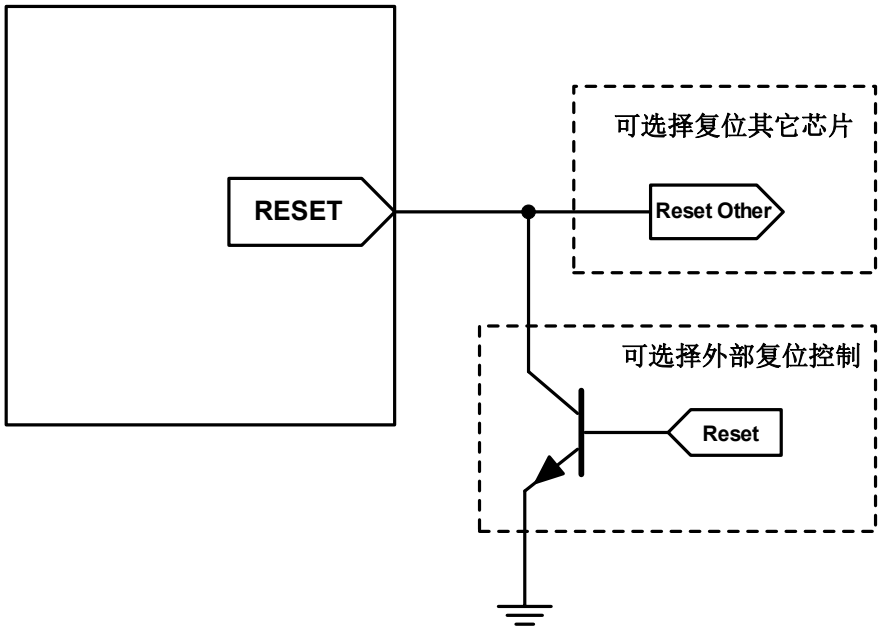


图 3-7 RESET 引脚连接图

建议连接 PHY 和微处理器到 RESET 引脚。这样确保在 FCE1100 复位（丢帧）时，PHY 芯片不进行通信，并且它允许在意外情况下通过 EtherCAT 重置整个 EtherCAT 从器件。

3.2.4 RBIAS 引脚

FCE1100 的 RBIAS 引脚用于连接对 LVDS-TX 信号进行电流调节的偏压电阻，该引脚连接 11kΩ 电阻到地。

表 3-13 RBIAS 引脚

引脚		信号		信号描述	内部上拉/下拉电阻
名称	方向	信号	方向		
RBIAS		RBIAS			

【注意】如果仅仅 MII 接口被使用（没有 LVDS 接口使用），RBIAS 电阻选取 10-15kΩ。

3.2.4.1 举例 RBIAS 电阻原理图

LVDS 的 RBIAS 电阻值为 R_{BIAS}=11kΩ。

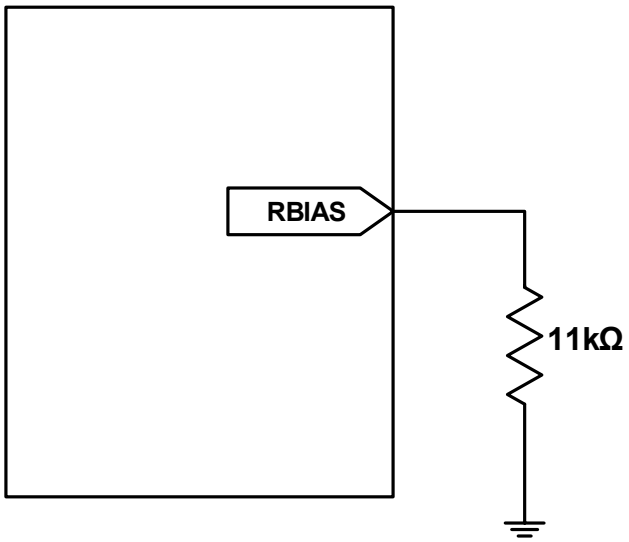


图 3-8 LVDS 偏压电阻

3.2.5 配置信号引脚

配置信号引脚在上电时通过外接上拉或下拉电阻来配置 FCE1100。上电时，配置信号引脚作为输入由 FCE1100 锁存配置信号信息。上电之后，这些引脚都有分配的操作功能，必要时引脚信号方向也可以改变。RESET 信号指示上电配置完成。若未重新上电，在随后的复位阶段，FCE1100 不会再锁存配置信号信息，配置引脚一直作为状态输出。

外接下拉电阻时，配置信号为 0；使用上拉电阻时，配置信号为 1。一些配置信号引脚也可以外接 LED 作为状态输出引脚，LED 的极性取决于需要配置的值。

3.2.5.1 举例配置输入/LED 输出引脚原理图

如果配置信号为 1，需要外接上拉电阻，引脚输出为 0（低）时 LED 导通。如果配置信号为 0，则需外接下拉电阻，引脚输出为 1（高）时 LED 导通。如下图所示。

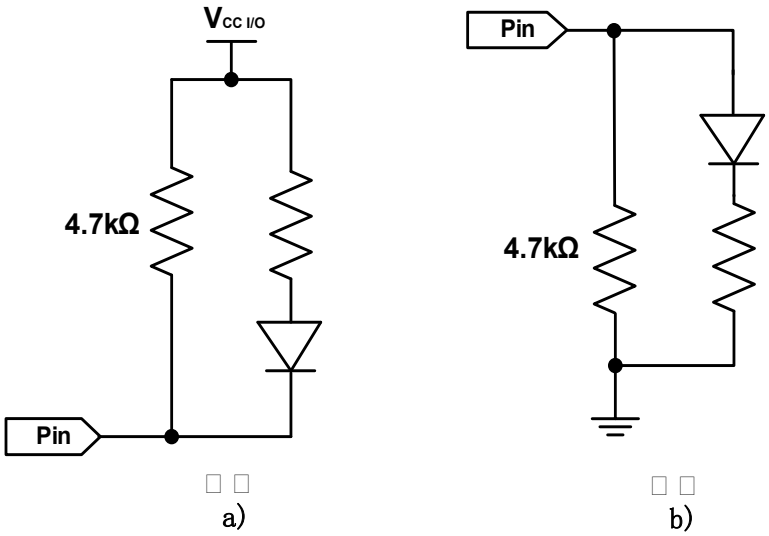


图 3-9 输入/LED 输出引脚双功能配置连接

a)配置信号=1　　b)配置信号=0

3.2.5.2 端口模式

端口模式（Port Mode）用于配置物理端口和相应逻辑端口的数量。信息如下表所示：

表 3-14 端口模式

描述	配置信号	引脚名称	寄存器	P_MODE[1:0]值
端口模式	P_MODE[0]	TX_D(1)[2]/P_MODE[0]	0x0E00[0]	00 = 2 端口（逻辑端口 0 和 1） 01 = 3 端口（逻辑端口 0，1 和 2） 10 = 3 端口（逻辑端口 0，1 和 3） 11 = 4 端口（逻辑端口 0，1，2 和 3）
	P_MODE[1]	TX_D(1)[3]/P_MODE[1]	0x0E00[1]	

【注意】物理端口是用于分组 FCE1100 接口引脚的，为用户外观上看到的芯片引脚名称。而任何主站/从站软件和寄存器设定是基于逻辑端口，只有配置后才能确定，但是逻辑端口之间的信号流向是固定的。每个逻辑端口映射到一个物理端口。每个端口都可以配置为 MII 接口或者 LVDS 接口两种形式。

如果同时配置了 MII 接口和 LVDS 接口，则 MII 接口总是优先占据更低位的物理端口，然后才是给 LVDS 接口分配物理端口。只要有 MII 接口被配置，最低位的 MII 接口总是被连接到物理端口 0，接下来高一位的 MII 接口连接到物理端口 1，依次分配。如果配置了 LVDS 接口，给 MII 接口分配完物理端口以后，开始分配最低位的 LVDS 接口到物理端口。如果没有配置 MII 接口，则最低位的 LVDS 接口连接到物理端口 0。

如果仅配置了 LVDS 接口或者 MII 接口，即当 P_MODE[1:0]=00，01 或 11 时，物理端口编码和逻辑端口编码相同。

3.2.5.3 端口配置

P_CONF[3:0]决定了物理层配置（MII 接口或者 LVDS 接口）。P_CONF[0]决定了逻辑端口 0 的物理层，P_CONF[1]决定了逻辑端口 1，P_CONF[2]决定了下一个可用的逻辑端口的物理层（P_MODE[1:0]=10 时为端口 3，否则为端口 2），以及 P_CONF[3]决定了逻辑端口 3。如果没有物理端口被使用，那么相应的 P_CONF 配置信号也不会使用。

表 3-15 端口配置

描述	配置信号	引脚名称	寄存器	值
端口配置	P_CONF[0]	LINKACT(0)/P_CONF[0]	0x0E00[2]	0 = LVDS 1 = MII
	P_CONF[1]	LINKACT(1)/P_CONF(1)	0x0E00[3]	
	P_CONF[2]	LINKACT(2)/P_CONF[2]	0x0E00[4]	
	P_CONF[3]	PDI[30]/LINKACT(3)/P_CONF(3)	0x0E00[5]	

3.2.5.3.1 2 端口配置

配置 2 端口时，逻辑端口 0 和逻辑端口 1 被使用。根据端口配置，端口信号可用物理端口 0 和物理端口 1。此时，P_MODE[1:0]必须设为 00。P_CONF[1:0]决定了逻辑端口 1 和逻辑端口 0 的物理层配置。此时，P_CONF[3:2]未使用，P_CONF[2]不应该悬空，建议连接到 GND。如果应用允许，对 P_CONF[3]引脚下拉，即为表中标符“-”。2 端口的配置情况如下表所示。

表 3-16 2 端口配置（P_MODE[1:0]=00）

逻辑端口		物理端口		P_CONF [3:0]
1	0	1	0	
$LVDS_{(1)}$	$LVDS_{(0)}$	$LVDS_{(1)}$	$LVDS_{(0)}$	-000
$LVDS_{(1)}$	$MII_{(0)}$	$LVDS_{(1)}$	$MII_{(0)}$	-001
$MII_{(1)}$	$LVDS_{(0)}$	$LVDS_{(0)}$	$MII_{(1)}$	-010
$MII_{(1)}$	$MII_{(0)}$	$MII_{(1)}$	$MII_{(0)}$	-011

3.2.5.3.2 3 端口配置

配置 3 端口时，逻辑端口 0，1，2（P_MODE[1:0]=01）或者逻辑端口 0，1，3（P_MODE[1:0]=10）被使用。根据端口配置，端口信号可用物理端口 0，1，2。根据 P_MODE 的设定值，P_CONF[2:0]决定了逻辑端口 2，1，0 或者逻辑端口 3，1，0 的物理层（P_CONF[2]用于逻辑端口 2 或者逻辑端口 3 的配置）。如果应用允许，对 P_CONF[3]引脚下拉，即为表中标符“-”。3 端口的配置情况如下表所示。

表 3-17 3 端口配置（端口 0，端口 1，端口 2，P_MODE[1:0]=01）

逻辑端口			物理端口			P_CONF [3:0]
2	1	0	2	1	0	
$LVDS_{(2)}$	$LVDS_{(1)}$	$LVDS_{(0)}$	$LVDS_{(2)}$	$LVDS_{(1)}$	$LVDS_{(0)}$	-000
$LVDS_{(2)}$	$LVDS_{(1)}$	$MII_{(0)}$	$LVDS_{(2)}$	$LVDS_{(1)}$	$MII_{(0)}$	-001
$LVDS_{(2)}$	$MII_{(1)}$	$LVDS_{(0)}$	$LVDS_{(2)}$	$LVDS_{(0)}$	$MII_{(1)}$	-010
$LVDS_{(2)}$	$MII_{(1)}$	$MII_{(0)}$	$LVDS_{(2)}$	$MII_{(1)}$	$MII_{(0)}$	-011
$MII_{(2)}$	$LVDS_{(1)}$	$LVDS_{(0)}$	$LVDS_{(1)}$	$LVDS_{(0)}$	$MII_{(2)}$	-100
$MII_{(2)}$	$LVDS_{(1)}$	$MII_{(0)}$	$LVDS_{(1)}$	$MII_{(2)}$	$MII_{(0)}$	-101
$MII_{(2)}$	$MII_{(1)}$	$LVDS_{(0)}$	$LVDS_{(0)}$	$MII_{(2)}$	$MII_{(1)}$	-110
$MII_{(2)}$	$MII_{(1)}$	$MII_{(0)}$	$MII_{(2)}$	$MII_{(1)}$	$MII_{(0)}$	-111

表 3-18 3 端口配置（端口 0，端口 1，端口 3，P_MODE[1:0]=10）

逻辑端口			物理端口			P_CONF [3:0]
3	1	0	2	1	0	
$LVDS_{(3)}$	$LVDS_{(1)}$	$LVDS_{(0)}$	$LVDS_{(3)}$	$LVDS_{(1)}$	$LVDS_{(0)}$	-000
$LVDS_{(3)}$	$LVDS_{(1)}$	$MII_{(0)}$	$LVDS_{(3)}$	$LVDS_{(1)}$	$MII_{(0)}$	-001
$LVDS_{(3)}$	$MII_{(1)}$	$LVDS_{(0)}$	$LVDS_{(3)}$	$LVDS_{(0)}$	$MII_{(1)}$	-010
$LVDS_{(3)}$	$MII_{(1)}$	$MII_{(0)}$	$LVDS_{(3)}$	$MII_{(1)}$	$MII_{(0)}$	-011
$MII_{(3)}$	$LVDS_{(1)}$	$LVDS_{(0)}$	$LVDS_{(1)}$	$LVDS_{(0)}$	$MII_{(3)}$	-100
$MII_{(3)}$	$LVDS_{(1)}$	$MII_{(0)}$	$LVDS_{(1)}$	$MII_{(3)}$	$MII_{(0)}$	-101
$MII_{(3)}$	$MII_{(1)}$	$LVDS_{(0)}$	$LVDS_{(0)}$	$MII_{(3)}$	$MII_{(1)}$	-110
$MII_{(3)}$	$MII_{(1)}$	$MII_{(0)}$	$MII_{(2)}$	$MII_{(3)}$	$MII_{(0)}$	-111

3.2.5.3.3 4 端口配置

配置 4 端口时，逻辑端口 0，1，2，3 均被使用。根据端口配置，端口信号可用物理端口 0 到 3。P_MODE[1:0]设置为 11。P_CONF[3:0]决定了逻辑端口 0 到逻辑端口 3 的物理层。4 端口的配置情况如下表所示。

表 3-19 4 端口配置（P_MODE[1:0]=11）

逻辑端口				物理端口				P_CONF [3:0]
3	2	1	0	3	2	1	0	
$LVDS_{(3)}$	$LVDS_{(2)}$	$LVDS_{(1)}$	$LVDS_{(0)}$	$LVDS_{(3)}$	$LVDS_{(2)}$	$LVDS_{(1)}$	$LVDS_{(0)}$	0000
$LVDS_{(3)}$	$LVDS_{(2)}$	$LVDS_{(1)}$	$MII_{(0)}$	$LVDS_{(3)}$	$LVDS_{(2)}$	$LVDS_{(1)}$	$MII_{(0)}$	0001
$LVDS_{(3)}$	$LVDS_{(2)}$	$MII_{(1)}$	$LVDS_{(0)}$	$LVDS_{(3)}$	$LVDS_{(2)}$	$LVDS_{(0)}$	$MII_{(1)}$	0010
$LVDS_{(3)}$	$LVDS_{(2)}$	$MII_{(1)}$	$MII_{(0)}$	$LVDS_{(3)}$	$LVDS_{(2)}$	$MII_{(1)}$	$MII_{(0)}$	0011
$LVDS_{(3)}$	$MII_{(2)}$	$LVDS_{(1)}$	$LVDS_{(0)}$	$LVDS_{(3)}$	$LVDS_{(1)}$	$LVDS_{(0)}$	$MII_{(2)}$	0100
$LVDS_{(3)}$	$MII_{(2)}$	$LVDS_{(1)}$	$MII_{(0)}$	$LVDS_{(3)}$	$LVDS_{(1)}$	$MII_{(2)}$	$MII_{(0)}$	0101
$LVDS_{(3)}$	$MII_{(2)}$	$MII_{(1)}$	$LVDS_{(0)}$	$LVDS_{(3)}$	$LVDS_{(0)}$	$MII_{(2)}$	$MII_{(1)}$	0110
$LVDS_{(3)}$	$MII_{(2)}$	$MII_{(1)}$	$MII_{(0)}$	$LVDS_{(3)}$	$MII_{(2)}$	$MII_{(1)}$	$MII_{(0)}$	0111
$MII_{(3)}$	$LVDS_{(2)}$	$LVDS_{(1)}$	$LVDS_{(0)}$	$LVDS_{(2)}$	$LVDS_{(1)}$	$LVDS_{(0)}$	$MII_{(3)}$	1000
$MII_{(3)}$	$LVDS_{(2)}$	$LVDS_{(1)}$	$MII_{(0)}$	$LVDS_{(2)}$	$LVDS_{(1)}$	$MII_{(3)}$	$MII_{(0)}$	1001
$MII_{(3)}$	$LVDS_{(2)}$	$MII_{(1)}$	$LVDS_{(0)}$	$LVDS_{(2)}$	$LVDS_{(0)}$	$MII_{(3)}$	$MII_{(1)}$	1010
$MII_{(3)}$	$LVDS_{(2)}$	$MII_{(1)}$	$MII_{(0)}$	$LVDS_{(2)}$	$MII_{(3)}$	$MII_{(1)}$	$MII_{(0)}$	1011
$MII_{(3)}$	$MII_{(2)}$	$LVDS_{(1)}$	$LVDS_{(0)}$	$LVDS_{(1)}$	$LVDS_{(0)}$	$MII_{(3)}$	$MII_{(2)}$	1100
$MII_{(3)}$	$MII_{(2)}$	$LVDS_{(1)}$	$MII_{(0)}$	$LVDS_{(1)}$	$MII_{(3)}$	$MII_{(2)}$	$MII_{(0)}$	1101
$MII_{(3)}$	$MII_{(2)}$	$MII_{(1)}$	$LVDS_{(0)}$	$LVDS_{(0)}$	$MII_{(3)}$	$MII_{(2)}$	$MII_{(1)}$	1110
$MII_{(3)}$	$MII_{(2)}$	$MII_{(1)}$	$MII_{(0)}$	$MII_{(3)}$	$MII_{(2)}$	$MII_{(1)}$	$MII_{(0)}$	1111

3.2.5.4 CPU_CLK 模式

CLK_MODE 可用于提供一个时钟信号给外部微处理器。如果 CLK_MODE 不是 00，CPU_CLK 将使用 PDI[7]，此时这个引脚不再用于任何 PDI 信号。对于微处理器的 PDI，PDI[7]为 ADR[15]，当 CPU_CLK 被选择时，其被视为 0。CPU_CLK 配置模式如下表所示。

表 3-20 CPU_CLK 模式

描述	配置信号	引脚名称	寄存器	CLK_MODE[1:0]值
CPU_CLK 模式	CLK_MODE[0]	PERR(0)/TRANS(0) /CLK_MODE[0]	0x0E00[6]	00 = off，PDI[7]/CPU_CLK 适用于 PDI 01 = 25MHz 时钟输出在 PDI[7]/CPU_CLK 10 = 20MHz 时钟输出在 PDI[7]/CPU_CLK 11 = 10MHz 时钟输出在 PDI[7]/CPU_CLK
	CLK_MODE[1]	PERR(1)/TRANS(1) /CLK_MODE(1)	0x0E00[7]	

3.2.5.5 TX 相位移动

MII 接口的 TX 信号（TX_ENA，TX_D[3:0]）的相位移动（0/10/20/30ns）通过 C25_SHI[x]信号获得。建议通过硬件选项支持所有的 C25_SHI[x]配置，以便后续调整。TX 相位移动情况如下表所示。

表 3-21 TX 相位偏移

描述	配置信号	引脚名称	寄存器	C25_SHI[1:0]值
TX 相位偏移	C25_SHI[0]	TX_D(0)[2]/C25_SHI[0]	0x0E01[0]	00 = MII TX 信号无延迟 01 = MII TX 信号延迟 10ns 10 = MII TX 信号延迟 20ns 11 = MII TX 信号延迟 30ns
	C25_SHI[1]	TX_D(0)[3]/C25_SHI[1]	0x0E01[1]	

3.2.5.6 CLK25OUT2 使能

以太网 PHY 可以通过 FCE1100 的 PDI[31]/CLK25OUT2 引脚获取一个 25MHz 的时钟。这仅和配置了 3 个 MII 接口时相关。当少于 3 个 MII 接口使用时，因为 LINK_MII(2)未使用，引脚 LINK_MII(2)/CLK25OUT1 总是作为 CLK25OUT1 输出 25MHz 时钟。当使用 4 个 MII 端口时，无论 CLK25OUT2 是否使能，PDI[31]/CLK25OUT2 引脚都作为 CLK25OUT2 输出 25MHz 时钟。CLK25OUT2 使能如下表所示。

表 3-22 CLK25OUT2 使能

描述	配置信号	引脚名称	寄存器	C25_ENA 值
CLK25OUT2 使能	C25_ENA	TX_D(0)[0]/C25_ENA	0x0E01[2]	0=失能，PDI[31]/CLK25OUT2 适用于 PDI 1=使能，PDI[31]/CLK25OUT2 输出 25MHz 时钟

3.2.5.7 透明模式使能

FCE1100 有能力在每一个端口上同其它 MAC 分享 MII 接口。通常情况下，透明模式失能，FCE1100 具有对 PHY 的 MII 接口的独占访问权限。当透明模式使能以后，MII 接口既可以由 FCE1100 分配也可以从由其它 MAC 分配，例如集成 MAC 的微处理器。在处理网络流量时，并不意味着要进行重新分配。

透明模式主要影响 PERR(x)/TRANS(x)引脚信号。如果透明模式使能，PERR(x)/TRANS(x)引脚作为 TRANS(x)信号使用（低电平有效），能够控制每个端口的透明状态。在透明模式下，PERR(x)是不可用的。

TRANS(x)信号仅影响同一个端口的 TX_ENA(x)/TX_D(x)以及 MI_CLK/MI_DATA。RX_CLK(x)，RX_DV(x)，RX_D(x)，RX_ERR(x)同时连接 FCE1100 和另一个 MAC。

只要 TRANS(x)高，每个 MII 接口就会正常工作，FCE1100 控制 MII 接口。如果 TRANS(x)低，端口成为透明的（或者单独的），也就是说，此时 FCE1100 不再主动驱动 TX_ENA(x)/TX_D(x)。因此，其它 MAC 能够驱动这些信号。

Link/Act(x) LED 仍将由 FCE1100 驱动，因为它采样 RX_DV(x)和 TX_ENA(x)（当端口是透明时，它们作为输入使用）用于活动检测。

只要至少一个 MII 接口不是透明模式，FCE1100 就控制着 MII 管理接口。打开透明模式后，可以通过 PDI 接口访问 FCE1100 的 PHY 管理接口，因此，微处理器可以访问管理接口。如果所有的 MII 接口都是透明的，FCE1100 会释放 MI_CLK 和 MI_DATA 驱动，这样它们就可以由另一个 MAC 驱动。更多细节请参考示例原理图。

透明模式使能如下表所示。

表 3-23 透明模式使能

描述	配置信号	引脚名称	寄存器	TRANS_MODE_ENA 值
透明模式使能	TRANS_MODE_ENA	TX_D(1)[0]/TRANS_MODE_ENA	0x0E01[3]	0 = 常规模式/透明模式失能，仅仅 FCE1100 使用 PHY 1 = 使能透明模式，FCE1100 能够同其它 MAC 共享 PHY

【注意】启用透明模式时将使链路极性高电平有效的配置失能。

3.2.5.7.1 举例透明模式应用原理图

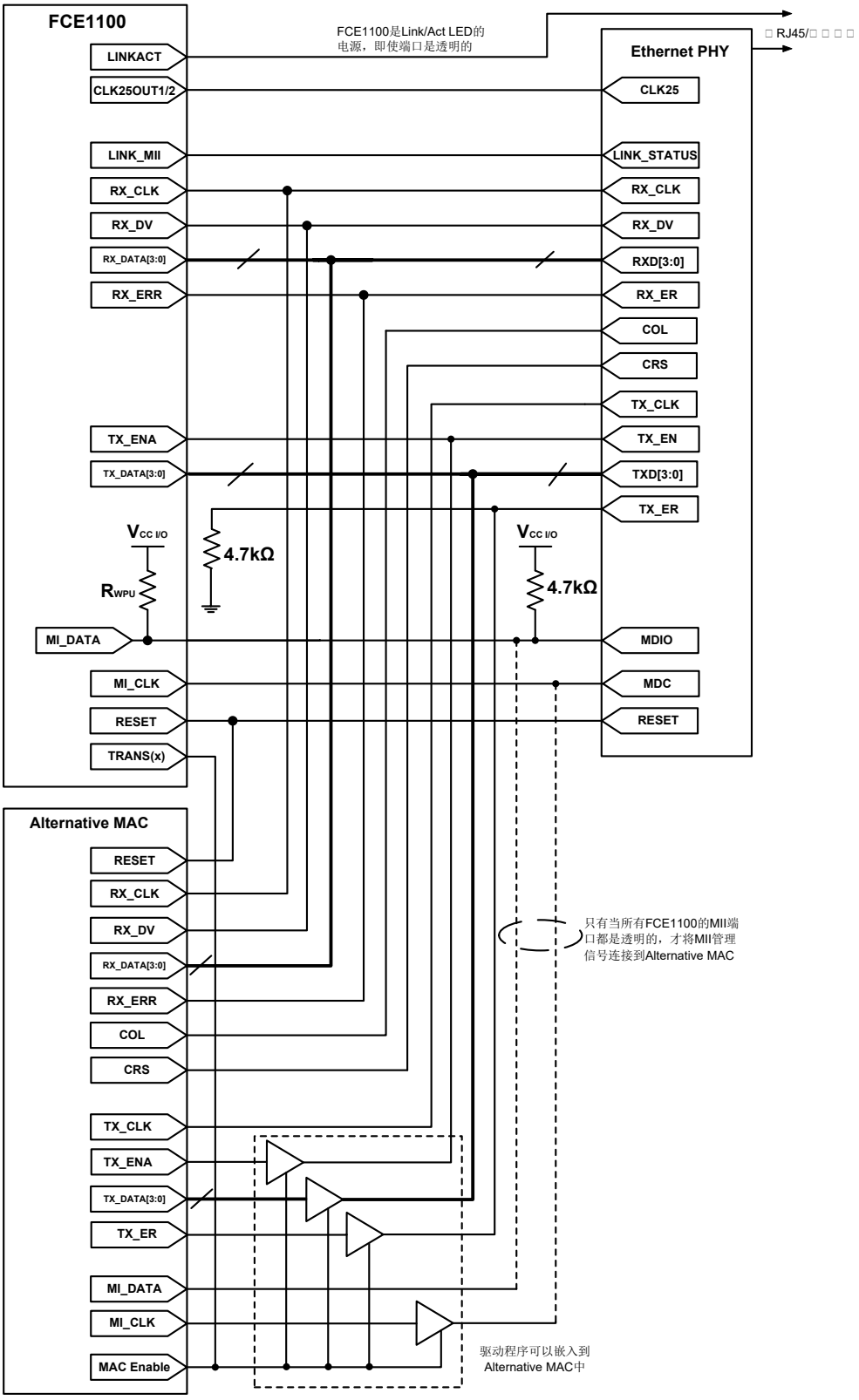


图 3-10 透明模式

【注意】如果 FCE1100 正在控制着 PHY 管理接口，则备用 MAC 的 MI_DATA 输出必须为 high-Z，否则添加驱动程序（如 MI_CLK）。当使用额外的驱动程序时需要检查备选 MAC 的 TX 时序。

3.2.5.8 数字控制/状态转移

数字 I/O 接口信号中除 I/O[31:0]以外的信号称为控制/状态信号，它们分配在引脚 PDI[39:32]。如果从站使用了两个以上的 MII 端口，PDI[39:32]不能用作 PDI 使用，即控制/状态信号无效。此时，可以通过配置 CTRL_STATUS_MOVE 引脚将最高可用的 PDI 字节分配为数字 I/O PDI 控制/状态信号。

数字控制/状态转移配置情况如下表所示。

表 3-24 数字控制/状态转移

描述	配置信号	引脚名称	寄存器	CTRL_STATUS_MOVE 值
数字控制/状态移动	CTRL_STATUS_MOVE	PDI[34]/TX_D(2)[0]/ CTRL_STATUS_MOVE	0x0E01[4]	0 = 无数字 I/O 控制/状态信号转移：如果少于 3 个 MII 接口被使用，它们可在 PDI[39:32]，否则不可使用。 1 = 如果 PDI[39:32]用于 MII(2)，数字 I/O 控制/状态信号转移到最后一个 PDI 字节。数字 I/O 控制/状态信号在任何配置中都是可用的。

3.2.5.9 PHY 地址偏移

FCE1100 支持两种（0 或 16）PHY 地址偏移配置。具体参考章节 5.2 对于 PHY 地址配置的详细信息。

PHY 地址偏移如下表所示。

表 3-25 PHY 地址偏移

描述	配置信号	引脚名称	寄存器	PHYAD_OFF 值
PHY 地址偏移	PHYAD_OFF	PERR(2)/TRANS(2)/PHYAD_OFF	0x0E01[5]	0 = PHY 地址偏移 0 1 = PHY 地址偏移 16

3.2.5.10 链接有效信号极性

以太网 PHY 芯片必须提供一个信号给 FCE1100，通过判断 LINK_MII(x)用来指示是否建立了 100Mbit/s 全双工链接。链接有效信号极性可以通过 LINKPOL 来选择。链接极性配置如下表所示。

表 3-26 链接有效信号极性

描述	配置信号	引脚名称	寄存器	LINKPOL 值
链接有效信号极性	LINKPOL	MI_CLK/LINKPOL	0x0E01[6]	0 = LINK_MII(x)低电平有效 1 = LINK_MII(x)高电平有效

【注意】启用透明模式时，会失能高电平有效的链接极性配置。

3.2.5.11 SII EEPROM 内存大小

EEPROM_SIZE 决定了 EEPROM 的内存大小（和 I²C 地址字节数）。EEPROM_SIZE 在 EEPROM 访问开始时采样。EEPROM_SIZE 配置如下表所示：

表 3-27 SII EEPROM_SIZE

描述	配置信号	引脚名称	寄存器	EEPROM_SIZE 值
EEPROM 容量	EEPROM_SIZE	RUN/EEPROM_SIZE	0x0502[7]	0 = 单个地址字节（1Kb 到 16Kb EEPROM） 1 = 两个地址字节（32Kb 到 4Mb EEPROM）

3.2.5.12 保留配置引脚

当使用 4 个端口时，应该将保留配置引脚拉低，否则，它会保持打开状态。如下表所示：

表 3-28 保留引脚

描述	配置信号	引脚名称	寄存器	RESERVED 值
保留	RESERVED	PDI[28]/PERR(3)/TRANS(3)	0x0E01[7]	0 对于 4 端口配置

3.2.6 SII EEPROM 接口

EEPROM_CLK 为 EEPROM I²C 通信时钟信号（集电极开路输出）。

EEPROM_DATA 为 EEPROM I²C 通信数据信号（集电极开路输出）。

表 3-29 SII EEPROM 接口

引脚		信号		信号描述	内部上拉/下拉电阻
名称	方向	信号	方向		
EEPROM_CLK	BD	EEPROM_CLK	BD		3.3kΩ PU
EEPROM_DATA	BD	EEPROM_DATA	BD		3.3kΩ PU

3.2.7 MII 管理引脚

MII 管理接口信号仅用于至少一个 MII 接口被配置时。

MI_CLK/LINKPOL 引脚在上电时作为 LINKPOL 信号配置，此后作为 PHY 管理接口时钟 MI_CLK 信号。MI_CLK 为轨到轨（rail-to-rail）驱动，空闲时为高电平。

MI_DATA 为 PHY 管理接口数据，应该连接外部上拉电阻，推荐阻值 4.7kΩ。

表 3-30 MII 管理引脚

引脚		没有 MII 接口使用		MII 接口使用		配置信号	内部上拉/下拉电阻
名称	方向	信号	方向	信号	方向		
MI_CLK/LINKPOL	BD		BD	MI_CLK	O	LINKPOL	WPD
MI_DATA	BD		BD	MI_DATA	BD		WPD

3.2.8 分布时钟同步/锁存引脚

SYNC/LATCH[x]为分布式时钟同步信号输出或者锁存信号输入，这取决于 SII EEPROM 配置。EEPROM 加载前，SYNC/LATCH 信号都会处于高阻态不会被驱动。

表 3-31 分布时钟同步/锁存引脚

引脚		信号		信号描述	内部上拉/下拉电阻
名称	方向	信号	方向		
SYNC/LATCH[0]	BD	SYNC[0]/LATCH[0]	O/I		
SYNC/LATCH[1]	BD	SYNC[1]/LATCH[1]	O/I		

3.2.9 LED 信号

所有的 LED 信号也用作配置信号。每个 LED 信号的极性取决于配置：如果引脚进行下拉配置（配置信号为 0），LED 为高有效；如果引脚进行上拉配置（配置信号为 1），LED 为低有效。

表 3-32 LED 引脚

引脚		信号		配置信号	内部上拉/下拉电阻
名称	方向	信号	方向		
RUN/EEPROM_SIZE	BD	RUN	O/I	EEPROM_SIZE	

【注意】LINKACT(x)和 PERR(x)/TRANS(x)引脚在物理端口 0-3 章节有描述。

RUN/EEPROM_SIZE

在 EEPROM 访问开始时，SII EEPROM_SIZE 配置（1Kb-16Kb 或者 32Kb-4Mb）进行采样。否则为 RUN LED 信号。如果引脚进行下拉配置（配置信号为 0），RUN LED 为高有效；如果引脚进行上拉配置（配置信号为 1），RUN LED 为低有效。建议 RUN LED 为绿色。

LINKACT(x)

LINKACT(x)引脚为物理端口 x 的输出数据状态信号。Link/Activity LED 输出表示相应物理端口 x 的线路是否有链接或者活动的状态（LED 灭表示没有链接，LED 亮表示有链接但没有数据传输活动，LED 闪烁表示有链接且有数据传输活动）。如果引脚进行下拉配置（配置信号为 0），则引脚 LINKACT(x)高电平有效；如果引脚进行上拉配置（配置信号为 1），则引脚 LINKACT(x)低电平有效。关于详细的描述，参考章节 3.2.5。建议 Link/Activity LED 为绿色。

PERR(x)/TRANS(x)

PERR(x)/TRANS(x)引脚用于物理端口 x 配置为 LVDS 接口或者 TRANS_MODE_ENA=0 时的 MII 接口发生错误时的输出状态信号，Error LED 表示相应故障状态。如果 TRANS_MODE_ENA=1，PERR(x)/TRANS(x)用于作为 MII 的物理端口 x 的 TRANS(x)信号，使端口 x 处于隔离/透明操作。在这种情况下，PERR(x)不可用。如果引脚进行下拉配置（配置信号为 0），PERR(x)高电平有效；如果引脚进行上拉配置（配置信号为 1），PERR(x)低电平有效。关于详细的描述，参考章节 3.2.5。

【注意】PERR(x) LED 不是 EtherCAT 指示说明的一部分。它们仅用于测试和调试。如果物理层发生接收错误，PERR(x) LED 闪烁。不能混淆 PERR(x) LED 和应用层 ERR LED，这是 EtherCAT 从站控制器不支持的，而是由微处理器控制的。

3.2.10 物理端口和 PDI 引脚

FCE1100 引脚分配进行了优化，以实现最佳的尺寸和功能。为了获得这一点，有许多引脚可以分配用于通信或者 PDI 功能。通信端口的数量和类型可能会减少/排除一种或多种 PDI 可能性。

FCE1100 有 4 个物理端口，分别命名为端口 0~端口 3。端口 0 和端口 1 不作为 PDI 引脚的接口使用，端口 2 和端口 3 与 PDI[39:16]有重叠部分，可进行引脚复用以获得芯片规模和功能的最佳组合，但是因此也限制了选用 PDI 的数量。

端口的引脚配置将覆盖用于 PDI 的引脚配置。因此，需要先配置端口的数量和类型。

FCE1100 有 40 个 PDI 引脚（PDI[39:0]）。将其分为 4 组：PDI[15:0]（PDI byte 0/1），PDI[16:23]（PDI byte 2），PDI[24:31]（PDI byte 3），以及 PDI[32:39]（PDI byte 4）。

物理端口和 PDI 引脚分配排列如下表所示。

表 3-33 PDI 类型和通信端口的组合配置

PDI 配置 / 端口使用配置	异步微处理器	同步微处理器	SPI	数字 I/O CTLR_STATUS_MOVE=	
				0	1
2 个端口（0 或 1） 或 3 个端口，并且至少 1 个 LVDS 接口	8Bit 16Bit	8Bit 16Bit	SPI+32Bit GPI/O	32Bit I/O +控制/状态信号	
3 个端口，都使用 MII 接口	8Bit	8Bit	SPI+24Bit GPI/O	32Bit I/O	24Bit I/O +控制/状态信号
4 个端口，至少 2 个使用 LVDS 接口	不可用	不可用	SPI+16Bit GPI/O	24Bit I/O +控制/状态信号	
4 个端口，其中 3 个 MII 接口，1 个 LVDS 接口	不可用	不可用	SPI+16Bit GPI/O	24Bit I/O	16Bit I/O +控制/状态信号
4 个端口，都是 MII 接口	不可用	不可用	SPI+8Bit GPI/O	16Bit I/O	8Bit I/O +控制/状态信号

3.2.10.1 MII 信号

下表描述了 FCE1100 所使用的 MII 接口信号。

表 3-34 MII 信号

信号	方向	描述
LINK_MII(x)	I	由 PHY 提供的是否建立了 100Mbit/s 的全双工链接的输入信号。极性可配置。
RX_CLK(x)	I	MII 接收时钟
RX_DV(x)	I	MII 接收数据有效
RX_D(x)[3:0]	I	MII 接收数据
RX_ERR(x)	I	MII 接收出错
TX_ENA(x)	O	MII 发送使能。如果端口在透明模式，则作为 MII 传输使能用于控制 Link/Activity LED（TRANS_MODE_ENA=1 和 TRANS（x）=0）
TX_D(x)[3:0]	O	MII 发送数据

3.2.10.1.1 CLK25OUT1/2 信号

当 FCE1100 采用外接晶体获取 25MHz 时钟时，其需要通过 CLK25OUT 为以太网 PHY 提供一个 25MHz 的时钟源。如果 FCE1100 使用 25MHz 振荡器输入，以太网 PHY 必须采用 CLK25OUT 输出作为时钟源，而不能和 FCE1100 采用同一振荡器输入。根据端口配置和 C25_ENA，CLK25OUT 可由 CLK25OUT1 或者 CLK25OUT2 提供，具体情况如下表所示。

表 3-35 CLK25OUT1/2 信号输出

配置	C25_ENA=0	C25_ENA=1
0-2xMII	LINK_MII(2)/CLK25OUT1 提供 CLK25OUT 输出（如果使用了 4 个端口，PDI[31]/CLK25OUT2 也提供 CLK25OUT 输出）	LINK_MII(2)/CLK25OUT1 和 PDI[31]/CLK25OUT2 提供 CLK25OUT
3xMII	CLK25OUT 不可用	PDI[31]/CLK25OUT2 提供 CLK25OUT
4xMII	PDI[31]/CLK25OUT2 提供 CLK25OUT	

【注意】为了减少驱动负载，没有使用的 CLK25OUT 引脚悬空。

如果被配置，CLK25OUT 引脚提供了一个时钟信号，包括在外部或者 EtherCAT 复位期间，时钟输出仅在上电复位时关闭。

3.2.10.1.2 举例 MII 连接原理图

要特别注意 TX Shift，LINK_POL 以及 PHY 地址的正确配置。

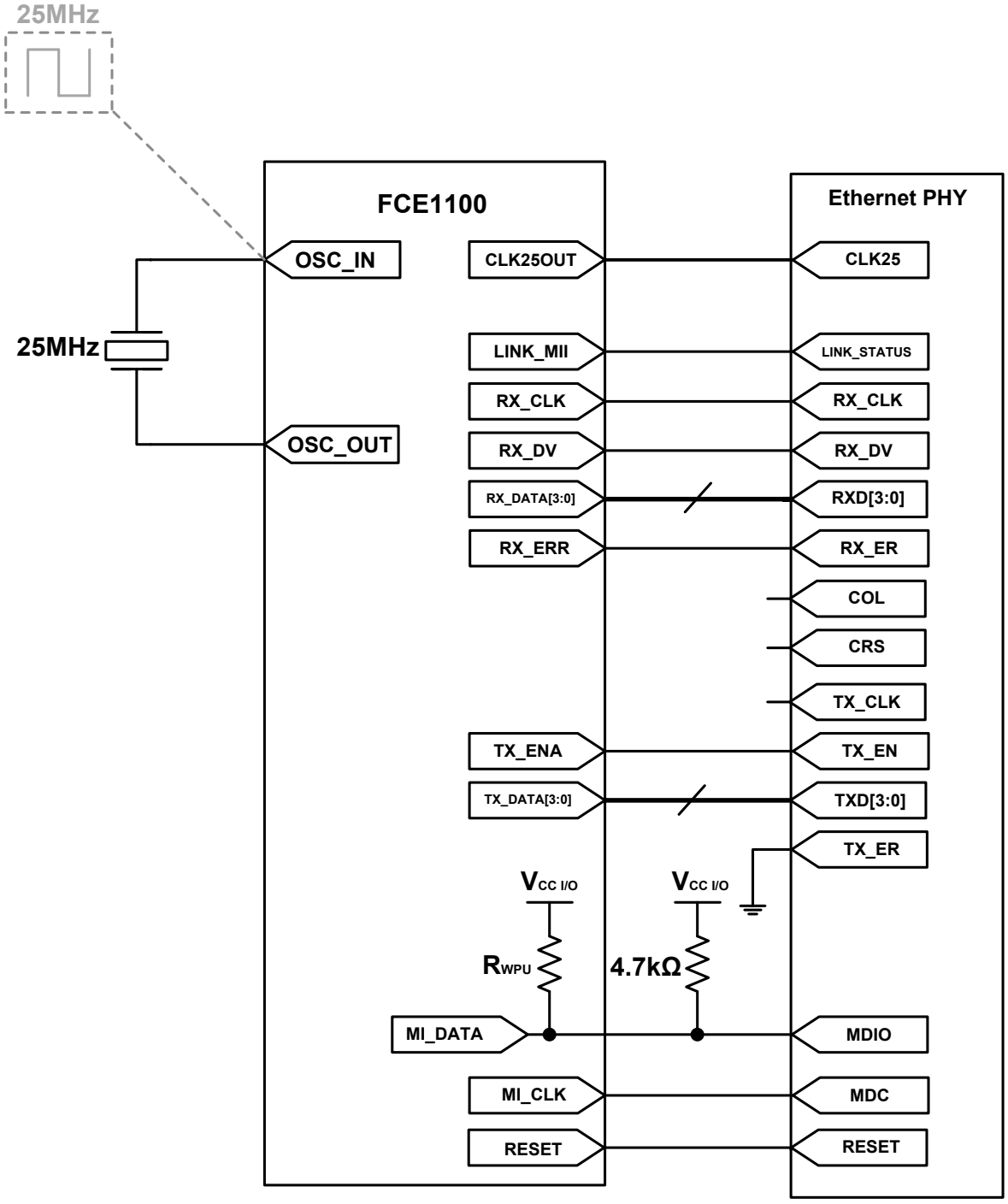


图 3-11 PHY 连接

3.2.10.2 LVDS 信号

FCE1100 的 LVDS 端口具有开路故障安全，也就是 FCE1100 检测到 LVDS 端口未连接时，在内部关闭该端口。LVDS 可以满足快速以太网 100Mbit/s 数据传输的波特率。具体信号描述如下表所示。

表 3-36 LVDS 信号

信号	方向	描述
LVDS(x)-RX+ LVDS(x)-RX-	I	LVDS 接口接收信号。即使端口未配置成 LVDS 接口，LVDS(x)-RX+包含了一个内部下拉电阻 R_{LI+}，LVDS(x)-RX-包含了一个内部上拉电阻 R_{LI-}。
LVDS(x)-TX+ LVDS(x)-TX-	O	LVDS 接口发送信号
RBIAS		用于对 LVDS-TX 信号进行电流调节的偏压电阻

3.2.10.2.1 举例 LVDS 端口连接原理图

阻抗为 100Ω 的 LVDS 终端通常通过电阻 R_L=100Ω 来实现。仅在 LVDS 端口需要，且靠近 LVDS_RX 输入放置。

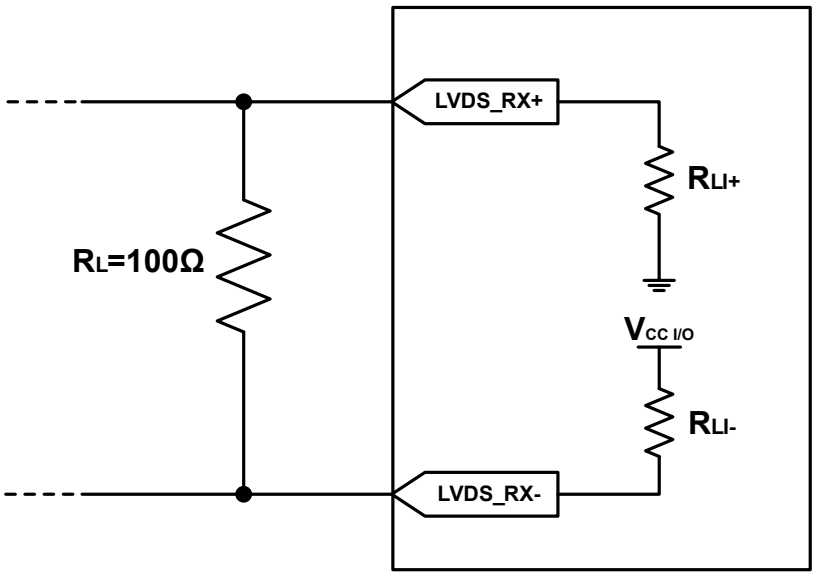


图 3-12 LVDS 端口接收端

3.2.10.3 PDI 引脚

PDI[x]

PDI[x]信号的功能取决于存储在器件 SII EEPROM 中的配置。PDI 信号不会被驱动（高阻），直到 EEPROM 加载。

如果没有 PDI 被配置（PDI 控制寄存器 0x0140=0x00），PDI 信号不会被驱动（高阻）。

CPU_CLK

FCE1100 可通过引脚 PDI[7]/CPU_CLK 提供给微处理器一个时钟信号。CPU_CLK 的输出由 CLK_MODE 配置引脚决定。当 CPU_CLK 使能时，则 PDI[7]作为 PDI 是不可用的，即此时微处理器的 PDI 不能作为 ADR[15]使用（内部将 ADR[15]处理成 0），数字 I/O PDI 也不能作为 I/O[7]使用。

如果配置，CPU_CLK 可以提供一个时钟信号，包括在外部或者 EtherCAT 复位期间，时钟输出仅在上电复位时关闭。

3.2.10.4 物理端口 0

下表为物理端口 0 的引脚。这些引脚能够被配置为 MII 接口或者 LVDS 接口使用。端口 0 和 PDI 引脚无关。

表 3-37 物理端口 0

引脚		MII		LVDS		配置信号	内部上拉 / 下拉电阻
名称	方向	信号	方向	信号	方向		
TX_ENA(0) /LVDS(0)-TX+	BD /LO+	TX_ENA(0)	O/I	LVDS(0)-TX+	LO+		
TX_D(0)[0] /C25_ENA	BD	TX_D(0)[0]	O			C25_ENA	
TX_D(0)[1] /LVDS(0)-TX-	O /LO-	TX_D(0)[1]	O	LVDS(0)-TX-	LO-		
TX_D(0)[2] /C25_SHI[0]	BD	TX_D(0)[2]	O			C25_SHI[0]	
TX_D(0)[3] /C25_SHI[1]	BD	TX_D(0)[3]	O			C25_SHI[1]	
RX_D(0)[0]	I	RX_D(0)[0]	I		UI		
RX_D(0)[1] /LVDS(0)-RX+	I /LI+	RX_D(0)[1]	I	LVDS(0)-RX+	LI+		1.2MΩ PD
RX_D(0)[2]	I	RX_D(0)[2]	I		UI		
RX_D(0)[3]	I	RX_D(0)[3]	I		UI		
RX_DV(0) /LVDS(0)-RX-	I /LI-	RX_DV(0]	I	LVDS(0)-RX-	LI-		1.2MΩ PU
RX_ERR(0)		RX_ERR(0)	I		UI		
RX_CLK(0)	I	RX_CLK(0)	I		UI		
LINK_MII(0)	I	LINK_MII(0)	I		UI		
PERR(0)/TRANS(0) /CLK_MODE[0]	BD	PERR(0)/TRANS(0)	O/I	PERR(0)	O	CLK_MODE[0]	
LINKACT(0) /P_CONF[0]	BD	LINKACT(0)	O	LINKACT(0)	O	P_CONF[0]	

3.2.10.5 物理端口 1

下表展示了物理端口 1 的引脚。这些引脚能够被配置为 MII 接口或者 LVDS 接口使用。端口 1 的引脚与 PDI 引脚无关。

表 3-38 物理端口 1

引脚		MII		LVDS		配置信号	内部上拉 / 下拉电阻
名称	方向	信号	方向	信号	方向		
TX_ENA(1) /LVDS(1)-TX+	BD/ LO+	TX_ENA(1)	O/I	LVDS(1)-TX+	LO+		
TX_D(1)[0] /TRANS_MODE_ENA	BD	TX_D(1)[0]	O			TRANS_MODE_ENA	
TX_D(1)[1] /LVDS(1)-TX	O/ LO-	TX_D(1)[1]	O	LVDS(1)-TX-	LO-		
TX_D(1)[2] /P_MODE[0]	BD	TX_D(1)[2]	O			P_MODE[0]	
TX_D(1)[3] /P_MODE[1]	BD	TX_D(1)[3]	O			P_MODE[1]	
RX_D(1)[0]	I	RX_D(1)[0]	I		UI		
RX_D(1)[1] /LVDS(1)-RX+	I/ LI+	RX_D(1)[1]	I	LVDS(1)-RX+	LI+		1.2MΩ PD
RX_D(1)[2]	I	RX_D(1)[2]	I		UI		
RX_D(1)[3]	I	RX_D(1)[3]	I		UI		
RX_DV(1) /LVDS(1)-RX-	I/ LI-	RX_DV(1)	I	LVDS(1)-RX-	LI-		1.2MΩ PU
RX_ERR(1)	I	RX_ERR(1)	I		UI		
RX_CLK(1)	I	RX_CLK(1)	I		UI		
LINK_MII(1)	I	LINK_MII(1)	I		UI		
PERR(1)/TRANS(1) /CLK_MODE(1)	BD	PERR(1) /TRANS(1)	O /I	PERR(1)	O	CLK_MODE[1]	
LINKACT(1) /P_CONF(1)	BD	LINKACT(1)	O	LINKACT(1)	O	P_CONF[1]	

3.2.10.6 物理端口 2/PDI Byte4

下表为物理端口 2 的引脚或者作为 PDI Byte4（PDI[39:32]）。这些引脚能够被配置为 MII 接口或者 LVDS 接口使用。

表 3-39 物理端口 2/PDI Byte4

	引脚		PDI		MII		LVDS		配置信号	内部上拉/下拉电阻
	名称	方向	信号	方向	信号	方向	信号	方向		
PDI Byte 4	PDI[32]/TX_D(2)[3]	BD	PDI[32]	BD	TX_D(2)[3]	O	PDI[32]	BD		
	PDI[33]/TX_D(2)[2]	BD	PDI[33]	BD	TX_D(2)[2]	O	PDI[33]	BD		
	PDI[34] /TX_D(2)[0] /CTRL_STATUS_MOVE	BD	PDI[34]	BD	TX_D(2)[0]	O	PDI[34]	BD	CTRL_ STATUS_ MOVE	
	PDI[35]/RX_ERR(2)	BD	PDI[35]	BD	RX_ERR(2)	I	PDI[35]	BD		
	PDI[36]/RX_CLK(2)	BD	PDI[36]	BD	RX_CLK(2)	I	PDI[36]	BD		
	PDI[37]/RX_D(2)[0]	BD	PDI[37]	BD	RX_D(2)[0]	I	PDI[37]	BD		
	PDI[38]/RX_D(2)[2]	BD	PDI[38]	BD	RX_D(2)[2]	I	PDI[38]	BD		
	PDI[39]/RX_D(2)[3]	BD	PDI[39]	BD	RX_D(2)[3]	I	PDI[39]	BD		

表 3-40 物理端口 2

引脚		仅 2 端口		MII		LVDS		配置信号	内部上拉/下拉电阻
名称	方向	信号	方向	信号	方向	信号	方向		
TX_ENA(2) /LVDS(2)-TX+	BD /LO+		UI	TX_ENA(2)	O/I	LVDS(2)-TX+	LO+		
TX_D(2)[1] /LVDS(2)-TX-	O /LO		n.c.	TX_D(2)[1]	O	LVDS(2)-TX-	LO-		
RX_DV(2) /LVDS(2)-RX-	I /LI-		UI	RX_DV(2)	I	LVDS(2)-RX-	LI-		1.2MΩ PU
RX_D(2)[1] /LVDS(2)-RX+	I /LI+		UI	RX_D(2)[1]	I	LVDS(2)-RX+	LI+		1.2MΩ PD
PERR(2) /TRANS(2) /PHYAD_OFF	BD		O	PERR(2)/ TRANS(2)	O/I	PERR(2)	O	PHYAD_OFF	
LINKACT(2)/ P_CONF[2]	BD		O	LINKACT(2)	O	LINKACT(2)	O	P_CONF[2]	
LINK_MII(2)/ CLK25OUT1	BD	CLK25OUT1	O	LINK_MII(2)	I	CLK25OUT1	O		

3.2.10.7 物理端口 3/PDI Byte2 和 Byte3

下表为用于物理端口 3 或者 PDI Byte2/3（PDI[23:16]，PDI[31:17]）的引脚。这些引脚能够被配置为 MII 接口或者 LVDS 接口使用。

表 3-41 物理端口 2/PDI Byte2 和 Byte3

	引脚		PDI		MII		LVDS		配置信号	内部上拉/下拉电阻
	名称	方向	信号	方向	信号	方向	信号	方向		
PDI Byte 2	PDI[16] /RX_ERR(3)	BD	PDI[16]	BD	RX_ERR(3)	I	PDI[16]	BD		
	PDI[17] /RX_CLK(3)	BD	PDI[17]	BD	RX_CLK(3)	I	PDI[17]	BD		
	PDI[18] /RX_D(3)[0]	BD	PDI[18]	BD	RX_D(3)[0]	I	PDI[18]	BD		
	PDI[19] /RX_D(3)[2]	BD	PDI[19]	BD	RX_D(3)[2]	I	PDI[19]	BD		
	PDI[20] /RX_D(3)[3]	BD	PDI[20]	BD	RX_D(3)[3]	I	PDI[20]	BD		
	PDI[21] /LINK_MII(3)	BD	PDI[21]	BD	LINK_MII(3)	I	PDI[21]	BD		
	PDI[22] /TX_D(3)[3]	BD	PDI[22]	BD	TX_D(3)[3]	O	PDI[22]	BD		
	PDI[23]/TX_D(3)[2]	BD	PDI[23]	BD	TX_D(3)[2]	O	PDI[23]	BD		
PDI Byte 3	PDI[24] /TX_D(3)[1] /LVDS(3)-TX-	BD/ LO	PDI[24]	BD	TX_D(3)[1]	O	LVDS(3)-TX-	LO-		
	PDI[25]/TX_D(3)[0]	BD	PDI[25]	BD	TX_D(3)[0]	O		UI		
	PDI[26] /TX_ENA(3) /LVDS(3)-TX+	BD/ LO+	PDI[26]	BD	TX_ENA(3)	O/I	LVDS(3)-TX+	LO+		
	PDI[27] /RX_DV(3) /LVDS(3)-RX-	BD/ LI	PDI[27]	BD	RX_DV(3)	I	LVDS(3)-RX-	LI-		1.2MΩ PU
	PDI[28] /PERR(3) /TRANS(3)	BD	PDI[28]	BD	PERR(3) /TRANS(3)	O/I	PERR(3)	O	RESERVED	
	PDI[29] /RX_D(3)[1] /LVDS(3)-RX+	BD/ LI+	PDI[29]	BD	RX_D(3)[1]	I	LVDS(3)-RX+	LI+		1.2MΩ PD
	PDI[30] /LINKACT(3) /P_CONF(3)	BD	PDI[30]	BD	LINKACT(3)	O	LINKACT(3)	O	P_CONF[3]	
	PDI[31] /CLK25OUT2	BD	PDI[31] /CLK25OUT2	BD	CLK25OUT2	O	CLK25OUT2	O		

3.2.10.8 PDI Byte0 和 Byte1

下表为 PDI Byte0 和 Byte1（PDI[15:0]）。所有 PDI 引脚的方向根据存储在 SII EEPROM 中的 PDI 配置决定。

表 3-42 PDI Byte0 和 Byte1

		引脚		PDI CLK_MODE=00		PDI CLK_MODE=00	
		名称	方向	信号	方向	信号	方向
PDI Byte 0	PDI[7:0]	PDI[0]	BD	PDI[0]	BD	PDI[0]	BD
		PDI[1]	BD	PDI[1]	BD	PDI[1]	BD
		PDI[2]	BD	PDI[2]	BD	PDI[2]	BD
		PDI[3]	BD	PDI[3]	BD	PDI[3]	BD
		PDI[4]	BD	PDI[4]	BD	PDI[4]	BD
		PDI[5]	BD	PDI[5]	BD	PDI[5]	BD
		PDI[6]	BD	PDI[6]	BD	PDI[6]	BD
		PDI[7]/CPU_CLK	BD	PDI[7]	BD	CPU_CLK	O
PDI Byte 1	PDI[8:15]	PDI[8]	BD	PDI[8]	BD	PDI[8]	BD
		PDI[9]	BD	PDI[9]	BD	PDI[9]	BD
		PDI[10]	BD	PDI[10]	BD	PDI[10]	BD
		PDI[11]	BD	PDI[11]	BD	PDI[11]	BD
		PDI[12]	BD	PDI[12]	BD	PDI[12]	BD
		PDI[13]	BD	PDI[13]	BD	PDI[13]	BD
		PDI[14]	BD	PDI[14]	BD	PDI[14]	BD
		PDI[15]	BD	PDI[15]	BD	PDI[15]	BD

3.2.11 取决于所选 PDI 的 PDI 信号引脚分配

EtherCAT 从站控制器芯片的应用数据接口称为过程数据接口，简称 PDI。根据选择的 PDI（SII EEPROM），对 PDI 进行信号引脚分配。PDI 的选择和 PDI 信号引脚受端口配置的限制。数字 I/O 和 SPI PDI 在任何配置中都是可用的，但是可以根据配置减少数字 I/O 的宽度。微处理器 PDI 最多只有 3 个端口，数据总线宽度可以根据配置减少。

有关 PDI 和 PDI 信号的进一步描述，请参阅 PDI 描述。

SPI PDI 支持额外的通用 I/O 信号，这不是 SPI PDI 描述的一部分：

GPO[x]

通用输出信号。

GPI[x]

通用输入信号。

3.2.11.1 数字 I/O 引脚

表 3-43 数字 I/O 接口的映射

	数字 I/O	PDI 信号	2 端口或者 3 端口最少 1xLVDS		3xMII,0xLVDS CTRL_STATUS_MOVE=			
					0		1	
			信号	方向	信号	方向	信号	方向
PDI Byte0	PDI[15:0]	PDI[0]	I/O[0]	I/O/BD	I/O[0]	I/O/BD	I/O[0]	I/O/BD
		PDI[1]	I/O[1]	I/O/BD	I/O[1]	I/O/BD	I/O[1]	I/O/BD
		PDI[2]	I/O[2]	I/O/BD	I/O[2]	I/O/BD	I/O[2]	I/O/BD
		PDI[3]	I/O[3]	I/O/BD	I/O[3]	I/O/BD	I/O[3]	I/O/BD
		PDI[4]	I/O[4]	I/O/BD	I/O[4]	I/O/BD	I/O[4]	I/O/BD
		PDI[5]	I/O[5]	I/O/BD	I/O[5]	I/O/BD	I/O[5]	I/O/BD
		PDI[6]	I/O[6]	I/O/BD	I/O[6]	I/O/BD	I/O[6]	I/O/BD
		PDI[7] /CPU_CLK	I/O[7] /CPU_CLK	I/O/BD /O	I/O[7] /CPU_CLK	I/O/BD /O	I/O[7] /CPU_CLK	I/O/BD /O
PDI Byte1		PDI[8]	I/O[8]	I/O/BD	I/O[8]	I/O/BD	I/O[8]	I/O/BD
		PDI[9]	I/O[9]	I/O/BD	I/O[9]	I/O/BD	I/O[9]	I/O/BD
		PDI[10]	I/O[10]	I/O/BD	I/O[10]	I/O/BD	I/O[10]	I/O/BD
		PDI[11]	I/O[11]	I/O/BD	I/O[11]	I/O/BD	I/O[11]	I/O/BD
		PDI[12]	I/O[12]	I/O/BD	I/O[12]	I/O/BD	I/O[12]	I/O/BD
		PDI[13]	I/O[13]	I/O/BD	I/O[13]	I/O/BD	I/O[13]	I/O/BD
		PDI[14]	I/O[14]	I/O/BD	I/O[14]	I/O/BD	I/O[14]	I/O/BD
		PDI[15]	I/O[15]	I/O/BD	I/O[15]	I/O/BD	I/O[15]	I/O/BD
PDI Byte2	PDI[23:16] /MII(3)	PDI[16]	I/O[16]	I/O/BD	I/O[16]	I/O/BD	I/O[16]	I/O/BD
		PDI[17]	I/O[17]	I/O/BD	I/O[17]	I/O/BD	I/O[17]	I/O/BD
		PDI[18]	I/O[18]	I/O/BD	I/O[18]	I/O/BD	I/O[18]	I/O/BD
		PDI[19]	I/O[19]	I/O/BD	I/O[19]	I/O/BD	I/O[19]	I/O/BD
		PDI[20]	I/O[20]	I/O/BD	I/O[20]	I/O/BD	I/O[20]	I/O/BD
		PDI[21]	I/O[21]	I/O/BD	I/O[21]	I/O/BD	I/O[21]	I/O/BD
		PDI[22]	I/O[22]	I/O/BD	I/O[22]	I/O/BD	I/O[22]	I/O/BD
		PDI[23]	I/O[23]	I/O/BD	I/O[23]	I/O/BD	I/O[23]	I/O/BD
PDI Byte3	PDI[31:24] /MII(3) /LVDS(3)	PDI[24]	I/O[24]	I/O/BD	I/O[24]	I/O/BD	SOF	O
		PDI[25]	I/O[25]	I/O/BD	I/O[25]	I/O/BD	OE_EXT	I
		PDI[26]	I/O[26]	I/O/BD	I/O[26]	I/O/BD	OUTVALID	O
		PDI[27]	I/O[27]	I/O/BD	I/O[27]	I/O/BD	WD_TRIG	O
		PDI[28]	I/O[28]	I/O/BD	I/O[28]	I/O/BD	LATCH_IN	I
		PDI[29]	I/O[29]	I/O/BD	I/O[29]	I/O/BD	OE_CONF	I

		PDI[30]	I/O[30]	I/O/BD	I/O[30]	I/O/BD	EEPROM_LOADED	O
		PDI[31] /CLK25OUT2	I/O /CLK25OUT2	I/O/BD /O	I/O /CLK25OUT2	I/O/BD /O	-- /CLK25OUT2	-- /O
PDI Byte4	PDI[39:32] /MII(2)	PDI[32]	SOF	O	MII(2)		MII(2)	
		PDI[33]	OE_EXT	I				
		PDI[34]	OUTVALID	O				
		PDI[35]	WD_TRIG	O				
		PDI[36]	LATCH_IN	I				
		PDI[37]	OE_CONF	I				
		PDI[38]	EEPROM_LOADED	O				
		PDI[39]	--	--				

表 3-44 数字 I/O 接口的映射（2）

	数字 I/O	PDI 信号	4 端口最少 2xLVDS		3xMII,1xLVDS CTRL_STATUS_MOVE=			
					0		1	
			信号	方向	信号	方向	信号	方向
PDI Byte0	PDI[15:0]	PDI[0]	I/O[0]	I/O/BD	I/O[0]	I/O/BD	I/O[0]	I/O/BD
		PDI[1]	I/O[1]	I/O/BD	I/O[1]	I/O/BD	I/O[1]	I/O/BD
		PDI[2]	I/O[2]	I/O/BD	I/O[2]	I/O/BD	I/O[2]	I/O/BD
		PDI[3]	I/O[3]	I/O/BD	I/O[3]	I/O/BD	I/O[3]	I/O/BD
		PDI[4]	I/O[4]	I/O/BD	I/O[4]	I/O/BD	I/O[4]	I/O/BD
		PDI[5]	I/O[5]	I/O/BD	I/O[5]	I/O/BD	I/O[5]	I/O/BD
		PDI[6]	I/O[6]	I/O/BD	I/O[6]	I/O/BD	I/O[6]	I/O/BD
		PDI[7] /CPU_CLK	I/O[7] /CPU_CLK	I/O/BD /O	I/O[7] /CPU_CLK	I/O/BD /O	I/O[7] /CPU_CLK	I/O/BD /O
PDI Byte1		PDI[8]	I/O[8]	I/O/BD	I/O[8]	I/O/BD	I/O[8]	I/O/BD
		PDI[9]	I/O[9]	I/O/BD	I/O[9]	I/O/BD	I/O[9]	I/O/BD
		PDI[10]	I/O[10]	I/O/BD	I/O[10]	I/O/BD	I/O[10]	I/O/BD
		PDI[11]	I/O[11]	I/O/BD	I/O[11]	I/O/BD	I/O[11]	I/O/BD
		PDI[12]	I/O[12]	I/O/BD	I/O[12]	I/O/BD	I/O[12]	I/O/BD
		PDI[13]	I/O[13]	I/O/BD	I/O[13]	I/O/BD	I/O[13]	I/O/BD
		PDI[14]	I/O[14]	I/O/BD	I/O[14]	I/O/BD	I/O[14]	I/O/BD
		PDI[15]	I/O[15]	I/O/BD	I/O[15]	I/O/BD	I/O[15]	I/O/BD
PDI Byte2	PDI[23:16] /MII(3)	PDI[16]	I/O[16]	I/O/BD	I/O[16]	I/O/BD	SOF	O
		PDI[17]	I/O[17]	I/O/BD	I/O[17]	I/O/BD	OE_EXT	I
		PDI[18]	I/O[18]	I/O/BD	I/O[18]	I/O/BD	OUTVALID	O
		PDI[19]	I/O[19]	I/O/BD	I/O[19]	I/O/BD	WD_TRIG	O
		PDI[20]	I/O[20]	I/O/BD	I/O[20]	I/O/BD	LATCH_IN	I
		PDI[21]	I/O[21]	I/O/BD	I/O[21]	I/O/BD	OE_CONF	I
		PDI[22]	I/O[22]	I/O/BD	I/O[22]	I/O/BD	EEPROM_LOADED	O
		PDI[23]	I/O[23]	I/O/BD	I/O[23]	I/O/BD	--	--
PDI Byte3	PDI[31:24] /MII(3) /LVDS(3)	PDI[24]	LVDS(3)		LVDS(3)		LVDS(3)	
		PDI[25]						
		PDI[26]						
		PDI[27]						
		PDI[28]						
		PDI[29]						
		PDI[30]						
		PDI[31] /CLK25OUT2						

PDI Byte4	PDI[39:32] /MII(2)	PDI[32]	SOF	O	MII(2)	MII(2)
		PDI[33]	OE_EXT	I		
		PDI[34]	OUTVALID	O		
		PDI[35]	WD_TRIG	O		
		PDI[36]	LATCH_IN	I		
		PDI[37]	OE_CONF	I		
		PDI[38]	EEPROM_LOADED	O		
		PDI[39]	--	--		

表 3-45 数字 I/O 接口的映射（3）

	数字 I/O	PDI 信号	4xMII,0xLVDS CTRL_STATUS_MOVE=			
			0		1	
			信号	方向	信号	方向
PDI Byte0	PDI[15:0]	PDI[0]	I/O[0]	I/O/BD	I/O[0]	I/O/BD
		PDI[1]	I/O[1]	I/O/BD	I/O[1]	I/O/BD
		PDI[2]	I/O[2]	I/O/BD	I/O[2]	I/O/BD
		PDI[3]	I/O[3]	I/O/BD	I/O[3]	I/O/BD
		PDI[4]	I/O[4]	I/O/BD	I/O[4]	I/O/BD
		PDI[5]	I/O[5]	I/O/BD	I/O[5]	I/O/BD
		PDI[6]	I/O[6]	I/O/BD	I/O[6]	I/O/BD
		PDI[7] /CPU_CLK	I/O[7] /CPU_CLK	I/O/BD /O	I/O[7] /CPU_CLK	I/O/BD /O
PDI Byte1		PDI[8]	I/O[8]	I/O/BD	SOF	O
		PDI[9]	I/O[9]	I/O/BD	OE_EXT	I
		PDI[10]	I/O[10]	I/O/BD	OUTVALID	O
		PDI[11]	I/O[11]	I/O/BD	WD_TRIG	O
		PDI[12]	I/O[12]	I/O/BD	LATCH_IN	I
		PDI[13]	I/O[13]	I/O/BD	OE_CONF	I
		PDI[14]	I/O[14]	I/O/BD	EEPROM_LOADED	O
		PDI[15]	I/O[15]	I/O/BD	--	--
PDI Byte2	PDI[23:16] /MII(3)	PDI[16]	MII(3)		MII(3)	
		PDI[17]				
		PDI[18]				
		PDI[19]				
		PDI[20]				
		PDI[21]				
		PDI[22]				
		PDI[23]				
PDI Byte3	PDI[31:24] /MII(3) /LVDS(3)	PDI[24]	MII(3)		MII(3)	
		PDI[25]				
		PDI[26]				
		PDI[27]				
		PDI[28]				
		PDI[29]				

		PDI[30]		
		PDI[31] /CLK25OUT2		
PDI Byte4	PDI[39:32] /MII(2)	PDI[32]	MII(2)	MII(2)
		PDI[33]		
		PDI[34]		
		PDI[35]		
		PDI[36]		
		PDI[37]		
		PDI[38]		
		PDI[39]		

3.2.11.2 8/16 Bit 异步微处理器接口

表 3-46 异步微处理器接口与 FCE1100 端口的映射

	异步微处理器	PDI 信号	2 端口或者 3 端口至少 1xLVDS				3xMII,0xLVDS	
			8bit		16bit		8bit	
			信号	方向	信号	方向	信号	方向
PDI Byte0	PDI[15:0]	PDI[0]	CS	I	CS	I	CS	I
		PDI[1]	RD	I	RD	I	RD	I
		PDI[2]	WR	I	WR	I	WR	I
		PDI[3]	BUSY	O	BUSY	O	BUSY	O
		PDI[4]	IRQ	O	IRQ	O	IRQ	O
		PDI[5]	BHE	I	BHE	I	BHE	I
		PDI[6]	EEPROM_LOADED	O	EEPROM_LOADED	O	EEPROM_LOADED	O
		PDI[7] /CPU_CLK	ADR[15] /CPU_CLK	I /O	ADR[15] /CPU_CLK	I /O	ADR[15] /CPU_CLK	I /O
PDI Byte1		PDI[8]	ADR[14]	I	ADR[14]	I	ADR[14]	I
		PDI[9]	ADR[13]	I	ADR[13]	I	ADR[13]	I
		PDI[10]	ADR[12]	I	ADR[12]	I	ADR[12]	I
		PDI[11]	ADR[11]	I	ADR[11]	I	ADR[11]	I
		PDI[12]	ADR[10]	I	ADR[10]	I	ADR[10]	I
		PDI[13]	ADR[9]	I	ADR[9]	I	ADR[9]	I
		PDI[14]	ADR[8]	I	ADR[8]	I	ADR[8]	I
		PDI[15]	ADR[7]	I	ADR[7]	I	ADR[7]	I
PDI Byte2	PDI[23:16] /MII(3)	PDI[16]	ADR[6]	I	ADR[6]	I	ADR[6]	I
		PDI[17]	ADR[5]	I	ADR[5]	I	ADR[5]	I
		PDI[18]	ADR[4]	I	ADR[4]	I	ADR[4]	I
		PDI[19]	ADR[3]	I	ADR[3]	I	ADR[3]	I
		PDI[20]	ADR[2]	I	ADR[2]	I	ADR[2]	I
		PDI[21]	ADR[1]	I	ADR[1]	I	ADR[1]	I
		PDI[22]	ADR[0]	I	ADR[0]	I	ADR[0]	I
		PDI[23]	DATA[0]	BD	DATA[0]	BD	DATA[0]	BD
PDI Byte3	PDI[31:24] /MII(3) /LVDS(3)	PDI[24]	DATA[1]	BD	DATA[1]	BD	DATA[1]	BD
		PDI[25]	DATA[2]	BD	DATA[2]	BD	DATA[2]	BD
		PDI[26]	DATA[3]	BD	DATA[3]	BD	DATA[3]	BD
		PDI[27]	DATA[4]	BD	DATA[4]	BD	DATA[4]	BD
		PDI[28]	DATA[5]	BD	DATA[5]	BD	DATA[5]	BD
		PDI[29]	DATA[6]	BD	DATA[6]	BD	DATA[6]	BD
		PDI[30]	DATA[7]	BD	DATA[7]	BD	DATA[7]	BD

		PDI[31] /CLK25OUT2	-- /CLK25OUT2	-- /O	-- /CLK25OUT2	-- /O	-- /CLK25OUT2	-- /O
PDI Byte4	PDI[39:32] /MII(2)	PDI[32]	--	--	DATA[8]	BD	MII(2)	
		PDI[33]	--	--	DATA[9]	BD		
		PDI[34]	--	--	DATA[10]	BD		
		PDI[35]	--	--	DATA[11]	BD		
		PDI[36]	--	--	DATA[12]	BD		
		PDI[37]	--	--	DATA[13]	BD		
		PDI[38]	--	--	DATA[14]	BD		
		PDI[39]	--	--	DATA[15]	BD		

3.2.11.3 8/16 Bit 同步微处理器接口

表 3-47 同步微处理器接口与 FCE1100 端口的映射

	同步微处理器	PDI 信号	2 端口或者 3 端口至少 1xLVDS				3xMII,0xLVDS	
			8bit		16bit		8bit	
			信号	方向	信号	方向	信号	方向
PDI Byte0	PDI[15:0]	PDI[0]	CS	I	CS	I	CS	I
		PDI[1]	TS	I	TS	I	TS	I
		PDI[2]	RD/nWR	I	RD/nWR	I	RD/nWR	I
		PDI[3]	TA	O	TA	O	TA	O
		PDI[4]	IRQ	O	IRQ	O	IRQ	O
		PDI[5]	BHE	I	BHE	I	BHE	I
		PDI[6]	EEPROM_LOADED	O	EEPROM_LOADED	O	EEPROM_LOADED	O
		PDI[7] /CPU_CLK	ADR[15] /CPU_CLK	I /O	ADR[15] /CPU_CLK	I /O	ADR[15] /CPU_CLK	I /O
PDI Byte1		PDI[8]	ADR[14]	I	ADR[14]	I	ADR[14]	I
		PDI[9]	ADR[13]	I	ADR[13]	I	ADR[13]	I
		PDI[10]	ADR[12]	I	ADR[12]	I	ADR[12]	I
		PDI[11]	ADR[11]	I	ADR[11]	I	ADR[11]	I
		PDI[12]	ADR[10]	I	ADR[10]	I	ADR[10]	I
		PDI[13]	ADR[9]	I	ADR[9]	I	ADR[9]	I
		PDI[14]	ADR[8]	I	ADR[8]	I	ADR[8]	I
		PDI[15]	ADR[7]	I	ADR[7]	I	ADR[7]	I
PDI Byte2	PDI[23:16] /MII(3)	PDI[16]	ADR[6]	I	ADR[6]	I	ADR[6]	I
		PDI[17]	ADR[5]	I	ADR[5]	I	ADR[5]	I
		PDI[18]	ADR[4]	I	ADR[4]	I	ADR[4]	I
		PDI[19]	ADR[3]	I	ADR[3]	I	ADR[3]	I
		PDI[20]	ADR[2]	I	ADR[2]	I	ADR[2]	I
		PDI[21]	ADR[1]	I	ADR[1]	I	ADR[1]	I
		PDI[22]	ADR[0]	I	ADR[0]	I	ADR[0]	I
		PDI[23]	DATA[0]	BD	DATA[0]	BD	DATA[0]	BD
PDI Byte3	PDI[31:24] /MII(3) /LVDS(3)	PDI[24]	DATA[1]	BD	DATA[1]	BD	DATA[1]	BD
		PDI[25]	DATA[2]	BD	DATA[2]	BD	DATA[2]	BD
		PDI[26]	DATA[3]	BD	DATA[3]	BD	DATA[3]	BD
		PDI[27]	DATA[4]	BD	DATA[4]	BD	DATA[4]	BD
		PDI[28]	DATA[5]	BD	DATA[5]	BD	DATA[5]	BD
		PDI[29]	DATA[6]	BD	DATA[6]	BD	DATA[6]	BD
		PDI[30]	DATA[7]	BD	DATA[7]	BD	DATA[7]	BD

		PDI[31]	CPU_CLK_IN	I	CPU_CLK_IN	I	CPU_CLK_IN	I
PDI Byte4	PDI[39:32] /MII(2)	PDI[32]	--	--	DATA[8]	BD	MII(2)	
		PDI[33]	--	--	DATA[9]	BD		
		PDI[34]	--	--	DATA[10]	BD		
		PDI[35]	--	--	DATA[11]	BD		
		PDI[36]	--	--	DATA[12]	BD		
		PDI[37]	--	--	DATA[13]	BD		
		PDI[38]	--	--	DATA[14]	BD		
		PDI[39]	--	--	DATA[15]	BD		

3.2.11.4 SPI 引脚分配

表 3-48 SPI 从站接口与 FCE1100 端口的映射（1）

	SPI	PDI 信号	2 端口或者 3 端口 最少 1xLVDS		3xMII,0xLVDS	
			信号	方向	信号	方向
PDI Byte0	PDI[15:0]	PDI[0]	SPI_CLK	I	SPI_CLK	I
		PDI[1]	SPI_SEL	I	SPI_SEL	I
		PDI[2]	SPI_DI	I	SPI_DI	I
		PDI[3]	SPI_DO	O	SPI_DO	O
		PDI[4]	SPI_IRQ	O	SPI_IRQ	O
		PDI[5]	--	--	--	--
		PDI[6]	EEPROM_LOADED	O	EEPROM_LOADED	O
		PDI[7] /CPU_CLK	-- /CPU_CLK	-- /O	-- /CPU_CLK	-- /O
PDI Byte1		PDI[8]	GPO[0]	O	GPO[0]	O
		PDI[9]	GPO[1]	O	GPO[1]	O
		PDI[10]	GPO[2]	O	GPO[2]	O
		PDI[11]	GPO[3]	O	GPO[3]	O
		PDI[12]	GPI[0]	I	GPI[0]	I
		PDI[13]	GPI[1]	I	GPI[1]	I
		PDI[14]	GPI[2]	I	GPI[2]	I
		PDI[15]	GPI[3]	I	GPI[3]	I
PDI Byte2	PDI[23:16] /MII(3)	PDI[16]	GPO[4]	O	GPO[4]	O
		PDI[17]	GPO[5]	O	GPO[5]	O
		PDI[18]	GPO[6]	O	GPO[6]	O
		PDI[19]	GPO[7]	O	GPO[7]	O
		PDI[20]	GPI[4]	I	GPI[4]	I
		PDI[21]	GPI[5]	I	GPI[5]	I
		PDI[22]	GPI[6]	I	GPI[6]	I
		PDI[23]	GPI[7]	I	GPI[7]	I
PDI Byte3	PDI[31:24] /MII(3) /LVDS(3)	PDI[24]	GPO[8]	O	GPO[8]	O
		PDI[25]	GPO[9]	O	GPO[9]	O
		PDI[26]	GPO[10]	O	GPO[10]	O
		PDI[27]	GPO[11]	O	GPO[11]	O
		PDI[28]	GPI[8]	I	GPI[8]	I

		PDI[29]	GPI[9]	I	GPI[9]	I
		PDI[30]	GPI[10]	I	GPI[10]	I
		PDI[31] /CLK25OUT2	GPI[11] /CLK25OUT2	I /O	GPI[11] /CLK25OUT2	I /O
PDI Byte4	PDI[39:32] /MII(2)	PDI[32]	GPO[12]	O	MII(2)	
		PDI[33]	GPO[13]	O		
		PDI[34]	GPO[14]	O		
		PDI[35]	GPO[15]	O		
		PDI[36]	GPI[12]	I		
		PDI[37]	GPI[13]	I		
		PDI[38]	GPI[14]	I		
		PDI[39]	GPI[15]	I		

表 3-49 SPI 从站接口与 FCE1100 端口的映射（2）

	SPI	PDI 信号	4 端口最少 2xLVDS		3xMII,1xLVDS		4xMII	
			信号	方向	信号	方向	信号	方向
PDI Byte0	PDI[15:0]	PDI[0]	SPI_CLK	I	SPI_CLK	I	SPI_CLK	I
		PDI[1]	SPI_SEL	I	SPI_SEL	I	SPI_SEL	I
		PDI[2]	SPI_DI	I	SPI_DI	I	SPI_DI	I
		PDI[3]	SPI_DO	O	SPI_DO	O	SPI_DO	O
		PDI[4]	SPI_IRQ	O	SPI_IRQ	O	SPI_IRQ	O
		PDI[5]	--	--	--	--	--	--
		PDI[6]	EEPROM_LOADED	O	EEPROM_LOADED	O	EEPROM_LOADED	O
		PDI[7] /CPU_CLK	-- /CPU_CLK	-- /O	-- /CPU_CLK	-- /O	-- /CPU_CLK	-- /O
PDI Byte1		PDI[8]	GPO[0]	O	GPO[0]	O	GPO[0]	O
		PDI[9]	GPO[1]	O	GPO[1]	O	GPO[1]	O
		PDI[10]	GPO[2]	O	GPO[2]	O	GPO[2]	O
		PDI[11]	GPO[3]	O	GPO[3]	O	GPO[3]	O
		PDI[12]	GPI[0]	I	GPI[0]	I	GPI[0]	I
		PDI[13]	GPI[1]	I	GPI[1]	I	GPI[1]	I
		PDI[14]	GPI[2]	I	GPI[2]	I	GPI[2]	I
		PDI[15]	GPI[3]	I	GPI[3]	I	GPI[3]	I
PDI Byte2	PDI[23:16] /MII(3)	PDI[16]	GPO[4]	O	GPO[4]	O	MII(3)	
		PDI[17]	GPO[5]	O	GPO[5]	O		
		PDI[18]	GPO[6]	O	GPO[6]	O		
		PDI[19]	GPO[7]	O	GPO[7]	O		
		PDI[20]	GPI[4]	I	GPI[4]	I		
		PDI[21]	GPI[5]	I	GPI[5]	I		
		PDI[22]	GPI[6]	I	GPI[6]	I		
		PDI[23]	GPI[7]	I	GPI[7]	I		
PDI Byte3	PDI[31:24] /MII(3) /LVDS(3)	PDI[24]	LVDS(3)		LVDS(3)		MII(3)	
		PDI[25]						
		PDI[26]						
		PDI[27]						
		PDI[28]						
		PDI[29]						
		PDI[30]						
		PDI[31] /CLK25OUT2						
PDI Byte4	PDI[39:32] /MII(2)	PDI[32]	GPO[12]	O	GPO[12]	O	MII(2)	
		PDI[33]	GPO[13]	O	GPO[13]	O		

		PDI[34]	GPO[14]	O	GPO[14]	O	
		PDI[35]	GPO[15]	O	GPO[15]	O	
		PDI[36]	GPI[12]	I	GPI[12]	I	
		PDI[37]	GPI[13]	I	GPI[13]	I	
		PDI[38]	GPI[14]	I	GPI[14]	I	
		PDI[39]	GPI[15]	I	GPI[15]	I	

3.2.12 测试模式引脚

TESTMODE 为 FCE1100 的用于测试模式的保留引脚，应接到 GND。

表 3-50 TESTMODE 引脚

引脚		信号		信号描述	内部上拉/下拉电阻
名称	方向	信号	方向		
TESTMODE	I	TESTMODE	I		WPD

3.2.13 保留引脚

下表为 FCE1100 未使用的保留引脚，可悬空或接地，建议连接到 $GND_{I/O}$。

表 3-51 保留引脚

名称	方向	连接到
Res.[0]	I	$GND_{I/O}$
Res.[1]	I	$GND_{I/O}$
Res.[2]	I	$GND_{I/O}$
Res.[3]	I	$GND_{I/O}$
Res.[4]	I	$GND_{I/O}$
Res.[5]	I	$GND_{I/O}$
Res.[6]	I	$GND_{I/O}$
Res.[7]	I	$GND_{I/O}$

4 LVDS 接口

4.1 LVDS 接口信号

LVDS 接口有以下信号：

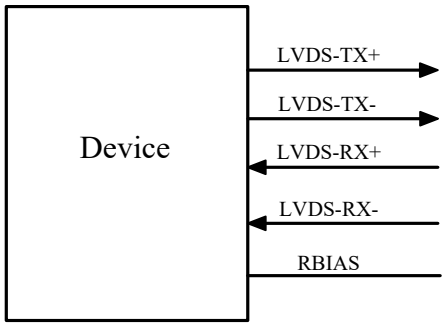


图 4-1 LVDS 接口信号

表 4-1 LVDS 接口信号

信号	方向	描述
LVDS(x)-RX+ LVDS(x)-RX-	I	LVDS 发射信号。
LVDS(x)-TX+ LVDS(x)-TX-	O	LVDS 接收信号
RBIAS		用于对 LVDS-TX 信号进行电流调节的偏置电阻

【注意】LVDS 端口需要在 LVDS-RX+和 LVDS-RX-端口之间使用阻值为 100Ω 的外部 LVDS 终端电阻。LVDS-RX+集成了一个下拉电阻，LVDS-RX-集成了一个上拉电阻。

4.1.1 LVDS 接口信号连接举例

下图为两个芯片使用了 LVDS 接口连接的示意图。使用两对 LVDS 线对，一对接收数据帧，一对发送数据帧。每对 LVDS 线对跨接一个 100Ω 的负载电阻，不需要其他物理层元器件，缩短了从站之间的传输延时，减少了元器件。

LVDS 可以满足快速以太网 100Mbit/s 数据传输的波特率，对 EtherCAT 数据帧进行简单的封装，能够传输任意 EtherCAT 数据帧。

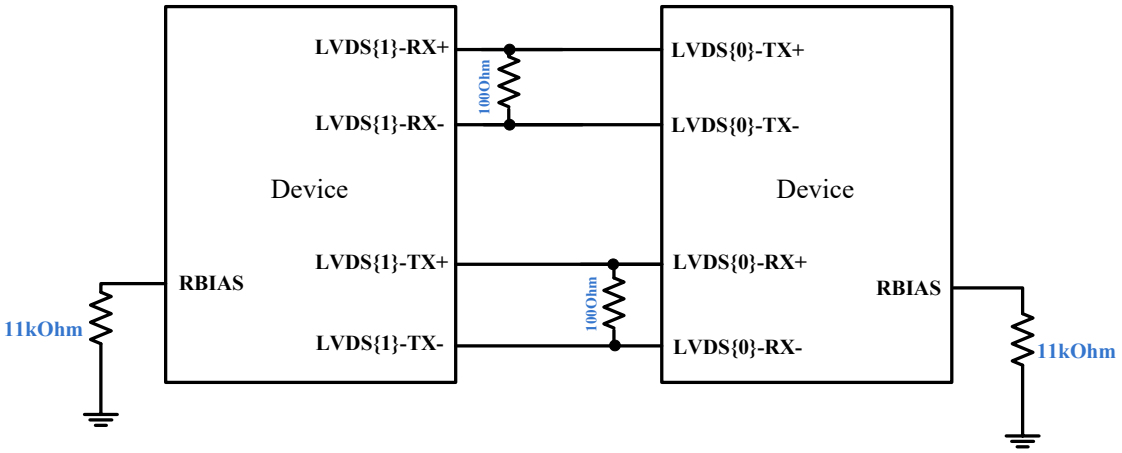


图 4-2 两片芯片 LVDS 接口连接举例

5 MII 接口

FCE1100 通过 MII 接口与以太网 PHY 连接。FCE1100 的 MII 接口通过省略一个传输 FIFO 来优化低处理/转发延迟。为了做到这一点，FCE1100 对以太网 PHY 有额外的要求，而这些要求，一些 PHY 供应商很容易完成。

关于 FCE1100 的其它信息：

- PHY 的时钟源是 FCE1100 的 CLK25OUT1/2。
- PHY 的 TX_CLK 信号没有连接到 FCE1100。FCE1100 不使用用于链路检测或者链路配置的 MII 接口。

5.1 MII 接口信号

FCE1100 的 MII 接口有以下信号：

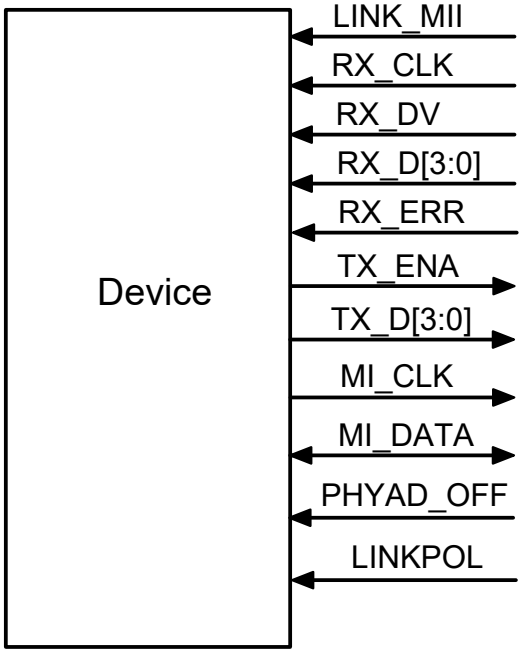


图 5-1 MII 接口信号

表 5-1 MII 接口信号

信号	方向	描述
LINK_MII	I	由 PHY 提供的表示一个 100Mbit/s（全双工）链路建立的输入信号
RX_CLK	I	接收时钟
RX_DV	I	接收数据有效
RX_D[3:0]	I	接收数据（又名 RXD）
RX_ERR	I	接收错误（又名 RX_ER）
TX_ENA	O	传输使能（又名 TX_EN）
TX_D[3:0]	O	传输数据（又名 TXD）
MI_CLK	O	管理接口时钟（又名 MCLK)
MI_DATA	B	管理接口数据（又名 MDIO)
PHYAD_OFF	I	配置：PHY 地址偏移
LINKPOL	I	配置：LINK_MII 极性

MI_DATA 必须连接一个外部上拉电阻（对于以太网从站控制器推荐使用 4.7kΩ）。MI_CLK 是轨对轨（rail-to-rail）驱动，空闲值为高电平。

5.2 PHY 地址配置

FCE1100 使用逻辑端口号（或者 PHY 地址寄存器值）加上 PHY 地址偏移量来寻址以太网 PHY。通常情况下，以太网 PHY 地址应该与逻辑端口号相对应，因此 PHY 地址 0-3 被使用。

可以使用一个 16 的 PHY 地址偏移量，通过反转 PHY 地址内部的 MSB，将 PHY 地址移动到 16-19。

如果这两个备选方案都不能使用，则应将 PHY 配置为使用实际的 PHY 地址偏移量 1，即 PHY 地址为 1-4。FCE1100 的 PHY 地址偏移配置保持为 0。

5.3 TX 位移补偿

因为 FCE1100 和以太网 PHY 共享相同的时钟源，来自 PHY 的 TX_CLK 与来自 FCE1100 的 TX_ENA/TX_D[3:0]具有固定的相位关系。因此，TX_CLK 不连接，并且保存了 FCE1100 内部 TX FIFO 的延迟。TX_CLK 和 TX_ENA/TX_D[3:0]之间的相移可以通过适当的 TX Shift 值进行补偿，那将会使 TX_ENA/TX_D[3:0]延迟 0ns，10ns，20ns 或者 30ns。

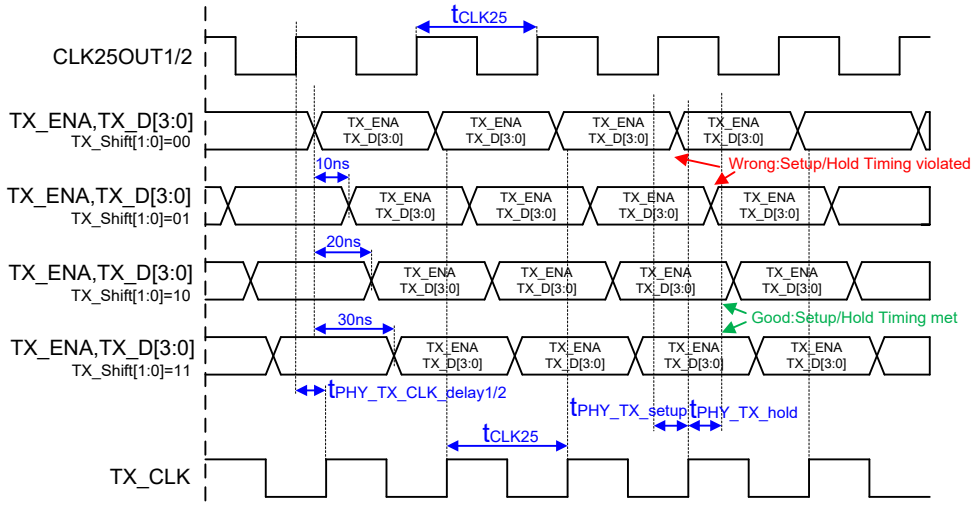


图 5-2 TX Shift 时序图

表 5-2 TX Shift 时序特征

信号	描述
t_{CLK25}	25MHz clock source (OSC_IN, see f_{CLK25})
$t_{PHY_TX_CLK_delay1/2}$	Delay between PHY clock source CLK25OUT1/2 and TX_CLK output of the PHY, PHY dependent
$t_{PHY_TX_setup}$	PHY setup requirement: TX_ENA/TX_DATA with respect to TX_CLK (PHY dependent, IEEE802.3 limit is 15ns)
$t_{PHY_TX_hold}$	PHY hold requirement: TX_ENA/TX_DATA with respect to TX_CLK (PHY dependent, IEEE802.3 limit is 0ns)

【注意】TX Shift 可以通过在示波器上显示的 PHY 的 TX_CLK 和 TX_ENA/TX_D[3:0]进行调节。TX_ENA/TX_D[3:0]在 TX_CLK 上升沿后允许在 0ns 到 25ns 之间变化（根据 IEEE802.3-检查您的 PHY 文档，它可能会包含宽松的时序要求）。配置 TX Shift，使 TX_ENA/TX_D[3:0]在这个范围的中间变化。因为 TX_ENA/TX_D[3:0]几乎是同时产生的，所以只要检查其中一个就足够了。

5.4 时序特征

表 5-3 MII 时序特征

参数	最小	典型	最大	描述
t_{RX_CLK}	40ns±100ppm			RX_CLK period (100ppm with maximum FIFO Size only)
t_{RX_setup}	6	-	-	RX_DV/RX_DATA/RX_D[3:0] valid before rising edge of RX_CLK
t_{RX_hold}	5	-	-	RX_DV/RX_DATA/RX_D[3:0] valid after rising edge of RX_CLK
t_{Clk}	-	~1.44μs	-	MI_CLK period (f_{Clk} ≈ 700kHz)
t_{Write}	-	~92.16μs	-	MI Write access time
t_{Read}	-	~91.44μs	-	MI Read access time

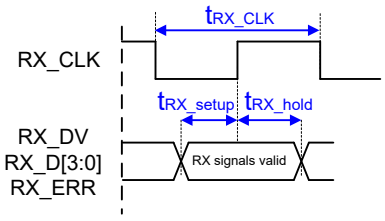


图 5-3 MII 时序 RX 信号

6 PDI 描述

表 6-1 用于 FCE1100 的可用 PDI

PDI 值 （PDI 控制寄存器 0x0140[7:0]）	PDI 名称	FCE1100
0	接口无效	x
4	数字 I/O	x
5	SPI 从站	x
7	EtherCAT 桥（端口 3）	
8	16 位异步 µC	x
9	8 位异步 µC	x
10	16 位同步 µC	x
11	8 位同步 µC	x
16	32 数字输入/0 数字输出	
17	24 数字输入/8 数字输出	
18	16 数字输入/16 数字输出	
19	8 数字输入/24 数字输出	
20	0 数字输入/32 数字输出	
128	片上总线	
其它	保留	

【注】上表概述图例如下：

符号	描述
x	可用
-	不可用
c	配置

6.1 PDI 停用

PDI 类型为 0x00 时 PDI 停用。此时 PDI 引脚没有被驱动（高阻状态）。

6.2 数字 I/O 接口

6.2.1 接口

选择数字 I/O 时 PDI 类型为 0x04。数字 I/O 接口的信号有：

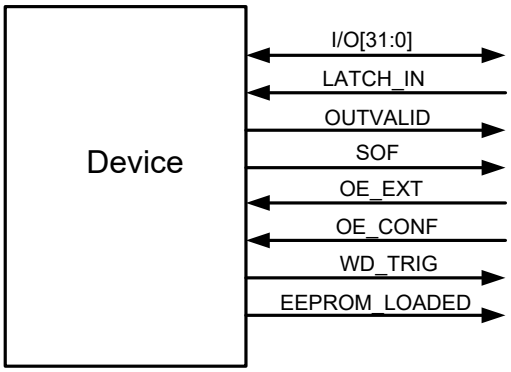


图 6-1 数字 I/O 信号

表 6-2 数字 I/O 信号

信号	方向	描述	信号极性
DIGIO[31:0]	I/O/BD	输入/输出或者双向数据	
LATCH_IN	I/O	外部数据锁存信号	高电平有效
OUTVALID	O	输出数据有效/输出事件	高电平有效
SOF	O	开始帧	高电平有效
OE_EXT	I	输出使能	高电平有效
OE_CONF	I	输出使能配置	
WD_TRIG	O	看门狗触发	高电平有效
EEPEOM_LOADED	O	PDI 有效，EEPROM 加载	高电平有效

6.2.2 配置

在 PDI 控制寄存器 0x0140 中选择 PDI 类型 0x04 的数字 I/O 接口。它支持不同的配置，它们位于寄存器 0x0150-0x0153 中。

6.2.3 数字输入

数字输入值出现在地址为 0x1000:0x1003 的过程内存中。EtherCAT 器件使用了小端序（Little Endian）字节顺序，因此 I/O[7:0]可以在 0x1000 等处读取。数字输入通过 Digital I/O PDI 使用标准 PDI 写操作写入过程内存中。

数字输入可以被 EtherCAT 从站控制器配置使用四种方式进行采样：

- 在每个以太网帧开始时对数字输入进行采样，以便 EtherCAT 读取地址 0x1000:0x1003 的命令将在同一帧开始时呈现采样的数字输入值。因为 SOF 信号是在输入数据采样之前发出的，所以 SOF 信号可以在外部用于更新输入数据。
- 采样时间可以通过使用 LATCH_IN 信号进行外部控制。每次识别到 LATCH_IN 的上升沿时，EtherCAT 从站控制器对输入数据进行采样。
- 数字输入在分布式时钟 SYNC0 事件中采样。
- 数字输入在分布式时钟 SYNC1 事件中采样。

对于分布式时钟 SYNC 输入，SYNC 生成必须被激活（寄存器 0x0981）。SYNC 输出不是必须的（寄存器 0x0151）。SYNC 脉冲长度（寄存器 0x0982:0x0983）不应该设置为 0，因为使用数字 I/O PDI 不可能应答 SYNC 事件。采样时间是 SYNC 事件的开始时间。

6.2.4 数字输出

数字输出值必须写入寄存器 0x0F00:0x0F03（寄存器 0x0F00 控制 I/O[7:0]等）。数字 I/O PDI 不使用标准的读取命令读取数字输出值，而是通过直接连接来加快响应时间。

过程数据看门狗（寄存器 0x0440）必须处于激活状态或者禁用状态，否则数据输出将不会更新。数字输出可以配置为四种方式更新：

- 数字输出在每个 EtherCAT 帧结束时更新（EOF 模式）。
- 数字输出在分布式时钟 SYNC0 事件时更新（DC SYNC0 模式）。
- 数字输出在分布式时钟 SYNC1 事件时更新（DC SYNC1 模式）。
- 数字输出在触发过程数据看门狗（Process Data Watchdog）的 EtherCAT 帧结束时更新（使用典型 SyncManager 配置：一个帧包含了对寄存器 0x0F00:0x0F03 中至少一个的写访问）。只有当 EtherCAT 帧正确时，数字输出才更新（WD_TRIG 模式）。

对于分布式时钟 SYNC 输出，SYNC 生成必须被激活（寄存器 0x0981）。SYNC 输出不是必须的（寄存器 0x0151）。SYNC 脉冲长度（寄存器 0x0982:0x0983）不应该设置为 0，因为使用数字 I/O PDI 不可能应答 SYNC 事件。输出时间是 SYNC 事件的开始时间。

输出事件总是由 OUTVALID 上的脉冲示意，即使数字输出保持不变。

要使输出数据在 I/O 信号上可见，必须满足以下条件：

- SyncManager 看门狗必须处于激活（触发）或者禁用状态。
- OE_EXT（输出使能）必须为高。
- 输出值必须在有效的 EtherCAT 帧内写入寄存器 0x0F00:0x0F03。
- 配置的输出事件必须已经发生。

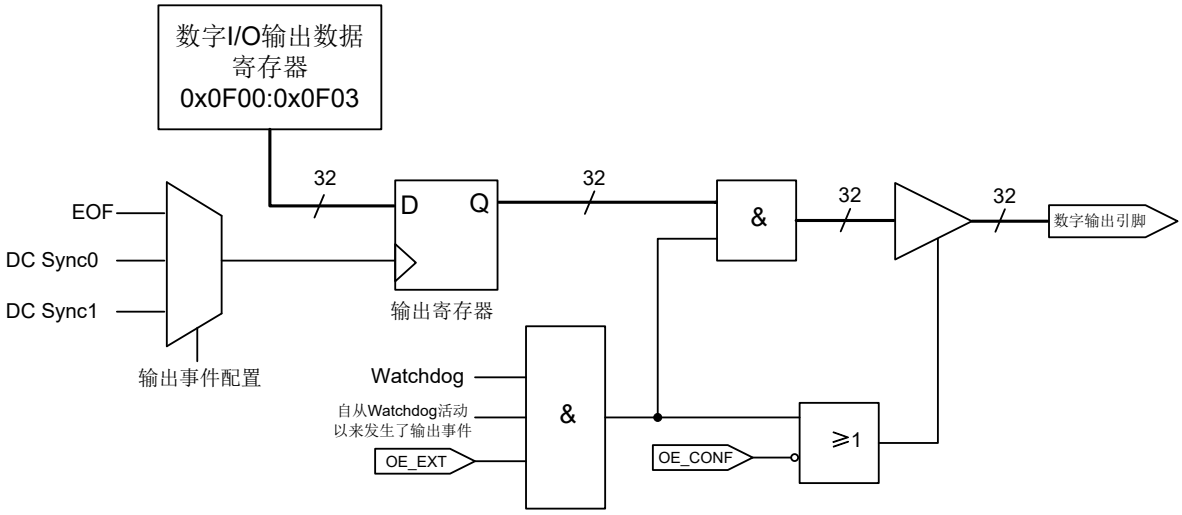


图 6-2 数字输出原理图

【注意】数字输出不驱动（高阻抗），直到 EEPROM 加载。根据配置，如果看门狗过期或者输出禁用，数字输出也不驱动。在使用数字输出信号时，必须考虑到这种行为。

6.2.5 双向模式

在双向模式下，所有数据都是双向的（忽略单个输入/输出配置）。输入信号通过串联电阻连接到 EtherCAT 从站控制器，输出信号由 EtherCAT 从站控制器主动驱动。如果输出信号被 OUTVAILD 锁存（触发器或者锁存），则它们永久可用。

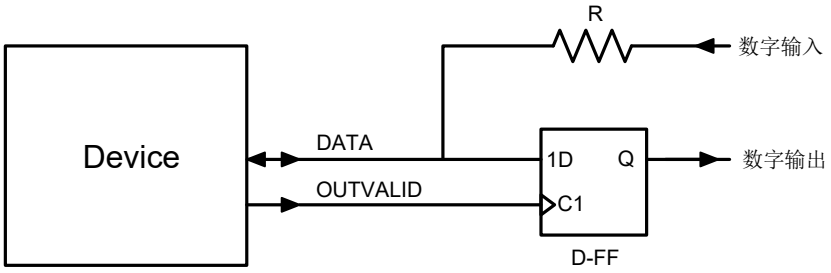


图 6-3 双向模式：输入/输出连接（推荐 R=4.7kΩ）

即使数字输出保持不变，输出事件也由 OUTVALID 上的脉冲示意。重叠的输入和输出事件将导致输入数据损坏。

6.2.6 输出使能/输出配置

FCE1100 有输出使能信号 OE_EXT 和输出配置信号 OE_CONF。使用 OE_EXT 信号，可以清除 I/O 信号/将其置于高阻抗状态。在输出使能信号 OE_EXT 被设置为低电平或者 SyncManager 看门狗已过期（并没有禁用）后，OE_CONF 控制输出驱动程序的行为。

表 6-3 输出使能/输出配置组合

OE_CONF	OE_EXT	
	0	1
0	I/O 驱动：打开 I/O：0	I/O 驱动：打开 I/O：如果 WD 过期，则为 0，否则输出数据。
1	I/O 驱动：关闭	I/O 驱动：如果 WD 已过期或自 WD 上次激活以来未发生输出事件，则关闭。 I/O：如果 WD 过期，则为 0，否则输出数据。

在双向模式下忽略 OE_CONF，如果 OE_EXT 为 0 或者看门狗过期，则在输出事件期间，I/O 将被驱动为低电平。

【注意】I/O 驱动关闭，直到 EEPROM 被加载，忽略 OE_CONF，OE_EXT 和看门狗。

6.2.7 SyncManager 看门狗

SyncManager 看门狗（寄存器 0x0440:0x0441）必须处于激活（触发）或禁用状态，才能在 I/O 信号上显示输出值。SyncManager 看门狗由对输出数据寄存器的 EtherCAT 写访问触发。

如果输出数据字节是独立写入的，则对 0x0F00:0x0F03 中包含输出位的每一个字节使用一个长度为 1 字节的 SyncManager（SyncManagerN 配置：缓冲模式，EtherCAT 写/PDI 读，并且看门狗触发启用，即寄存器 0x0804+N×8 为 0x44）。或者，如果在一个 EtherCAT 命令中一起写入所有输出数据位，则一个长度为 1 字节的 SyncManager 就足够了（SyncManagerN 配置：缓冲模式，EtherCAT 写/PDI 读，并且看门狗触发启用，即寄存器 0x0804+N×8 为 0x44）。SyncManager 的起始地址应该是包含输出位的 0x0F00:0x0F03 字节之一，例如，包含输出位的最后一个字节。

也可以通过在寄存器 0x0440:0x0441 中写入 0 来禁用 SyncManager 看门狗。

看门狗模式配置位用于配置，当 SyncManager 看门狗过期会对 I/O 信号立即产生影响（看门狗超时后立即输出复位）或者这个影响延迟到下一个输出事件（使用下一个输出事件重置输出）。后一种情况对于分布式时钟 SYNC 输出事件特别相关，因为在 SYNC 事件中，任何输出变化都会发生。

如果 OUTVALID 模式设置为看门狗触发，则看门狗超时后不能立即输出复位（0x0150[1]=1）。

对于外部看门狗执行，WD_TRIG（看门狗触发）信号可以使用。触发 SyncManager 看门狗会产生一个 WD_TRIG 脉冲。在这种情况下，内部应禁用 SyncManager 看门狗。对于没有 WD_TRIG 信号的器件，可以配置 OUTVALID 映射 WD_TRIG。

6.2.8 SOF

SOF 表示一个以太网/EtherCAT 帧的开始。它在 RX_DV=1 或者 LVDS SOF 之后不久有效。SOF 有效之后，在 $t_{SOF_to_DATA_setup}$ 和 $t_{SOF_to_DATA_setup}$ 的时间间隔内对输入数据进行采样。

6.2.9 OUTVALID

OUTVALID 信号上的脉冲表示一个输出事件。如果输出事件被配置为帧的结束，OUTVALID 在 RX_DV=0 或者 LVDS EOF 之后不久发出，就在检查了 CRC 并且内部寄存器已经接受了它们的新值之后。OUTVAILD 的发出独立于实际输出数据值，也就是说，即使输出数据没有改变，它也会发出。

6.2.10 EEPROM_LOADED

EEPROM_LOAD 信号表示数字 I/O 接口是可操作的。为了正确的功能会连接一个下拉电阻，因为 PDI 引脚将不会被驱动，直到 EEPROM 加载。

6.2.11 时序特征

表 6-4 数字 I/O 的时序特征

参数	最小	最大	说明
t_{DATA_setup}	7ns	-	Input data valid before LATCH_IN
t_{DATA_hold}	3ns	-	Input data valid after LATCH_IN
t_{LATCH_IN}	8ns	-	LATCH_IN high time
t_{SOF}	35ns	45ns	SOF high time
$t_{SOF_to_DATA_setup}$	-	1.2μs	Input data valid after SOF, so that Inputs can be read in the same frame
$t_{SOF_to_DATA_hold}$	1.6μs	--	Input data invalid after SOF
$t_{input_event_delay}$	440ns		Time between consecutive input events
$t_{OUTVALID}$	75ns	85ns	OUTVALID high time
$t_{DATA_to_OUTVALID}$	65ns	-	Output data valid before OUTVALID
t_{WD_TRIG}	35ns	45ns	WD_TRIG high time
$t_{DATA_to_WD_TRIG}$	-	35ns	Output data valid after WD_TRIG
$t_{OE_EXT_to_DATA_invalid}$	0ns	15ns	Outputs zero or Outputs high impedance after OE_EXT set to low
$t_{output_event_delay}$	320ns	-	Time between consecutive output events
$t_{BIDIR_DATA_valid}$	65ns	-	Bidirectional mode: I/O valid before OUTVALID
$t_{BIDIR_DATA_invalid}$	65ns	-	Bidirectional mode: I/O invalid after OUTVALID
$t_{BIDIR_event_delay}$	440ns	-	Bidirectional mode: time between consecutive input and output events

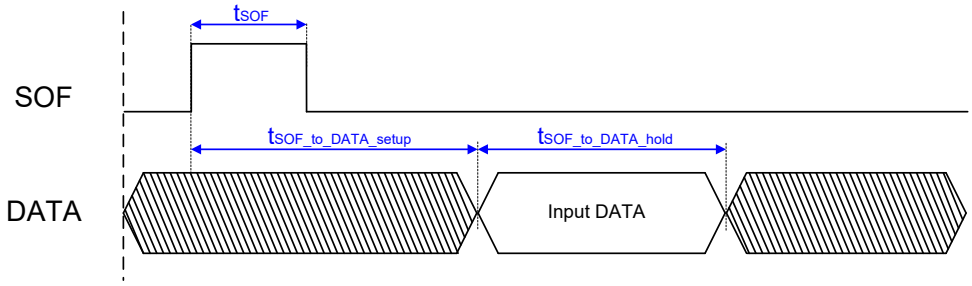


图 6-4 数字输入：输入数据采样在 SOF，I/O 可以在同一帧读取

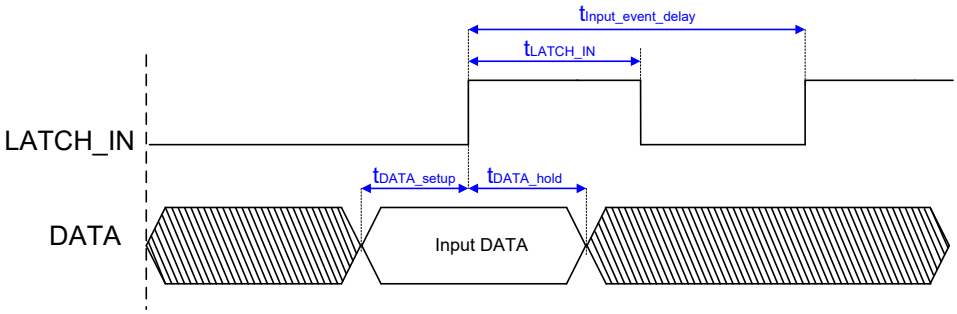


图 6-5 数字输入：输入数据在 LATCH_IN 采样

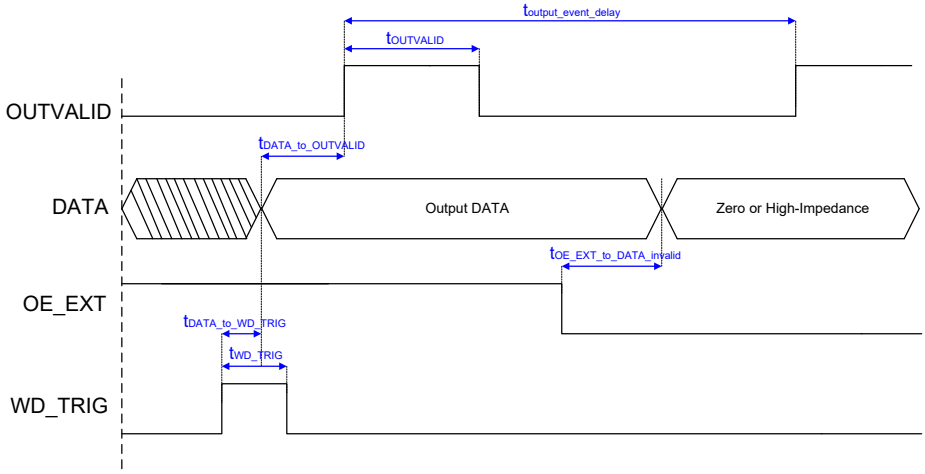


图 6-6 数字输出时序

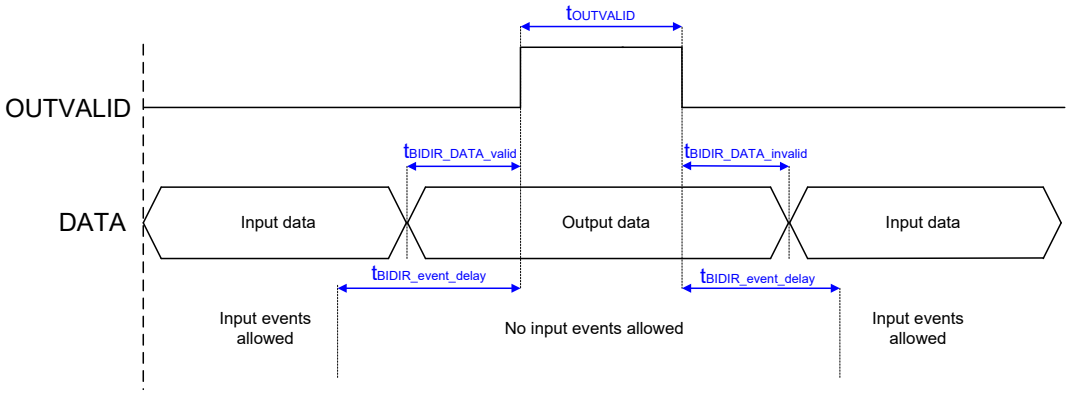


图 6-7 双向模式时序

6.3 SPI 从站接口

6.3.1 接口

PDI 类型为 0x05 的 EtherCAT 器件是 SPI 从设备。SPI 有 5 个信号：SPI_CLK，SPI_DI（MOSI），SPI_DO（MISO），SPI_SEL 和 SPI_IRQ：

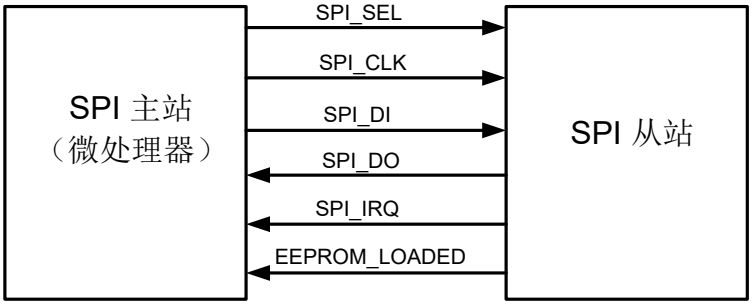


图 6-8 SPI 主和从连接

表 6-5 SPI 信号

信号	方向	描述	信号极性
SPI_SEL	I（主站→从站)	SPI 片选信号	典型的：低电平有效
SPI_CLK	I（主站→从站)	SPI 时钟	
SPI_DI	I（主站→从站)	SPI 数据 MOSI	高电平有效
SPI_DO	O（从站→主站）	SPI 数据 MISO	高电平有效
SPI_IRQ	O（从站→主站）	SPI 中断	典型的：低电平有效
EEPROM_LOADE	O（从站→主站）	PDI 有效的，EEPROM 加载	高电平有效

6.3.2 配置

在 PDI 控制寄存器 0x0140 中选择 PDI 类型 0x05 的 SPI 从接口。它支持 SPI_SEL 和 SPI_IRQ 不同的时序模式和配置信号极性。SPI 配置位于寄存器 0x0150 中。

6.3.3 SPI 访问

每个 SPI 访问被分成地址阶段和数据阶段。在地址阶段，SPI 主站发送要访问的第一个地址和命令。在数据阶段，读数据是由 SPI 从站（读命令）提供或者写数据是由主站（写命令）传输。地址阶段由 2 或 3 个字节组成，具体取决于地址模式。每次访问的数据字节数可以在 0 到 N 字节之间。从站在读取或者写入起始地址后，会在接下来的字节中增加地址。地址/命令和数据的位都以字节组的形式传输。

主站通过设置 SPI_SEL 有效开始 SPI 访问，并且通过收回 SPI_SEL 结束访问（极性由配置决定）。当 SPI_SEL 有效，对于每个字节传输，主站必须循环 8 次 SPI_CLK。在每个时钟周期中，主从站各向对方（全双工）发送 1 位。通过选择 SPI 模式和 Data Out 采样模式可以配置用于主从站的 SPI_CLK 相关边沿。

一个字节的最高有效位首先传输，最低有效位最后传输，字节顺序是低字节优先。EtherCAT 器件使用小端（Little Endian）字节排序。

6.3.4 命令

在第二个地址/命令字节中的 CMD0 命令可能是读（READ），等待状态字节后读（READ），写（WRITE），空（NOP）或者地址扩展（Address Extension）。第三个地址/命令字节中的命令 CMD1 可能具有相同的值。

表 6-6 SPI 命令 CMD0 和 CMD1

CMD[2]	CMD[1]	CMD[0]	命令
0	0	0	NOP（无操作）
0	0	1	保留
0	1	0	读
0	1	1	等待状态字节后读
1	0	0	写
1	0	1	保留
1	1	0	地址扩展（3 地址/命令字节）
1	1	1	保留

6.3.5 地址模式

SPI 从站接口支持两种地址模式，2 字节寻址和 3 字节寻址。用 2 字节寻址，低 13 位地址位 A[12:0]由 SPI 主站选择，而高 3 位 A[15:13]在 SPI 从站内被认为是 000b，因此，在 EtherCAT 从站地址空间仅前 8KB 可以被访问。3 字节寻址用于访问 EtherCAT 从站的整个 64KB 地址空间。

对于仅支持超过一个字节的连续传输的 SPI 主站，可以插入额外的地址扩展命令。

表 6-7 地址模式（没有等待状态字的读访问）

Byte	2 字节地址模式		3 字节地址模式	
0	A[12:5]	地址位[12:5]	A[12:5]	地址位[12:5]
1	A[4:0] CMD0[2:0]	地址位[4:0] 读/写命令	A[4:0] CMD0[2:0]	地址位[4:0] 3 字节寻址：110b
2	D0[7:0]	data byte0	A[15:13] CMD1[2:0] res[1:0]	地址位[15:13] 读/写命令 两个保留位，设置为 00b
3	D1[7:0]	data byte1	D0[7:0]	data byte0
4 ff.	D2[7:0]	data byte2	D1[7:0]	data byte1

表 6-8 具有等待状态字节的读访问的地址模式

Byte	2Byte 地址模式		3Byte 地址模式	
0	A[12:5]	地址位[12:5]	A[12:5]	地址位[12:5]
1	A[4:0] CMD0[2:0]	地址位[4:0] 读命令: 011b	A[4:0] CMD0[2:0]	地址位[4:0] 3 字节寻址: 110b
2	0xFF	等待状态字节	A[15:13] CMD1[2:0] res[1:0]	地址位[15:13] 读命令: 011b 两个保留位，设置为 00b
3	D0[7:0]	data byte 0	0xFF	等待状态字节
4	D1[7:0]	data byte 1	D0[7:0]	data byte0
5 ff.	D2[7:0]	data byte 2	D1[7:0]	data byte1

6.3.6 中断请求寄存器（AL 事件寄存器）

在地址阶段，SPI 从站传输 PDI 中断请求寄存器 0x0220-0x0221（2 字节地址模式），和另外在 SPI_DO（MISO）上用于 3 字节寻址的寄存器 0x0222：

表 6-9 中断请求寄存器传输

Byte	2 字节地址模式		3 字节地址模式	
	SPI_DI（MOSI）	SPI_DO（MISO）	SPI_DI（MOSI）	SPI_DO（MISO）
0	A[12:5]	I0[7:0] 中断请求寄存器 0x0220	A[12:5]	I0[7:0] 中断请求寄存器 0x0220
1	A[4:0] CMD0[2:0]	I1[7:0] 中断请求寄存器 0x0221	A[4:0] CMD0[2:0]	I1[7:0] 中断请求寄存器 0x0221
2	（数据阶段）		A[15:13] CMD1[2:0]	I2[7:0] 中断请求寄存器 0x0222

6.3.7 写访问

在写访问的数据阶段，SPI 主站向 SPI 从站发送写数据字节（SPI_DI/MOSI）。通过在最后一个字节之后收回 SPI_SEL 来终止写访问。在写访问的数据阶段 SPI_DO 信号（MISO）是不确定的。

6.3.8 读访问

在读访问的数据阶段，SPI 从站发送读数据字节到 SPI 主站（SPI_DO/MISO）。

6.3.8.1 读等待状态

在读访问的最后一个地址阶段字节和第一个数据字节之间，SPI 主站必须等待 SPI 从站在内部获取读数据。后续读取的数据字节是自动预取的，因此不需要更多的等待状态。

SPI 主站可以在以下这些可能间选择：

- SPI 主站可以在最后一个地址/命令字节之后和数据阶段第一个时钟周期之前，等待指定的最坏情况的内部读取时间 tread。
- SPI 主站在最后一个地址/命令字节之后插入一个等待状态字节。等待状态字节在 SPI_DI 上传输的值必须为 0xFF。

6.3.8.2 读终止

SPI_DI 信号（MOSI）用于 SPI 主站终止读访问。对于最后一个数据字节，SPI 主站必须将 SPI_DI 设置为高（读取终止字节=0xFF），因此从站将不会在内部预取下一个读数据。如果在一个数据字节传输期间 SPI_DI 是低，那么之后主站将至少再读取一个字节。

6.3.9 SPI 访问错误和 SPI 状态标志

SPI 从站检测到 SPI 访问错误的原因如下：

- SPI_SEL 有效时，识别的时钟周期数不是 8 的倍数（传输的字节不完整）。
- 对于读访问，当从站忙于获取第一个数据字节时，发生了一个时钟周期。
- 对于读访问，通过将最后一个字节的 SPI_DI 设置为高没有终止数据阶段。
- 对于读访问，在访问终止后读取了额外的字节。

错误的 SPI 访问将导致以下结果：

- 寄存器将不接收写数据（然而，RAM 将被写入）。
- 特殊功能不执行（例如 SM 缓存区切换）。
- PDI 错误计数器 0x030D 将被增加。
- 在下次访问之前，状态标志将指示错误（不适用于正常数据输出采样的 SPI 模式 0/2）。

指示上次访问是否有错误的一个状态标志在任何模式下都可用，除了具有正常数据输出采样的 SPI 模式 0/2。在选择从站（SPI_SEL）之后，状态标志在 SPI_DO（MISO）上显示，直到第一个时钟周期发生。因此，既可以在两次访问之间，通过不使用时钟设置 SPI_SEL 有效读取状态，也可以在第一个时钟周期之前的访问开始时读取状态。状态标志为高表示访问正常，低表示访问错误。

6.3.10 EEPROM 加载

EEPROM_LOADED 信号表示 SPI 接口是可操作的。它连接一个下拉电阻以确保正常工作，因为 PDI 引脚将不会被驱动，直到 EEPROM 加载。

6.3.11 2 字节和 4 字节 SPI 主站

一些 SPI 主站不允许每次访问任意字节数，每次访问的字节数必须是 2 或 4（甚至更多）的倍数。SPI 从站接口支持这样的主站。数据阶段的长度由主站控制，并可以设置为适当的长度，地址阶段的长度必须扩展。通过使用 3 字节的地址模式和一个等待状态字节，可以将一个读访问的地址阶段设置为 2/4 的倍数。根据下表所示，通过使用 3 字节地址模式和一个额外的地址扩展字节（byte2），可以将一个写访问的地址阶段增强到 4 字节。

表 6-10 用于 2 字节和 4 字节 SPI 主站的写访问

Byte	2 字节 SPI 主站		4 字节 SPI 主站	
0	A[12:5]	地址位[12:5]	A[12:5]	地址位[12:5]
1	A[4:0] CMD0[2:0]	地址位[4:0] 写命令：100b	A[4:0] CMD0[2:0]	地址位[4:0] 3 字节寻址：110b
2	D0[7:0]	data byte0	A[15:13] CMD1[2:0] res[1:0]	地址位[15:13] 3 字节寻址：110b 两个保留位，设置为 00b
3	D1[7:0]	data byte1	A[15:13] CMD2[2:0] res[1:0]	地址位[15:13] 写命令：100b 两个保留位，设置为 00b
4	D2[7:0]	data byte2	D0[7:0]	data byte0
5	D3[7:0]	data byte3	D1[7:0]	data byte1
6	D4[7:0]	data byte4	D2[7:0]	data byte2
7	D5[7:0]	data byte5	D3[7:0]	data byte3

【注意】可以通过任意数的地址扩展字节，其中包括 110b 作为命令，对一个写访问的地址阶段进一步扩展。一个读访问的地址阶段也可以使用额外的地址扩展字节得到增强（读取等待状态无论如何都必须被维护）。最后一个地址扩展字节的地址部分用于访问。

6.3.12 时序特性

表 6-11 SPI 时序特征

参数	最小	最大	说明
t_{CLK}	50ns		SPI_CLK frequency(f_{CLK}≤ 20 MHz)
$t_{SEL_to_CLK}$	6ns		First SPI_CLK cycle after SPI_SEL asserted
$t_{CLK_to_SEL}$	a) 5ns b) t_{CLK}/2+5ns		Deassertion of SPI_SEL after last SPI_CLK cycle a)SPI mode 0/2, SPI mode 1/3 with normal data out sample b)SPI mode 1/3 with late data out sample
t_{read}	240ns		Only for read access between address/command and first data byte.Can be ignored if Wait State Bytes are used.
$t_{SEL_to_DO_valid}$		15ns	Status/Interrupt Byte 0 bit 7 valid after SPI_SEL asserted
$t_{SEL_to_DO_invalid}$	0ns		Status/Interrupt Byte 0 bit 7 invalid after SPI_SEL de-asserted
t_{STATUS_valid}	12ns		Time until status of last access is valid.Can be ignored if status is not used.
t_{access_delay}	a) 15ns b) 240ns		Delay between SPI accesses a) typical b) If last access was shorter than 2 bytes,otherwise Interrupt Request Register value I0_[7:0] will not be valid.
t_{DI_setup}	9ns		SPI_DI valid before SPI_CLK edge
t_{DI_hold}	3ns		SPI_DI valid after SPI_CLK edge
$t_{CLK_to_DO_valid}$		15ns	SPI_DO valid after SPI_CLK edge
$t_{CLK_to_DO_invalid}$	0ns		SPI_DO invalid after SPI_CLK edge
$t_{EEPROM_LOADED_to_access}$	300ns		Time between EEPROM_LOADED and first access
t_{IRQ_delay}	160ns		Internal delay between AL event and SPI_IRQ output to enable correct reading of the interrupt registers.

表 6-12 读/写时序图符号

符号	说明
A15..A0	Address bits [15:0]
D0_7..D0_0 D1_7..D1_0	Data bits byte 0 [7:0] Data bits byte 1 [7:0]
I0_7..I0_0 I1_7..I1_0 I2_7..I2_0	Interrupt request register 0x0220 [7:0] Interrupt request register 0x0221 [7:0] Interrupt request register 0x0222 [7:0]
C0_2..C0_0 C1_2..C1_0	Command 0 [2:0] Command 1 [2:0] (3 byte addressing)
Status	0: last SPI access had errors 1: last SPI access was correct
BUSY OUT Enable	0: No Busy output, tread is relevant 1: Busy output on SPI_DO (edge sensitive)
BUSY	0: SPI slave has finished reading first byte 1: SPI slave is busy reading first byte

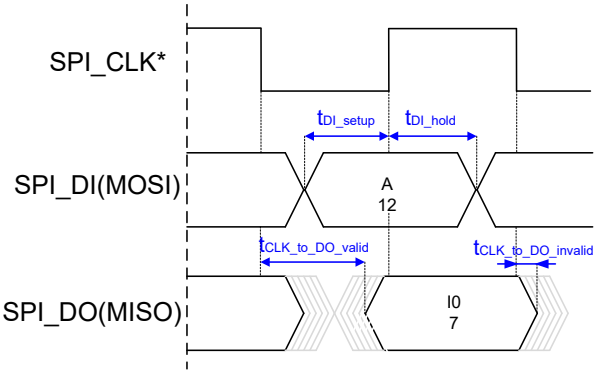


图 6-9 基本 SPI_DI/SPI_DO 时序（*参考用于 SPI_CLK 的相关沿的时序图）

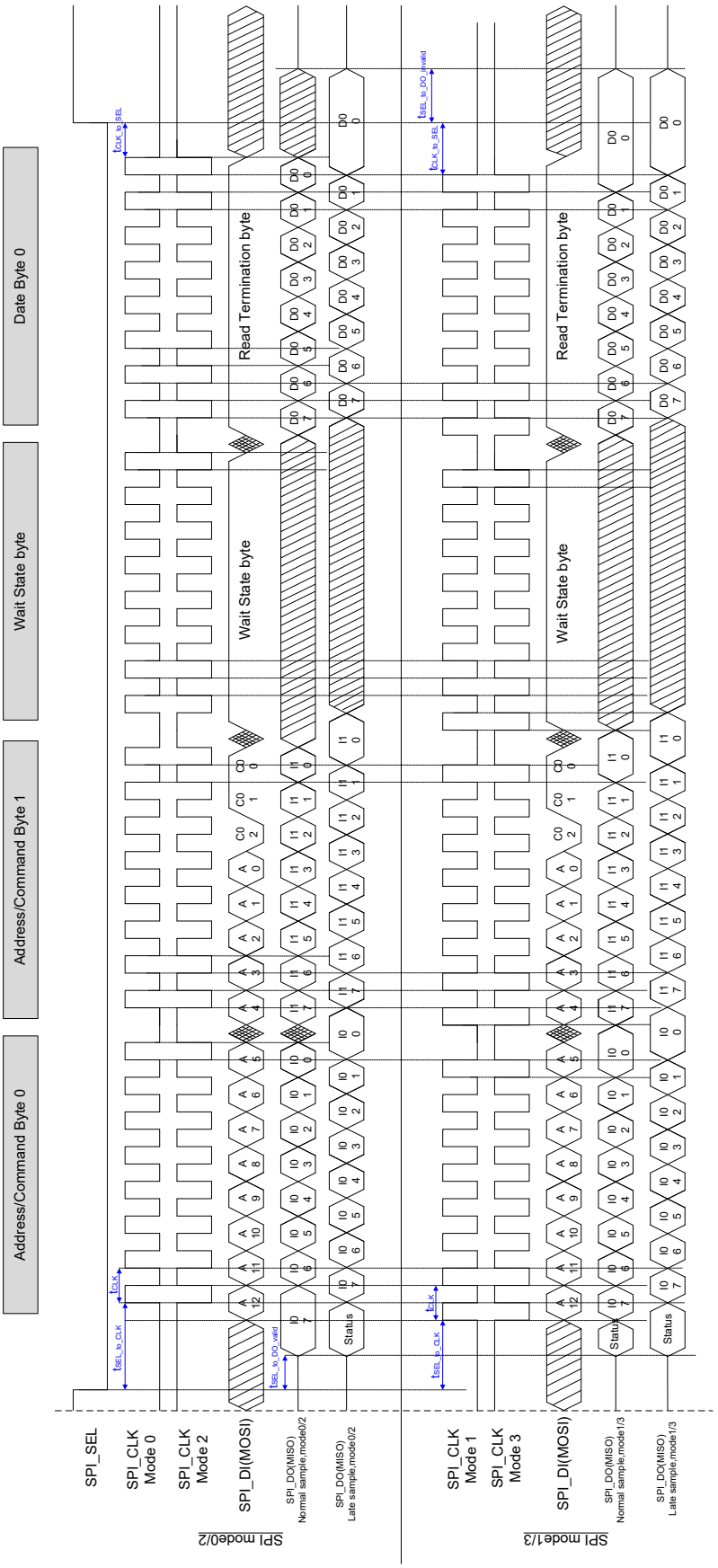


图 6-10 使用等待状态字节 SPI 读访问（2 字节寻址，1 字节读数据）

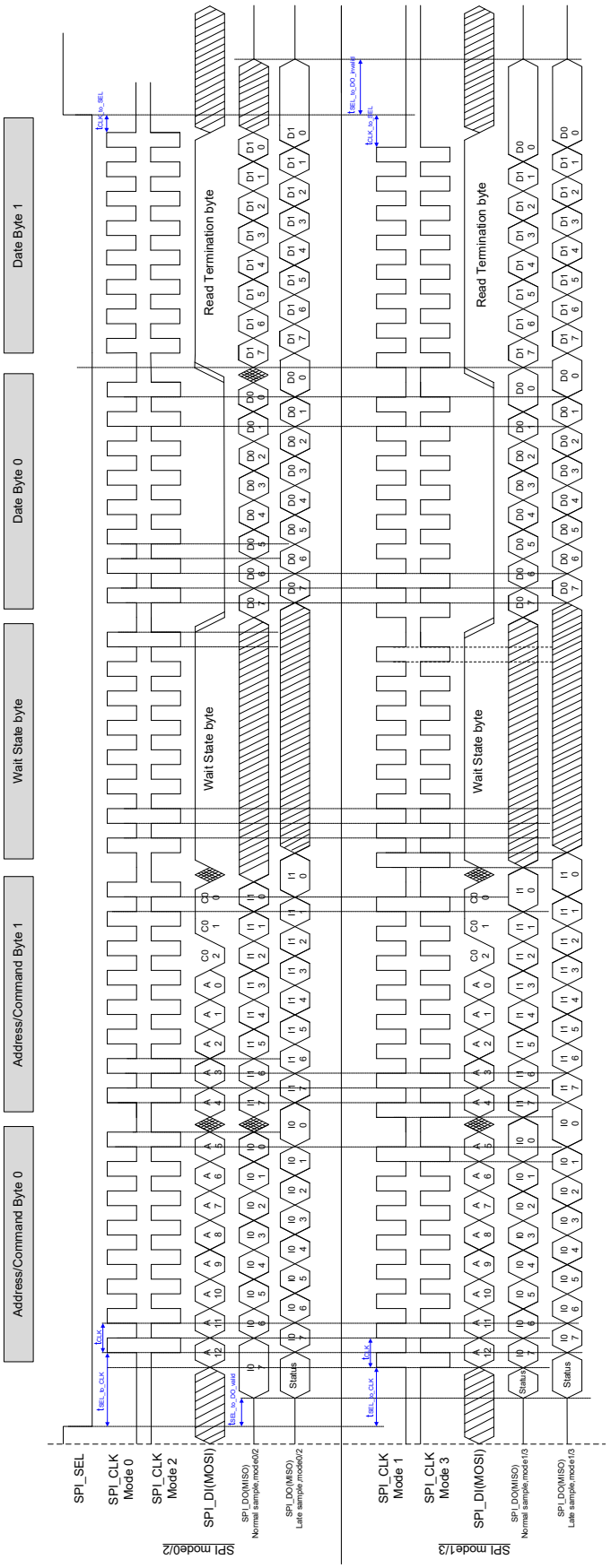


图 6-11 使用等待状态字节 SPI 读访问（2 字节寻址，2 字节读数据）

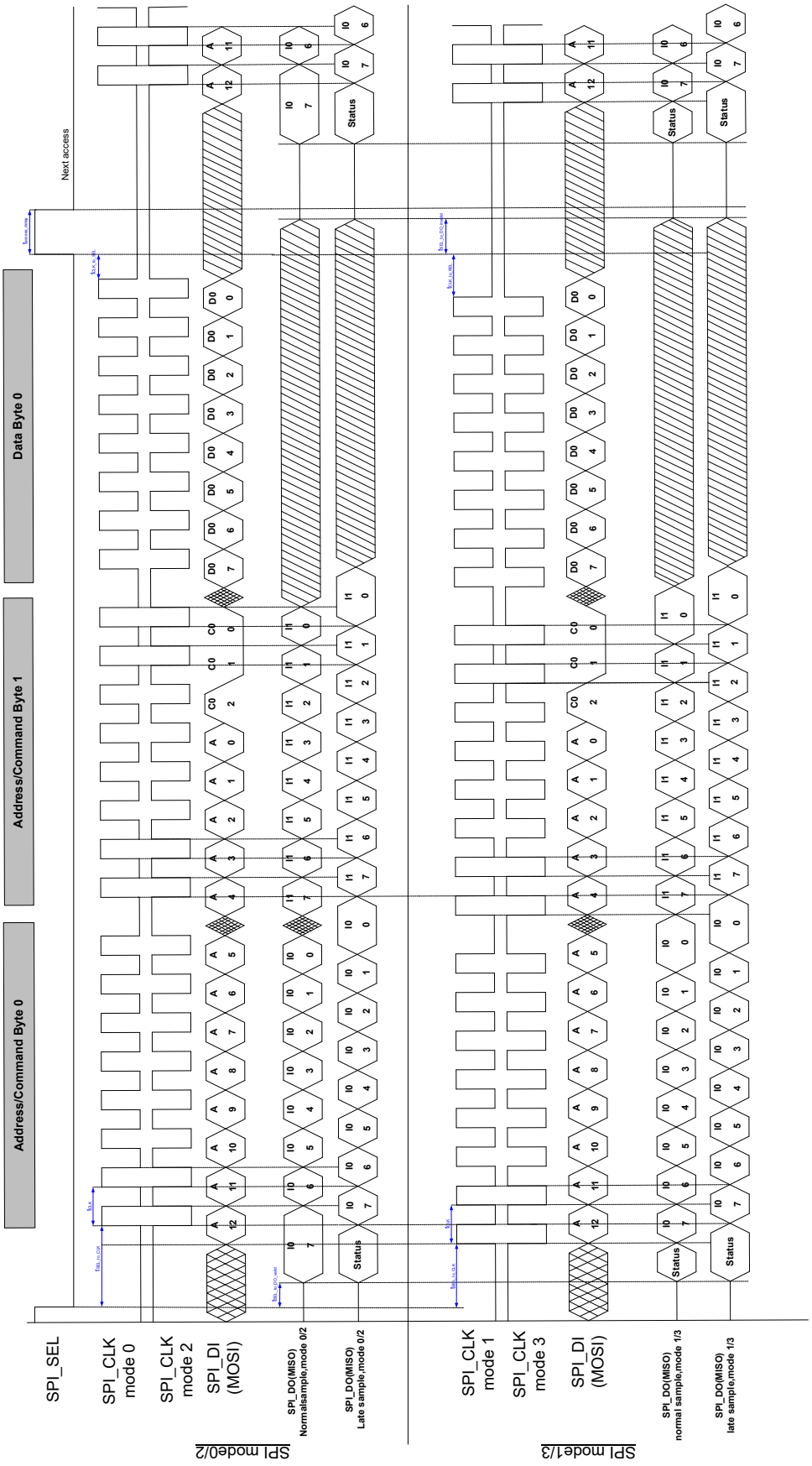


图 6-12 SPI 写访问（2 字节寻址，1 字节写数据）

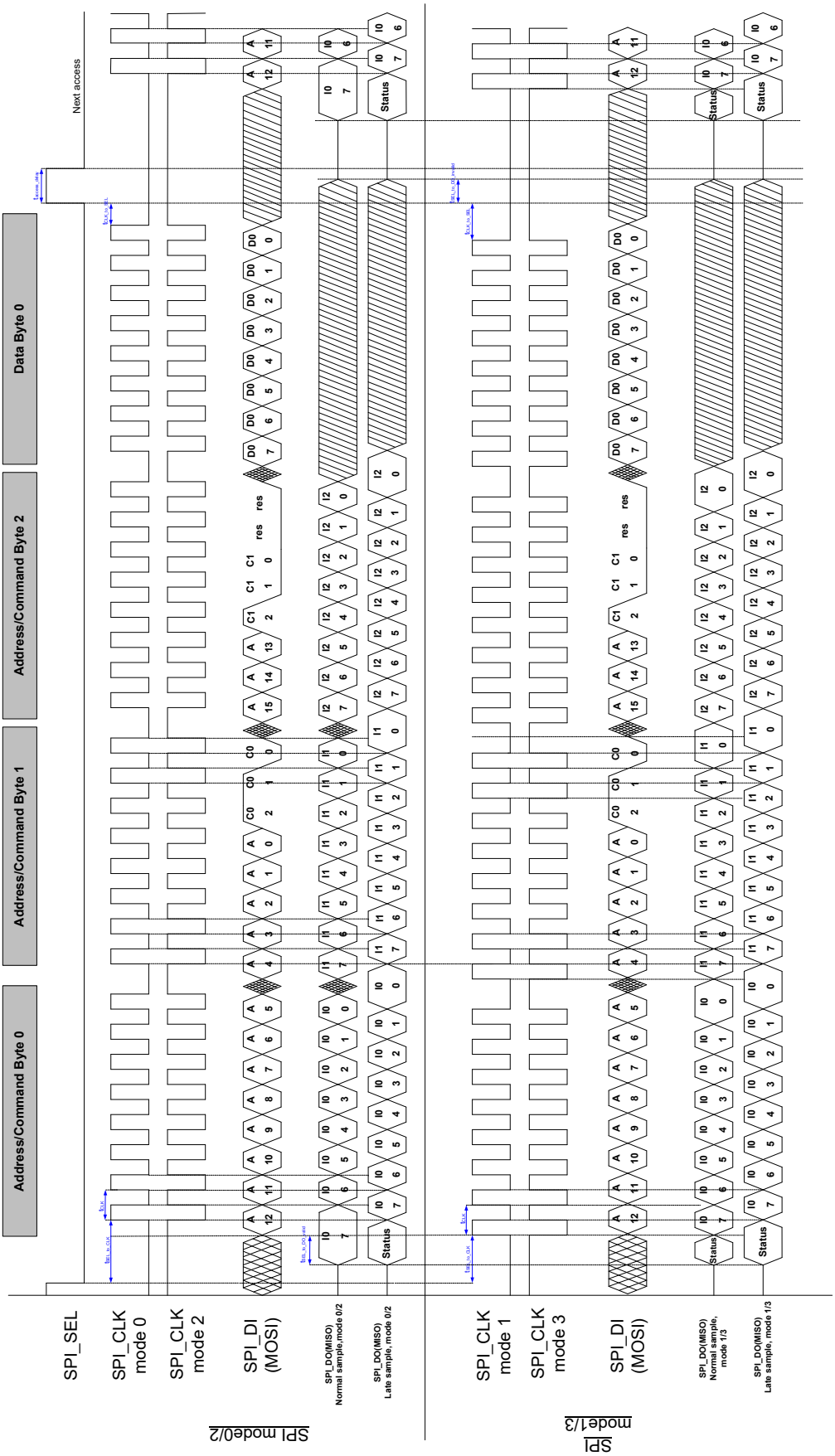


图 6-13 SPI 写访问（3 字节寻址，1 字节写数据）

6.4 异步 8/16 位微处理器接口

6.4.1 接口

异步微处理器接口使用地址和数据总线混合复用。双向数据总线可以是 8 位或 16 位宽。EtherCAT 器件的异步微处理器接口信号如下所示。

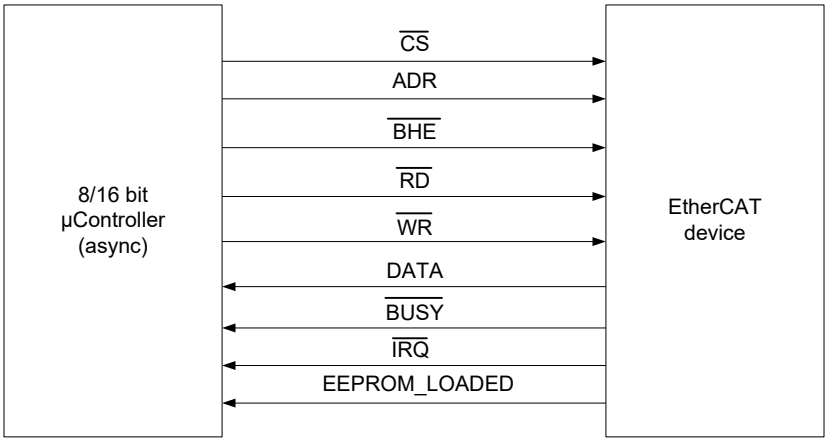


图 6-14 微处理器互连

【注】所有信号都用典型极性配置表示。

表 6-13 微处理器信号

异步信号	方向	描述	信号极性
CS	I(µC→ESC)	片选 Chip select	典型：低有效：
ADR[15:0]	I(µC→ESC)	地址总线 Address bus	典型：高有效
BHE	I(µC→ESC)	字节高使能（仅用于 16 位微处理器接口）	典型：低有效：
RD	I(µC→ESC)	读命令	典型：低有效：
WR	I(µC→ESC)	写命令	典型：低有效：
DATA[15:0]	BD(µC→ESC)	用于 16 位微处理器接口的数据总线	高有效
DATA[7:0]	BD(µC→ESC)	用于 8 为微处理器接口的数据总线	高有效
BUSY	O(ESC→µC)	EtherCAT 器件是繁忙的	典型：低有效：
IRQ	O(ESC→µC)	中断	典型：低有效：
EEPROM_LOADED	O(ESC→µC)	PDI 有效的，EEPROM 加载	高有效

一些微处理器有一个 READY 信号，这和 BUSY 信号一样，只是极性相反。

6.4.2 配置

在 PDI 控制寄存器 0x0140 中使用 PDI 类型 0x08，选择 16 位异步微处理器接口，8 位异步微处理器接口 PDI 类型为 0x09。在寄存器 0x0150-0x0153 中，它支持不同的配置。

6.4.3 微处理器访问

8 位微处理器接口每次访问读或写 8 位，16 位微处理器接口支持 8 位和 16 位读或写访问。对于 16 位的微处理器接口，最低有效地址位与 BHE（Byte High Enable）一起用于区分 8 位低字节访问，8 位高字节访问和 16 位访问。

EtherCAT 器件使用小端（Little Endian）字节顺序。

表 6-14 8 位微处理器接口访问类型

ADR[0]	访问	DATA[7:0]
0	8 位访问 ADR[15:0]（低字节，偶数地址）	低字节
1	8 位访问 ADR[15:0]（高字节，奇数地址）	高字节

表 6-15 16 位微处理器接口访问类型

ADR[0]	BHE（低有效）	访问	DATA[15:8]	DATA[7:0]
0	0	16 位访问 ADR[15:0]和 ADR[15:0]+1（低字节和高字节）	高字节	低字节
0	1	8 位访问 ADR[15:0]（低字节，偶数地址）	（仅 RD：复制低字节）	低字节
1	0	8 位访问 ADR[15:0]（高字节，奇数地址）	高字节	仅 RD：复制高字节
1	1	无效访问	-	-

6.4.4 写访问

如果 CS 不是永久有效，那么在 CS 有效时开始写访问。地址、BHE 和写数据在 WR（低有效）下降沿时有效。一旦微处理器接口不是 BUSY，在 WR 的上升沿完成微处理器访问。写访问可以通过以下方式终止：WR 无效（CS 仍然保持有效），或者 CS 无效（WR 仍然保持有效），再或者 WR 和 CS 同时无效。在 WR 的上升沿后不久，可以通过置 ADR，BHE 及 DATA 无效来结束访问。微处理器接口使用 BUSY 信号表示其内部操作。因为 BUSY 信号仅在 CS 有效时被驱动，因此在 CS 无效后，BUSY 驱动程序将被释放。

在内部，写访问在 WR 的上升沿之后执行，这允许快速写访问。然而，紧接着的写访问将被前面的写访问延迟（BUSY 处于有效的时间更长）。

6.4.5 读访问

如果 CS 不是永久有效，那么在 CS 有效时开始读访问。地址和 BHE 必须在 RD 下降沿之前有效，这标志着访问的开始。如果微处理器接口没有忙于执行前面的写访问，之后其将显示 BUSY 状态，当读数据有效时，其会释放 BUSY。读取的数据将会保持有效的，直到 ADR、BHE、RD 或 CS 发生变化。当 CS 和 RD 有效时，数据总线被驱动。当 CS 有效时，BUSY 会被驱动。

使用读 BUSY 延时配置时，用于读访问的 BUSY 无效可以额外延时 20ns，因此可以满足有关 BUSY 的外部 DATA 设置要求。

6.4.6 微处理器访问错误

以下是由微处理器接口检测的微处理器访问错误的原因：

- 使用 A[0]=1 和 BHE（低有效）=1 对 16 位接口读或写访问，也就是说，在没 BHE 的情况下对奇数地址的访问。
- 在微处理器接口是 BUSY 时，WR 无效（或者在 WR 保持有效的情况下使 CS 无效）。
- 在微处理器接口是 BUSY 时（读未完成时），RD 无效（或者在 RD 保持有效的情况下使 CS 无效)。

错误的微处理器访问将产生以下后果：

- PDI 错误计数器 0x030D 将会增加。
- 对于 A[0]=1 和 BHE（低有效）=1 的访问，不会在内部执行访问。
- 当微处理器接口处于 BUSY 状态时，WR（或 CS）无效可能会破坏当前和之前的传输（如果内部访问还没完成）。寄存器可能接受写数据，并且可能执行特殊功能（例如，SM 缓冲区切换）。
- 当微处理器接口处于 BUSY（读还没有完成）时，如果 RD（或 CS）是为无效，那么访问将会内部终止。尽管内部字节传输可能会完成，因此可能会执行特殊功能（例如，SM 缓冲区切换）。

6.4.7 EEPROM_LOADED

EEPROM_LOADED 信号表明该微处理器接口是可操作的。因为 PDI 引脚在 EEPROM 加载之前不会被驱动，所以可加一个下拉电阻。

6.4.8 使用 16 位微控制器，无字节寻址的连接

如果 EtherCAT 从站控制器连接到仅支持 16 位(字)寻址的 16 位微处理器/DSP，EtherCAT 器件的 ADR[0]和 BHE 必须绑定到 GND，因此 EtherCAT 从站控制器将始终执行 16 位访问。所有其他信号正常连接。注意在这种情况下 EtherCAT 从站控制器地址必须除以 2。

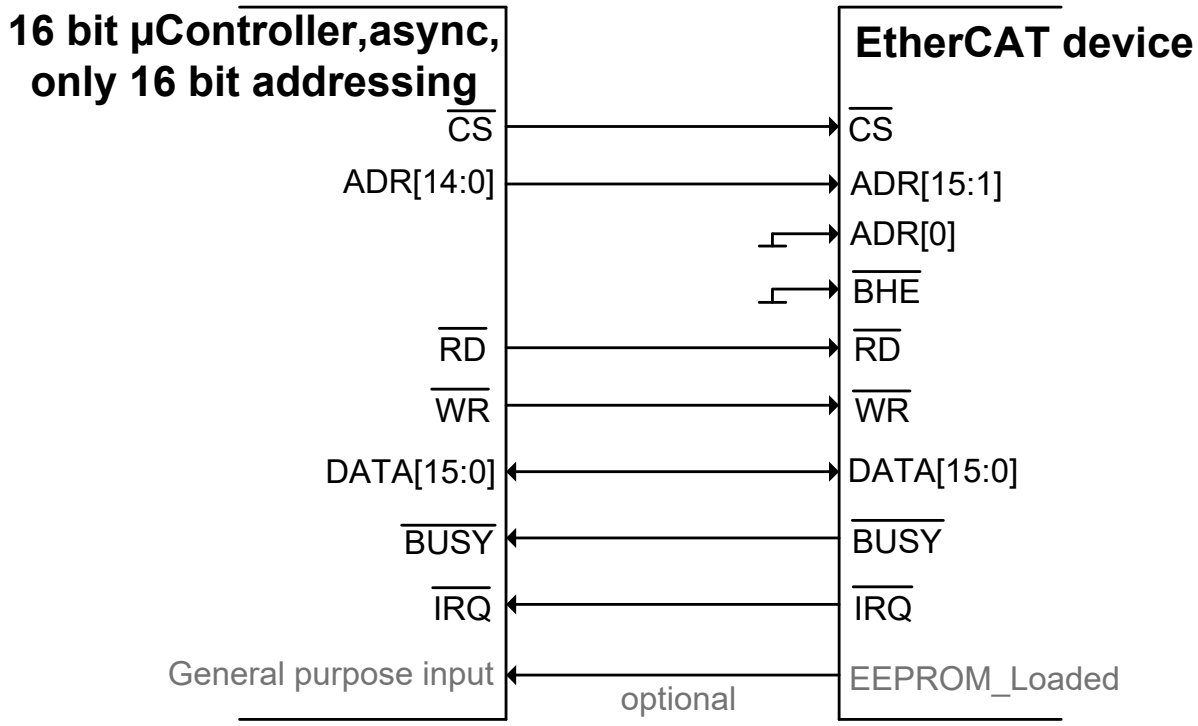


图 6-15 不使用字节寻址的 16 位微处理器的连接

6.4.9 使用 8 位微控制器的连接

如果 EtherCAT 从站控制器连接到 8 位微处理器，则不使用 BHE 信号和 DATA[15:8]信号。

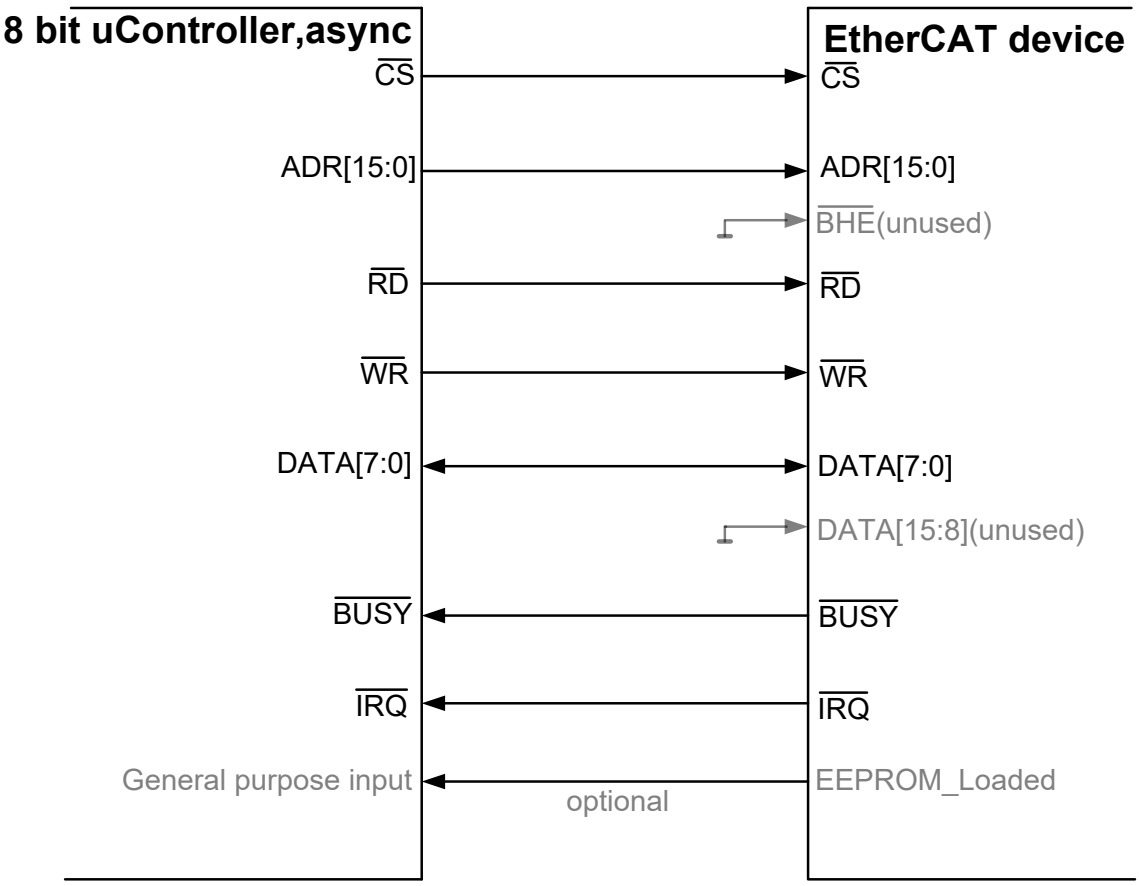


图 6-16 8 位微处理器的连接（BHE 和 DATA[15:8]不能悬空）

6.4.10 时序特征

表 6-16 FCE1100 的微处理器时序特征

参数	最小	最大	说明
tCS_to_BUSY		15ns	BUSY driven and valid after CS assertion
tADR_BHE_setup	-2ns		ADR and BHE valid before RD assertion
tRD_to_DATA_driven	0ns		DATA bus driven after RD assertion
tRD_to_BUSY	0ns	15ns	BUSY asserted after RD assertion
tread			External read time (RD assertion to BUSY deassertion) with normal read busy output (0x0152[0]). Additional 20 ns with delayed read busy output.
		a) tread_int +tprec_write +tColl -tWR_to_RD	a) with preceding write access and tWR_to_RD < tprec_write + tColl
		b) tread_int	b) without preceding write access or tWR_to_RD ≥ tprec_write + tColl
		c) 435ns	c) 8 bit access, absolute worst case with preceding 8 bit write access (tWR_to_RD=min, tprec_write =max, tColl=max)
		d) 575ns	d) 16 bit access, absolute worst case with preceding 16 bit write access (tWR_to_RD=min, tprec_write =max, tColl=0)
tread_int		a) 235ns b) 315ns	Internal read time a) 8 bit access b) 16 bit access
tprec_write		a) 180ns b) 260ns	Time for preceding write access a) 8 bit access b) 16 bit access
tBUSY_to_DATA_valid		a) 5ns b) -15ns	DATA bus valid after device BUSY is deasserted a) normal read busy output b) delayed read busy output
tADR_BHE_to_DATA_invalid	0ns		DATA invalid after ADR or BHE change
tCS_RD_to_DATA_release	0ns		DATA bus released after CS deassertion or RD deassertion
tCS_to_BUSY_release	0ns	15ns	BUSY released after CS deassertion
tCS_delay	0ns		Delay between CS deassertion an assertion
tRD_delay	10ns		Delay between RD deassertion and assertion
tADR_BHE_DATA_setup	10ns		ADR, BHE and Write DATA valid before WR deassertion
tADR_BHE_DATA_hold	3ns		ADR, BHE and Write DATA valid after WR deassertion

tWR_active	10ns		WR assertion time
tBUSY_to_WR_CS	0ns		WR or CS deassertion after BUSY deassertion
tWR_to_BUSY		15ns	BUSY assertion after WR deassertion
twrite	0ns		External write time (WR assertion to BUSY deassertion)
		a) twrite_int -tWR_delay	a) with preceding write access and tWR_delay < twrite_int
		b) 0ns	b) without preceding write access or tWR_delay ≥ twrite_int
		c) 200ns	c) 8 bit access, absolute worst case with preceding 8 bit write access (tWR_delay= min, tWR_int=max)
		d) 280ns	d) 16 bit access, absolute worst case with preceding 16 bit write access (tWR_delay=min, tWR_int=max)
twrite_int		a) 200ns b) 280ns	Internal write time a) 8 bit access b) 16 bit access
tWR_delay	10ns		Delay between WR deassertion and assertion
tColl		a) 20ns b) 0ns	Extra read delay a) RD access directly follows WR access with the same address (8 bit accesses or 8 bit WR and 16 bit RD) b) different addresses or 16 bit accesses
tWR_to_RD	0ns		Delay between WR deassertion and RD assertion
tCS_WR_overlap	5ns		Time both CS and WR have to be deasserted simultaneously (only if CS is de asserted at all)
tCS_RD_overlap	5ns		Time both CS and RD have to be deasserted simultaneously (only if CS is de asserted at all)
tEEPROM_LOADED_to_access	0ns		Time between EEPROM_LOADED and first access
tEEPROM_LOADED_to_IRQ		0ns	IRQ valid after EEPROM_LOADED

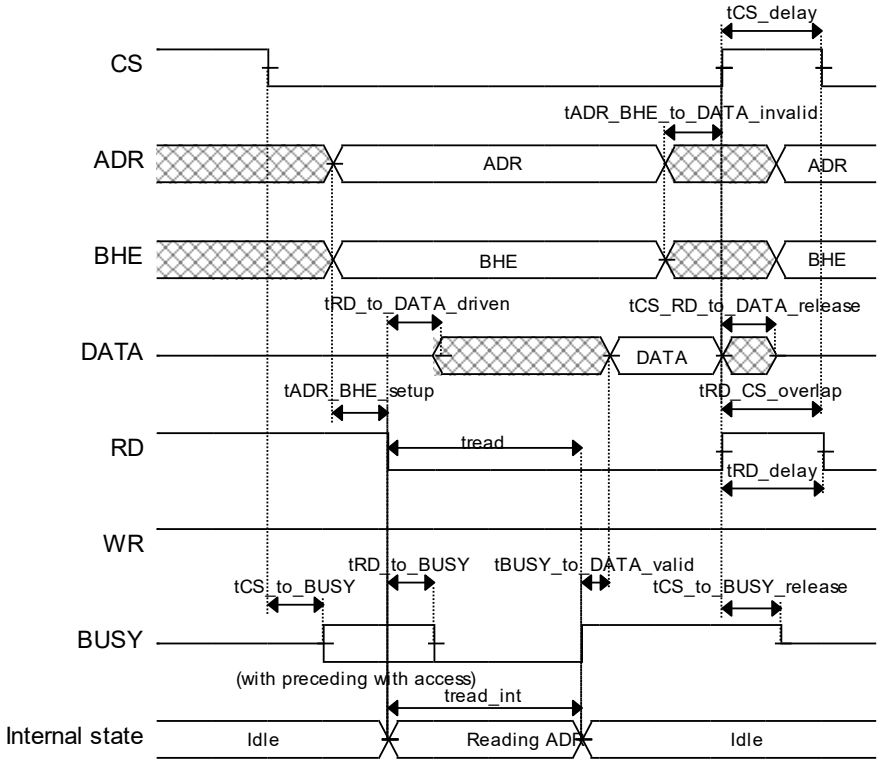


图 6-17 读访问（不使用前边的写访问）

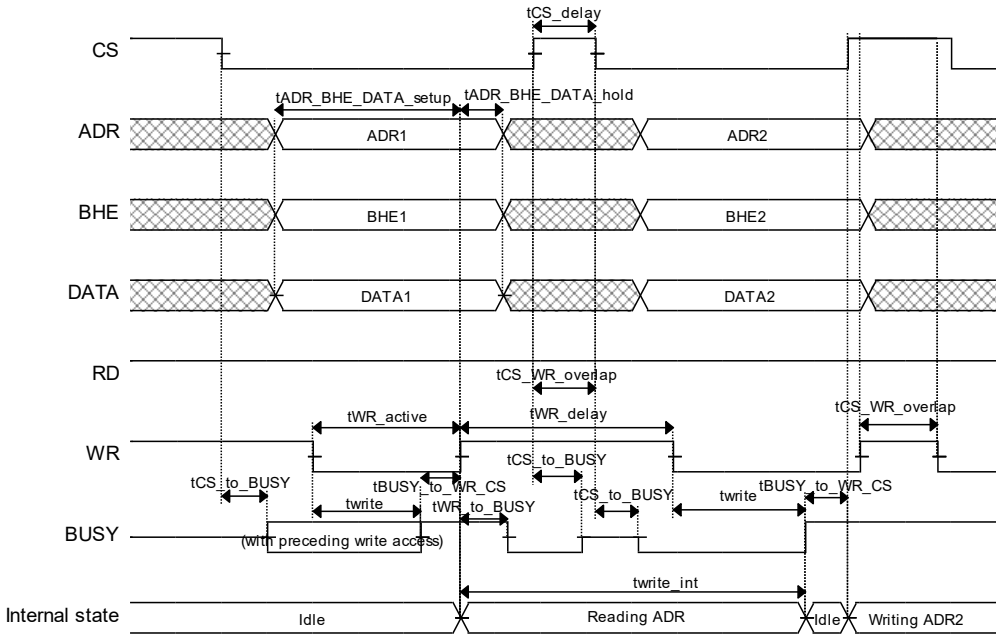


图 6-18 写访问（nWR 上升沿后写，不使用前边的写访问）

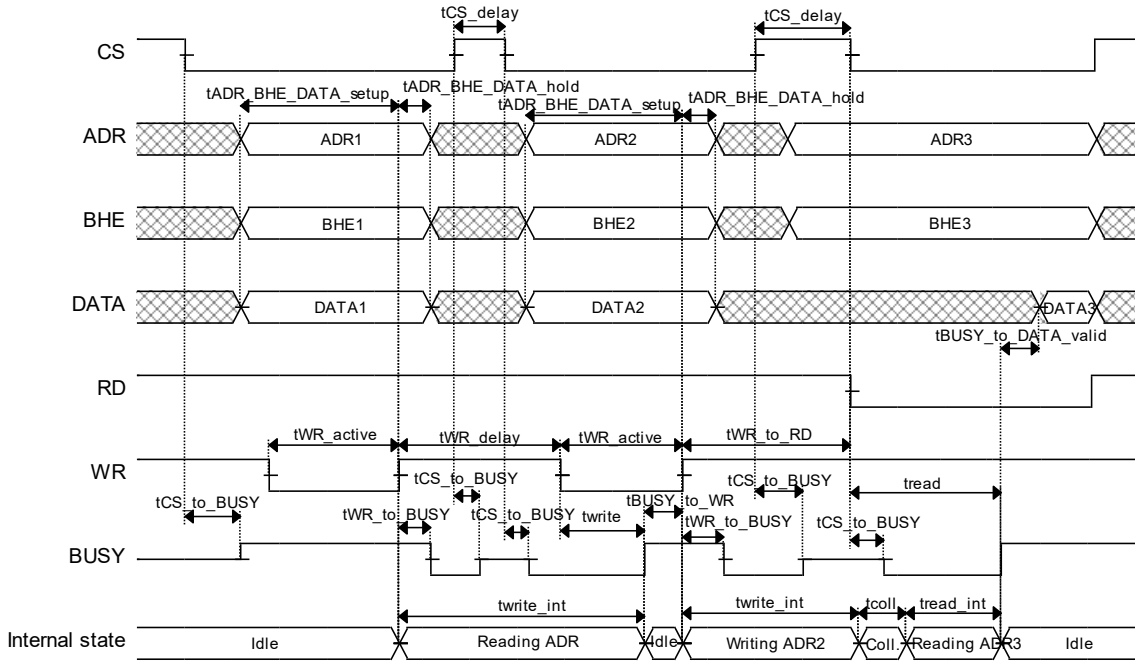


图 6-19 两个写访问和一个读访问的序列

【注】ADR1 的第一个写访问在 WR 的第一个上升边沿后。之后 EtherCAT 从站控制器忙于写 ADR1。CS 置为无效之后，BUSY 不再被驱动，但是 EtherCAT 从站控制器仍在写 ADR1。

因此，对于 ADR2 的第二个写访问会被延迟，因为必须先完成对 ADR1 的写访问。因此，在 BUSY 失效之前，WR 的第二个上升边沿一定不会出现。在 WR 的第二个上升边沿之后，EtherCAT 从站控制器忙于写 ADR2。只要 CS 有效，这就反映在 BUSY 信号上。

这个示例中的第三个访问是读访问。当 RD 的下降沿出现时，EtherCAT 从站控制器仍然忙于写入 ADR2。在这种情况下，首先完成对 ADR2 的写访问，然后对 ADR3 进行读访问。在写和读访问时，EtherCAT 从站控制器都会发出 BUSY 信号。

6.5 同步 8/16 位微处理器接口

6.5.1 接口

同步的微处理器接口使用地址和数据总线混合复用。双向的数据总线可以是 8 位或 16 位宽。EtherCAT 器件的同步微处理器接口信号如下所示。

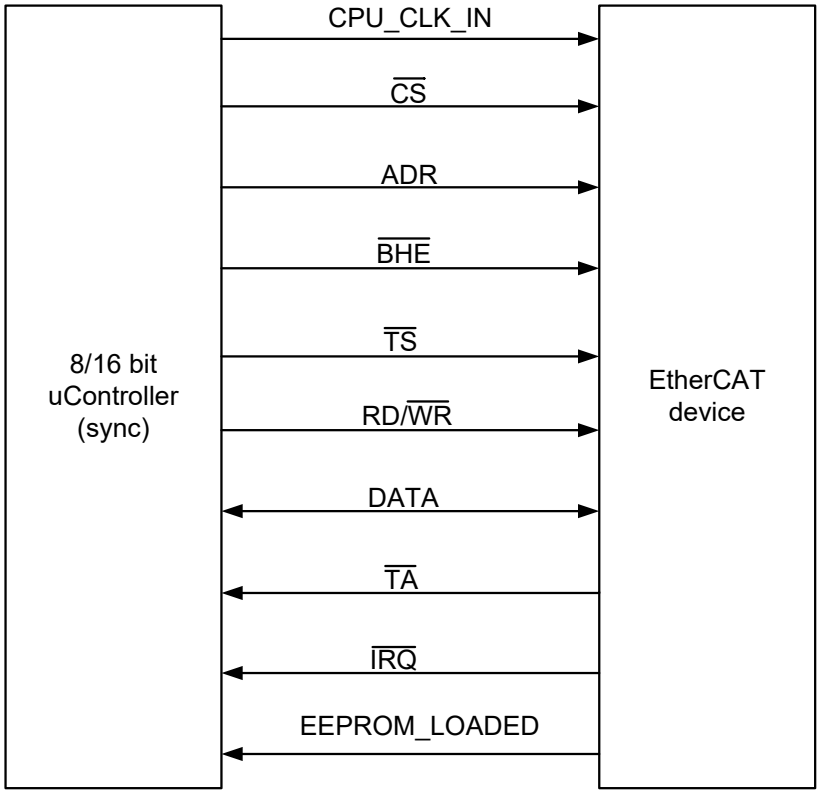


图 6-20 微处理器互连

【注】所有信号都用典型极性配置表示。

表 6-17 微控制器信号

信号同步 I/F	信号异步 I/F	方向	描述	信号极性
CPU_CLK_IN	N/A	I(μC→ESC)	微处理器接口时钟	
CS	CS	I(μC→ESC)	片选	典型：低有效
ADR[15:0]	ADR[15:0]	I(μC→ESC)	地址总线	高有效
BHE	BHE	I(μC→ESC)	字节高使能	典型：低有效
TS	RD	I(μC→ESC)	转移开始	典型：低有效
RD/nWR	WR	I(μC→ESC)	读/写访问	
DATA[15:0]	DATA[15:0]	BD(μC↔ESC)	用于 16 位微处理器接口的数据总线	高有效
DATA[7:0]	DATA[7:0]	BD(μC↔ESC)	用于 8 位微处理器接口的数据总线	高有效
TA	BUSY	O(ESC→μC)	转移应答	典型：低有效
IRQ	IRQ	O(ESC→μC)	中断	典型：低有效
EEPROM_LOADED	EEPROM_LOADED	O(ESC→μC)	PDI 有效，EEPROM 加载	高有效

6.5.2 配置

选择 16 位同步微处理器接口时，在 PDI 控制寄存器 0x0140 中使用 PDI 类型 0x0A，8 位同步微处理器接口 PDI 类型为 0x0B。在寄存器 0x0150-0x0153 中，它支持不同的配置。

6.5.3 微处理器访问

8 位微处理器接口每次访问读或写 8 位，16 位微处理器接口支持 8 位和 16 位读/写访问。最低有效地址位 A[0]与 BHE（Byte High Enable）一起用于区分 8 位低字节访问，8 位高字节访问和 16 位访问。

表 6-18 8 位高/低字节和 16 位访问区别

ADR[0]	BHE（低有效）	访问
0	0	16 位访问 ADR[15:0]和 ADR[15:0]+1（高和低字节）
0	1	8 位访问 ADR[15:0]（低字节偶数地址）
1	0	8 位访问 ADR[15:0]（高字节奇数地址）
1	1	无效访问

如果使用字节高位使能（BHE），字节访问模式配置位必须设置为 0（BHE 或字节选择模式）。

EtherCAT 器件即使使用同步微处理器接口，也使用小端字节顺序。在大小端字节顺序之间的转换，取决于寄存器大小 8、16、32 或 64 位，其必须在软件中完成。

【注意】一个具有 32 位接口的微处理器作为一个连接到同步微处理器接口的为例。也可以使用 8 或 16 位的微处理器。

【注意】请注意本文档中使用的微处理器与您的微处理器位序进行比较（是[0:31]而不是[31:0]），因为它可能是不同的。下

面使用的 MSB/LSB 符号将对您有所帮助。

表 6-19 相应的字节和位

地址	0	1	2	3
微处理器	[31:24]	[23:16]	[15:8]	[7:0]
	[MSBit:LSBit]	[MSBit:LSBit]	[MSBit:LSBit]	[MSBit:LSBit]
	MSByte : LSByte			
ESC 8 位访问	[7:0]			
	[MSBit:LSBit]			
ESC 16 位访问	[7:0]	[15:8]		
	[MSBit:LSBit]	[MSBit:LSBit]		
	LSByte : MSByte			

表 6-20 字节排序

地址	ESC（小端）				sync. µController（大端）			
	8 bit reg.	16 bit reg.	32 bit reg.	64 bit reg.	8 bit reg.	16 bit reg.	32 bit reg.	64 bit reg.
0	Byte0	LSB	LSB	LSB	Byte0	MSB	MSB	MSB
1	Byte1	MSB	|	|	Byte1	LSB	|	|
2	Byte2	LSB	|	|	Byte2	MSB	|	|
3	Byte3	MSB	MSB	|	Byte3	LSB	LSB	|
4	Byte4	LSB	LSB	|	Byte4	MSB	MSB	|
5	Byte5	MSB	|	|	Byte5	LSB	|	|
6	Byte6	LSB	|	|	Byte6	MSB	|	|
7	Byte7	MSB	MSB	MSB	Byte7	LSB	LSB	LSB

6.5.4 使用字节选择信号（BSn）的微处理器连接

如果微处理器不提供 BHE，并且字节选择信号（BS2，用于 32 位微处理器的 BS3）是有效的，那么它们可以用来区分 8 和 16 位访问。信号 BS3（低有效）相当于 ADR[0]，BS2（低有效）相当于 BHE（低有效）。

对于字节选择模式，字节访问模式配置位必须设置为 0（BHE 或字节选择模式）。

表 6-21 字节选择 vs.A[0]和 BHE

微处理器			EtherCAT 器件		访问
ADR[0]	nBS3	nBS2	nBS2	BHE (act. low)	
0	0	0	0	0	16 位访问（低，高字节）
0	0	1	0	1	8 位访问（低字节，偶数地址）
1	1	0	1	0	8 位访问（高字节，奇数地址）
1	1	1	1	1	无效访问

下图显示了 32 位微处理器如何与使用字节选择信号的 EtherCAT 同步 16 位的微处理器接口连接。

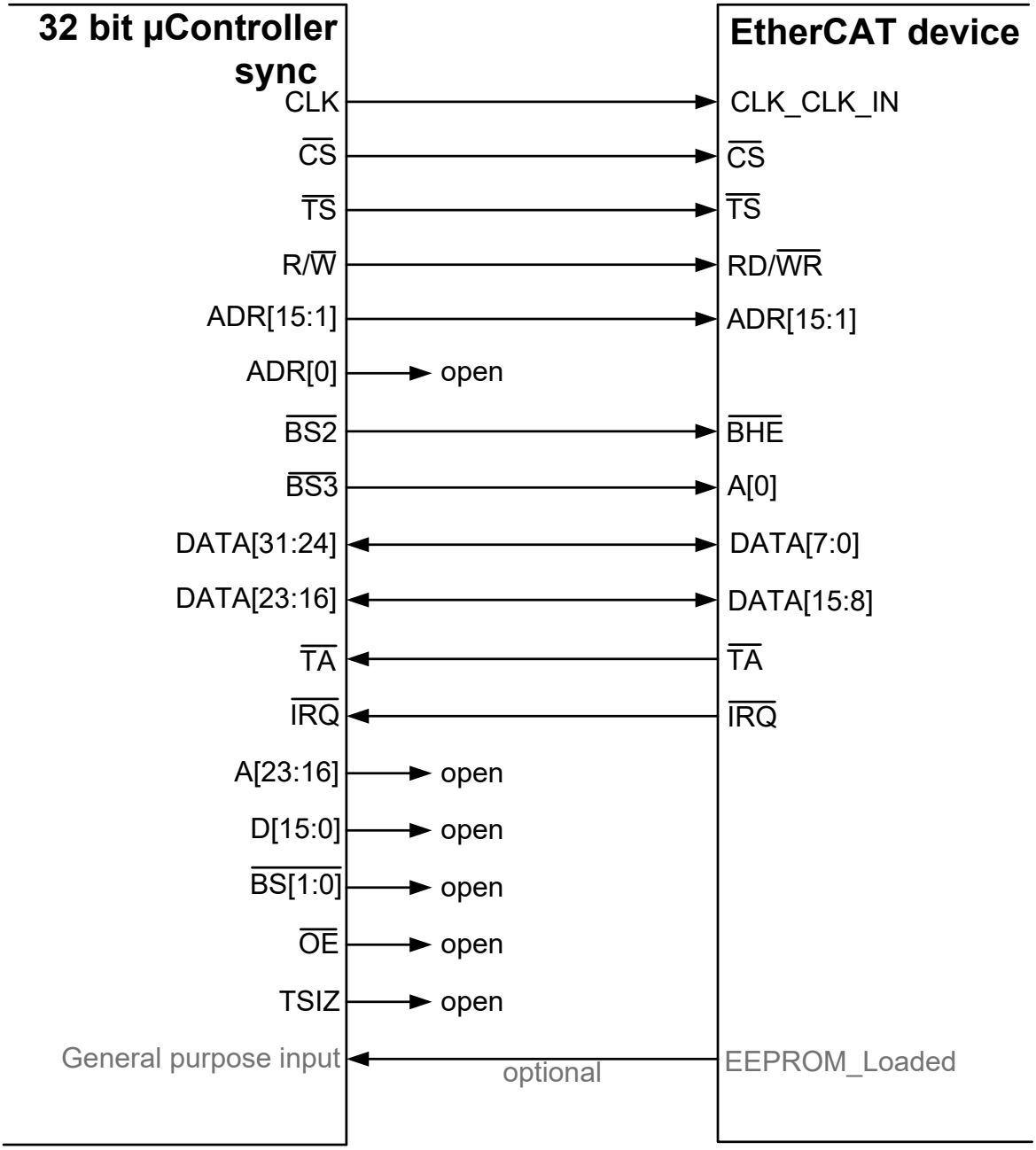


图 6-21 使用字节选择的同步 32 位微处理器连接

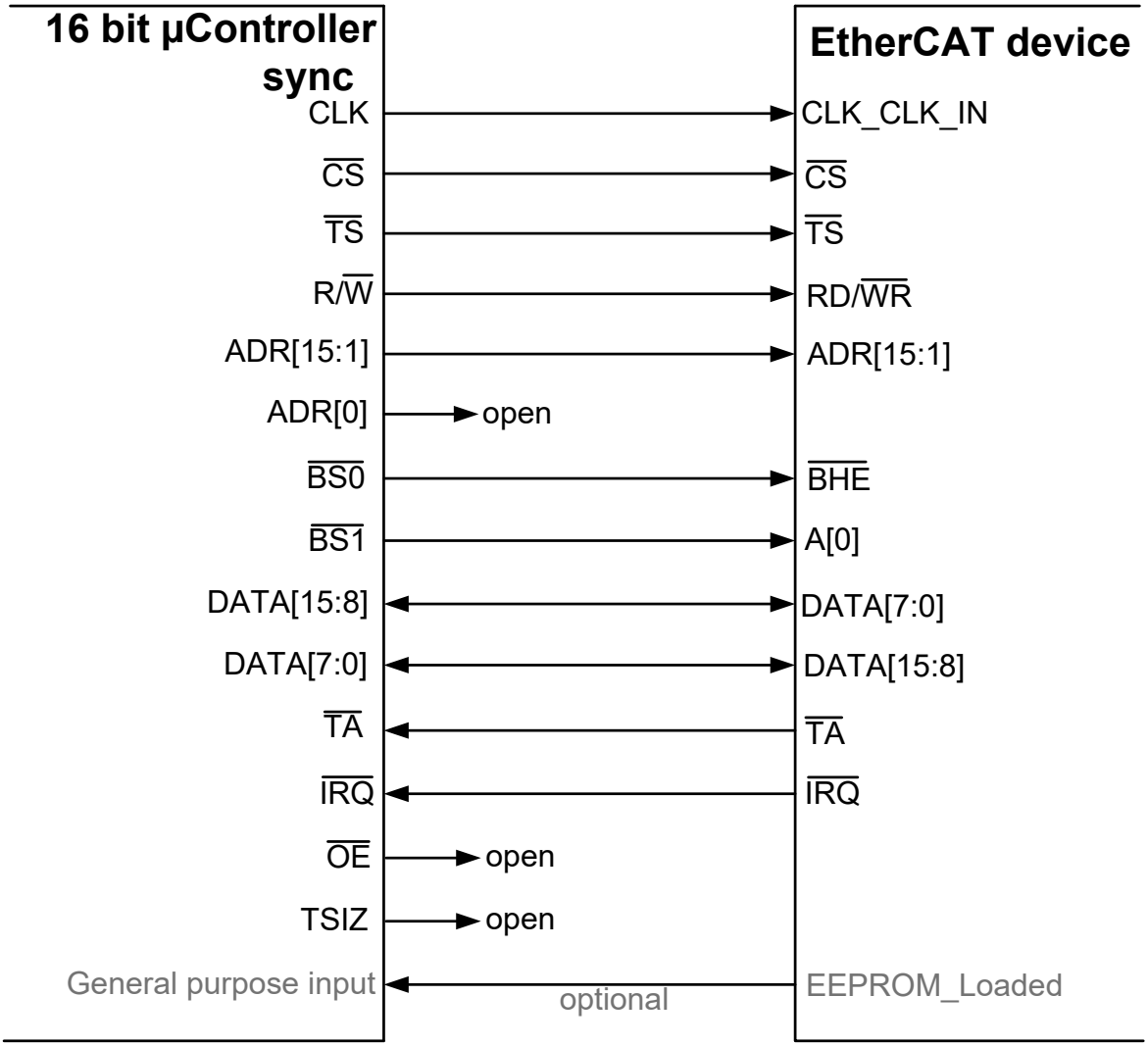


图 6-22 使用字节选择的同步 16 位微处理器连接

6.5.5 使用转移大小（SIZ）信号的微处理器连接

如果微处理器不提供 BHE，并且转移大小（SIZ 或 TSIZ）信号是有效的，那么它们可以和 ADR[0]一起用于区分 8 和 16 位访问。ADR[0]和 SIZ[0]独有的组合相当于 BHE。这个组合可以配置为字节访问模式设置 1（转换大小模式）。

表 6-22 字节选择 vs.ADR[0]和 BHE

微处理器			EtherCAT 器件		访问
ADR[0]	SIZ[1:0]	ADR[0] xor SIZ[0]	ADR[0]	BHE (act. low)	
0	10	0	0	0	16 位访问（低、高字节）
0	01	1	0	1	8 位访问（低字节，偶数地址）
1	01	0	1	0	8 位访问（高字节，奇数地址）
0	00	0	0	0	32 位访问（分为两个 16 位访问）

下图显示了一个 32 位的微处理器如何与使用了 SIZ 信号的 EtherCAT 同步 16 位微处理器接口的连接。

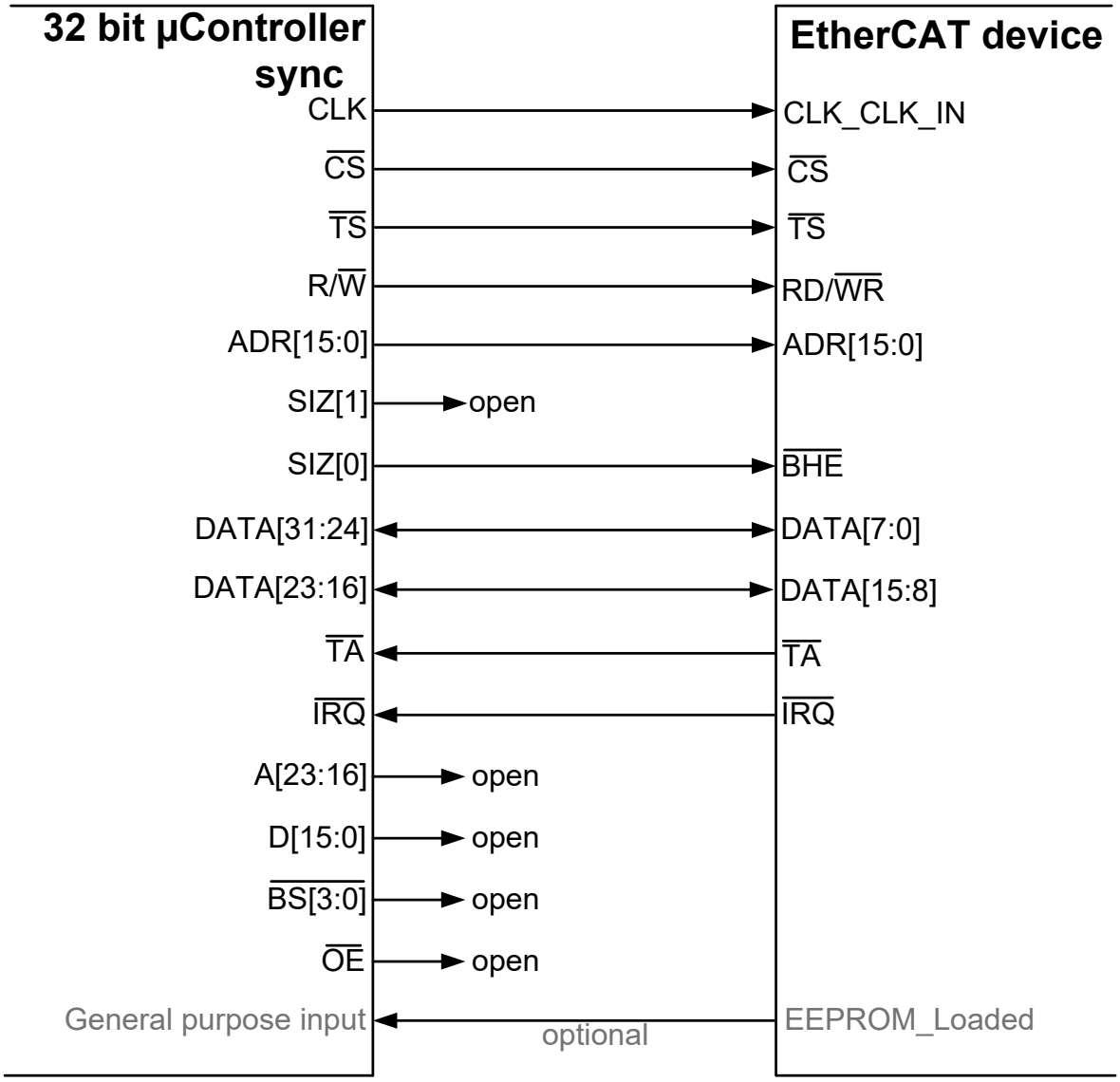


图 6-23 使用传输大小的同步 32 位微处理器连接

6.5.6 写访问

从 TS（Transfer Start）有效开始写入访问。CS 可以与 TS 一起，也可以在一个时钟周期后（不需要配置）。可以配置 CS 采样的 CPU_CLK_IN 边。ADR、BHE 和 R/nW 与 TS 一起有效。如果写数据在 CS 或者一个时钟周期之后也有效，则可以配置它。当 EtherCAT 器件完成访问后，TA（Transfer Acknowledge）有效一个时钟周期。它可能是由 CPU_CLK_IN 的上升沿或下降沿生成。

6.5.7 读访问

从 TS 有效开始读取访问。CS 可以与 TS 一起，也可以在一个时钟周期后（不需要配置）。可以配置 CS 采样的 CPU_CLK_IN 边。ADR、BHE 和 R/nW 与 TS 一起有效。当 EtherCAT 器件完成访问后，TA 和读取数据一起有效一个时钟周期。TA 可能是由 CPU_CLK_IN 的上升沿或下降沿生成。

一些微处理器期望读访问总是 16 位读访问，而不考虑字节选择（Byte Select）信号。由于这个原因，读访问总是 16 位访问，可以配置字节选择信号被忽略。

6.5.8 微处理器访问错误

微处理器访问错误的一个原因是通过同步微处理器接口检测到的。

- 用 A[0]=1 和 BHE(act.low)=1 读取或写入 16 位接口。即在不使用 BHE 的情况下访问奇数地址。

这样错误的使微处理器访问将产生以下后果：

- PDI 错误计数器 0x030D 将会增加。
- 任何访问都不会在内部执行。

6.5.9 EEPROM_LOADED

EEPROM_LOADED 信号表明该微处理器接口是可操作的。因为 EEPROM 被加载之前 PDI 引脚没有驱动，为了适当的功能，可以为连接一个下拉电阻。EEPROM_LOADED 与 CPU_CLK_IN 同步，如果 CPU_CLK_IN 无变化，它也不会变高。

6.5.10 时序特征

表 6-23 FCE1100 的微处理器时序特征

参数	最小	最大	说明
tCLK	25ns		CPU_CLK_IN period (fCLK ≤ 40 MHz)
tIN_setup	10ns		Input signals valid before CPU_CLK_IN edge (TS, CS, ADR, BHE, R/nW, DATA)
tIN_hold	3ns		Input signals valid after CPU_CLK_IN edge (TS, CS, ADR, BHE, R/nW, DATA)
tCLK_to_OUT_valid		15ns	Output signals valid after CPU_CLK_IN edge (TA, IRQ, DATA)
tCLK_to_OUT_invald	0ns		Output signals invalid after CPU_CLK_IN edge (TA, IRQ, DATA)
tread		a) tread_int +tprec_write +tColl b) tread_int +tread_sync	External read time (TS to TA) a) with preceeding write access and tWR_to_RD + tread_sync < tprec_write + tColl b) without preceeding write access or tWR_to_RD + tread_sync > tprec_write + tColl
tread_sync		2.5*tCLK a) +0.5*tCLK b) +0.5*tCLK c) +tCLK	Extra read synchronization delay a) extra delay if 0x0152.11=1 b) extra delay if 0x0152.10=1 b) extra delay if CS asserted one CPU_CLK_IN cycle after TS
tread_int		a) 235ns b) 315ns	Internal read time a) 8 bit access b) 16 bit access
tprec_write		a) 180ns b) 260ns	Time for preceding write access a) 8 bit access b)16 bit access
tColl		a)20ns b) 0ns	Extra read delay a) RD access directly follows WR access with the same address (8 bit accesses or 8 bit WR and 16 bit RD) b) different addresses or 16 bit accesses
twrite		a) twrite_int b) twrite_sync	External write time (TS to TA) a) with preceeding write access and tWR_delay+twrite_sync < twrite_int b) without preceeding write access or tWR_delay+twrite_sync ≥ twrite_int
twrite_sync		2.5*tCLK a) +tCLK b) +0.5*tCLK c) +0.5*tCLK d) +tCLK	Extra write synchronization delay a) extra delay if 0x0152.8=0 b) extra delay if 0x0152.10=1 c) extra delay if 0x0152.11=1

			d)extra delay if CS asserted one CPU_CLK_IN cycle after TS
twrite_int		a) 200ns b) 280ns	Internal write time a) 8 bit access b) 16 bit access
twrite+read		twrite+tread	Internal write/read time for a read access following a write access
tEEPROM_LOADED_to_access	0ns		Time between EEPROM_LOADED and first access
tEEPROM_LOADED_to_IRQ		0ns	IRQ valid after EEPROM_LOADED

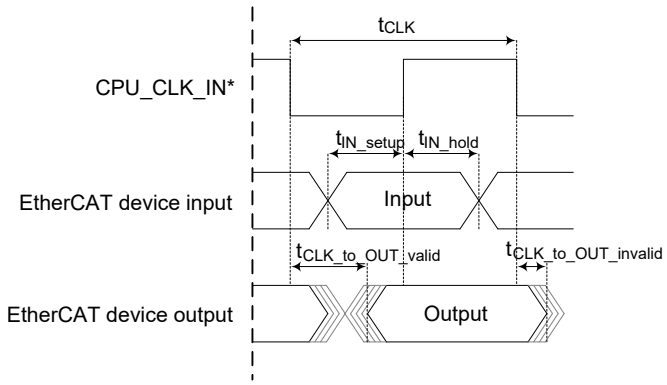


图 6-24 基本的同步微处理器接口时序（*指有关 CPU_CLK_IN 边沿的时序图）

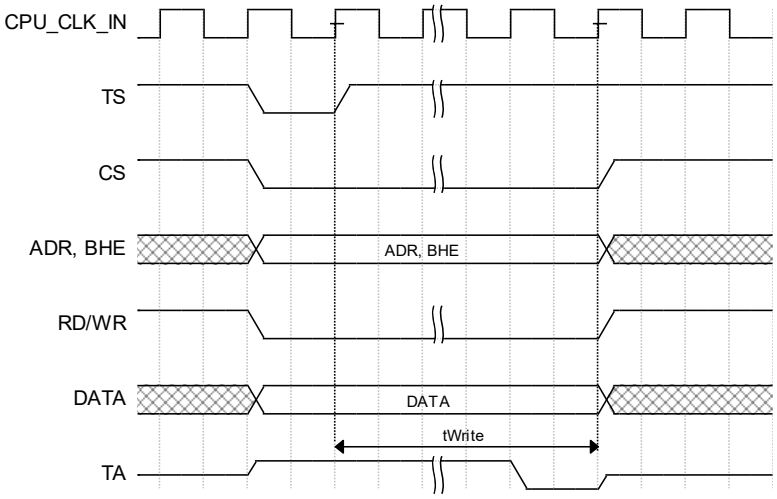


图 6-25 写访问（CS 和 TS 一同，写入 DATA 和 CS 一同，CS 和 TA 在上升沿）

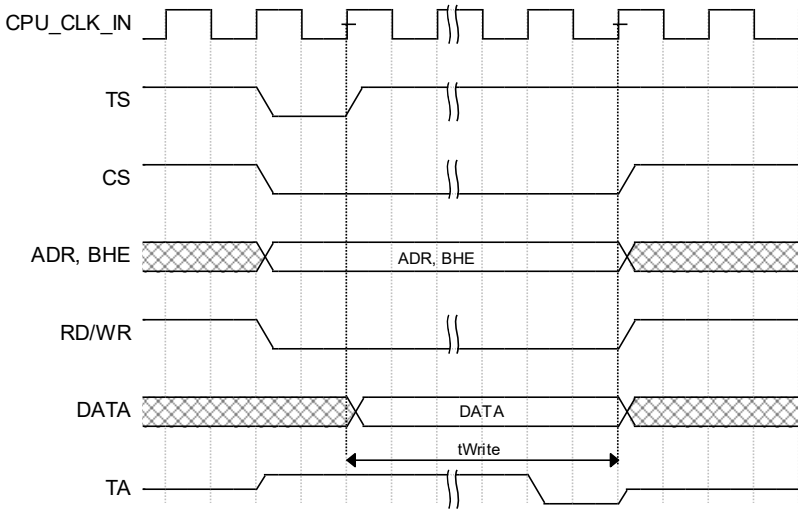


图 6-26 写访问（CS 和 TS 一同，在 CS 后写入 DATA，CS 和 TA 在上升沿）

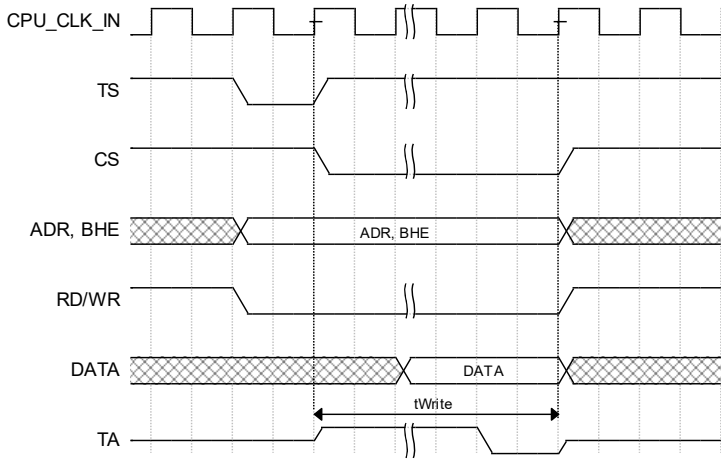


图 6-27 写访问（CS 在 TS 后，在 CS 后写入 DATA，CS 和 TA 在上升沿）

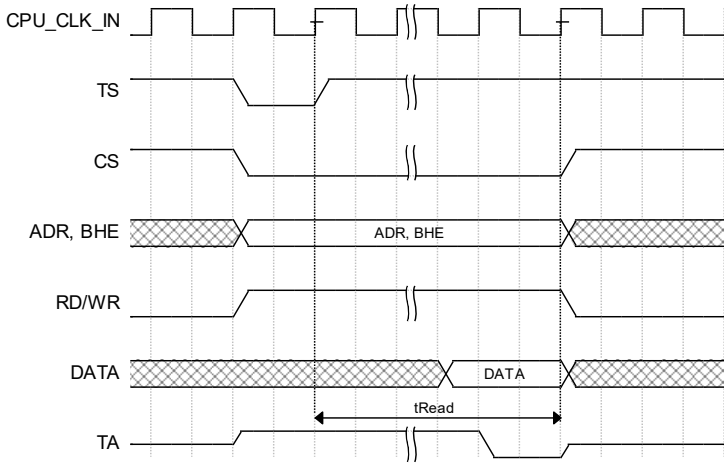


图 6-28 读访问（CS 和 TS 一同，CS 和 TA 在上升沿）

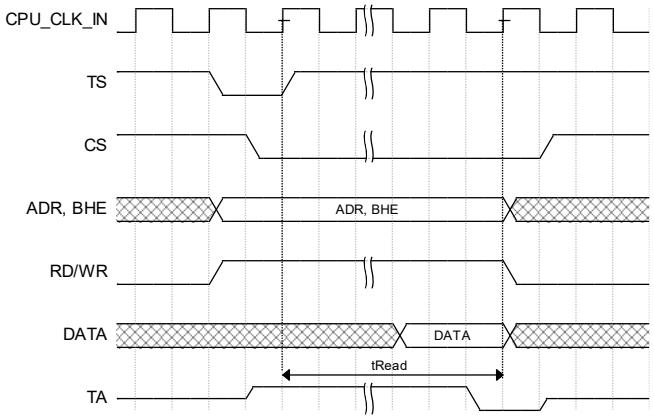


图 6-29 读访问（CS 在 TS 后半个时钟时间，CS 和 TA 在下降沿）

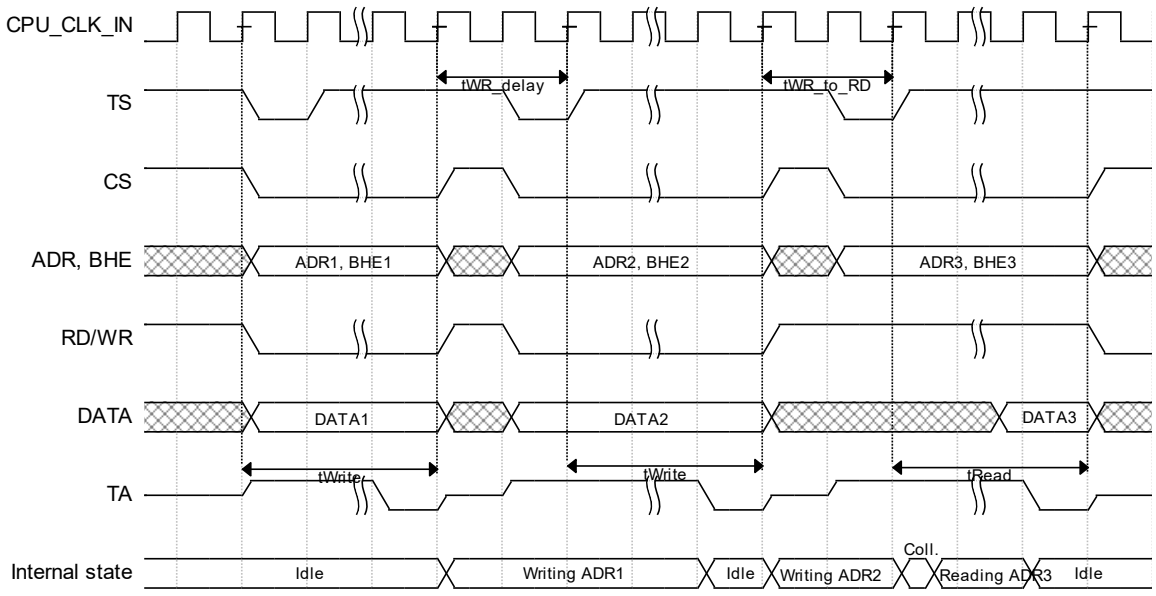


图 6-30 两个写访问和一个读访问的时序

【注】ADR1 的第一次写访问在第一个 TA 之后执行。之后 EtherCAT 从站控制器内部忙于写 ADR1。CS 置为无效之后，TA 不再被驱动，但是 EtherCAT 从站控制器仍在写 ADR1。

之后，对于 ADR2 的第二个写访问会被延迟，因为必须先完成对 ADR1 的写访问。在第二个 TA 后，EtherCAT 从站控制器忙于写 ADR2。

这个示例中的第三个访问是读访问。当读访问开始时，EtherCAT 从站控制器仍在忙于写入 ADR2。在这种情况下，首先完成对 ADR2 的写访问，然后对 ADR3 进行读访问。在写和读访问都完成之后，EtherCAT 从站控制器都会发出 TA 信号。

7 分布式时钟 SYNC/LATCH 信号

7.1 信号

FCE1100 的分布式时钟（Distributed Clock）单元有以下外部信号（取决于 EtherCAT 从站控制器的配置）：

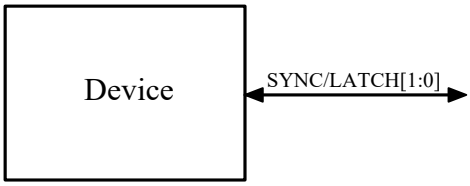


图 7-1 分布式时钟信号

表 7-1 分布式时钟信号

信号	方向	描述
SYNC/LATCH[1:0]	O/I	SyncSignal（输出）或者 LatchSignal（输入），方向位可通过寄存器 0x0151/EEPROM 配置。

【注】SYNC/LATCH 信号不驱动（高阻抗），直到 SII EEPROM 加载。

7.2 时序特征

表 7-2 FCE1100 的 DC SYNC/LATCH 时序特征

参数	最小	最大	描述
t_{DC_LATCH}	15ns		Time between Latch0/1 events
$t_{DC_SYNC_Jitter}$		15ns	SYNC0/1 output jitter
$t_{DC_SYNC_Pulse_IRQ}$	40ns		Pulse length for SYNC0/1 if used as PDI interrupt in continuous mode

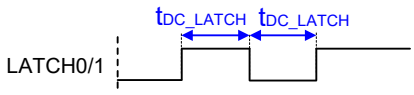


图 7-2 LatchSignal 时序

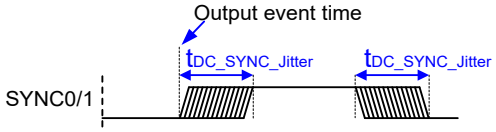


图 7-3 SyncSignal 时序

8 SII EEPROM 接口

SII EEPROM 接口目的是在芯片和 I²C EEPROM 之间点对点连接。如果需要其它 I²C 主站访问 I²C 总线，则芯片必须保持在复位状态（例如，用于 EEPROM 的电路编程），否则芯片将检测到访问冲突。

8.1 信号

FCE1100 的 EEPROM 接口信号如下：

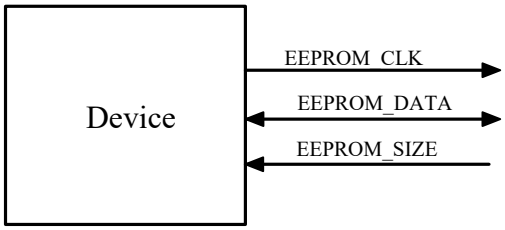


图 8-1 I²C EEPROM 信号

表 8-1 I²C EEPROM 信号

信号	方向	描述
EEPROM_CLK	O	I²C 时钟
EEPROM_DATA	BD	I²C 数据
EEPROM_SIZE	I	EEPROM 容量配置

EEPROM_CLK 和 EEPROM_DATA 的上拉电阻集成在芯片中。EEPEOM_CLK 不能在外部保持低电平，因为 FCE1100 会将其检测为错误。

8.2 时序特性

表 8-2 EEPROM 时序特征

参数	典型		说明
	1Kbit-16Kbit	32Kbit-4MKbit	
t_{Clk}	~6.72μs		EEPROM clock period (f_{Clk} ≈ 150 kHz)
t_{Write}	~250μs	~310μs	Write access time (without errors)
t_{Read}	a) ~680μs b) ~1.16ms	a) ~740μs b) ~1.22ms	Read access time (without errors): a) 4 words b) configuration (8 Words)
t_{Delay}	~168ms		Time until configuration loading begins after Reset is gone

9 内存映射

EtherCAT 从站控制器拥有 64KB 的地址空间。前 4KB 的地址空间（0x0000:0x0FFF）专门用于寄存器。过程数据 RAM 区从地址 0x1000 开始，结束于地址 0x2FFF，大小为 8KB。

下表是可用寄存器的一个总结：

表 9-1 FCE1100 寄存器分布

地址	长度（Byte）	描述	FCE1100
0x0000	1	类型	x
0x0001	1	版本	x
0x0002:0x0003	2	编译	x
0x0004	1	支持 FMMU	x
0x0005	1	支持 SM	x
0x0006	1	RAM 大小	x
0x0007	1	端口描述	x
0x0008:0x0009	2	EtherCAT 从站控制器支持的特征	x
0x0010:0x0011	2	配置站点地址	x
0x0012:0x0013	2	配置站点别名	x
0x0020	1	寄存器写使能	x
0x0021	1	寄存器写保护	x
0x0030	1	EtherCAT 从站控制器写使能	x
0x0031	1	EtherCAT 从站控制器写保护	x
0x0040	1	EtherCAT 从站控制器复位以太网	x
0x0041	1	EtherCAT 从站控制器复位 PDI	-
0x0100:0x0101	2	EtherCAT 从站控制器 DL 控制	x
0x0102:0x0103	2	扩展 EtherCAT 从站控制器 DL 控制	x
0x0108:0x0109	2	物理读/写偏移	x
0x0110:0x0111	2	EtherCAT 从站控制器 DL 状态	x
0x0120	5 bits [4:0]	AL 控制	x
0x0120:0x0121	2	AL 控制	x
0x0130	5 bits [4:0]	AL 状态	x
0x0130:0x0131	2	AL 状态	x
0x0134:0x0135	2	AL 状态码	x
0x0138	1	RUN LED 改写	-

0x0139	1	ERR LED 改写	-
0x0140	1	PDI 控制	x
0x0141	1	EtherCAT 从站控制器配置	x
0x014E:0x014F	2	PDI 信息	-
0x0150	1	PDI 配置	x
0x0151	1	DC SYNC/ATCH 接口配置	x
0x0152:0x0153	2	扩展 PDI 配置	x
0x0200:0x0201	2	EtherCAT 事件屏蔽	x
0x0204:0x0207	4	PDI AL 事件屏蔽	x
0x0210:0x0211	2	EtherCAT 事件请求	x
0x0220:0x0223	4	AL 事件请求	x
0x0300:0x0307	4*2	接收错误计数器[3:0]	x
0x0308:0x030B	4*1	转发接收错误计数器[3:0]	x
0x030C	1	EtherCAT 处理单元错误计数器	x
0x030D	1	PDI 错误计数器	x
0x030E	1	PDI 错误码	-
0x0310:0x0313	4*1	链接丢失计数器[3:0]	x
0x0400:0x0401	2	看门狗分频器	x
0x0410:0x0411	2	PDI 看门狗计时器	x
0x0420:0x0421	2	过程数据看门狗计时器	x
0x0440:0x0441	2	过程数据看门狗状态	x
0x0442	1	过程数据看门狗计数器	x
0x0443	1	PDI 看门狗计数器	x
0x0500:0x050F	16	SII EEPROM 接口	x
0x0510:0x0515	6	MII 管理器接口	x
0x0516:0x0517	2	MII 管理操作状态	-
0x0518:0x051B	4	PHY 端口状态[3:0]	-
0x0600:0x06FC	16*13	FMMU[15:0]	8
0x0800:0x087F	16*8	SM[15:0]	8
0x0900:0x090F	4*4	DC–接收时间	x
0x0910:0x0917	8	DC–系统时间	SL
0x0918:0x091F	8	DC–EPU 接收时间	SL
0x0920:0x0927	8	DC–系统时间偏移	SL

0x0928:0x092B	4	DC–系统时间延迟	SL
0x092C:0x092F	4	DC–系统处理时差	SL
0x0930:0x0931	2	DC–速度计数器开始	SL
0x0932:0x0933	2	DC–速度计数器差异	SL
0x0934	1	DC–系统时差滤波深度	SL
0x0935	1	D–速度计数器滤波深度	SL
0x0936	1	DC–接收时间锁存模式	-
0x0980	1	DC–周期单元控制	S
0x0981	1	DC–激活	S
0x0982:0x0983	2	DC–SYNC 信号脉冲长度	S
0x0984	1	DC–激活状态	-
0x098E	1	DC–SYNC0 信号状态	S
0x098F	1	DC–SYNC1 信号状态	S
0x0990:0x0997	8	DC–下一个周期操控时间/下一个 SYNC0 脉冲	S
0x0998:0x099F	8	DC–下一个 SYNC1 信号脉冲	S
0x09A0:0x09A3	4	DC–SYNC0 周期时间	S
0x09A4:0x09A7	4	DC–SYNC1 周期时间	S
0x09A8	1	DC–LATCH0 控制	L
0x09A9	1	DC–LATCH1 控制	L
0x09AE	1	DC–LATCH0 状态	L
0x09AF	1	DC–LATCH1 状态	L
0x09B0:0x09B7	8	DC–LATCH0 上升沿	L
0x09B8:0x09BF	8	DC–Latch0 下降沿	L
0x09C0:0x09C7	8	DC–Latch1 上升沿	L
0x09C7:0x09CF	8	DC–Latch1 下降沿	L
0x09F0:0x09F3	4	DC–缓存变化事件时间	SL
0x09F8:0x09FB	4	DC–PDI 缓存开始事件时间	SL
0x09FC:0x09FF	4	DC–PDI 缓存变化事件时间	SL
0x0E00:0x0E03	4	上电值[Bits]	16
0x0E00:0x0E07	8	产品 ID	-
0x0E08:0x0E0F	8	厂商 ID	-
0x0E10	1	EtherCAT 从站控制器健康状态	-
0x0F00:0x0F03	4	数字 I/O 输出数据	x

0x0F10:0x0F17	8	通用输出数据[Byte]	2
0x0F18:0x0F1F	8	通用输入数据[Byte]	2
0x0F80:0x0FFF	128	用户 RAM	x
0x1000:0x1003	4	数字 I/O 接口输入数据	io
0x1000 ff.		过程数据 RAM[KB]	8

【注】上表概述图例如下。

符号	描述	FCE1100 EEPROM 设置
x	可用	
-	不可用	
SL	DC SYNC 输出单元或 Latch 输入单元使能	0x0000[10]=1 或 0x0000[11]=1
S	DC SYNC 输出单元使能	0x0000[10]=1
L	Latch 输入单元使能	0x0000[11]=1
io	选择数字 I/O PDI 时可用	

10 Electrical Specifications

10.1 Absolute Maximum Conditions

Table 10-1 Absolute Maximum Conditions

Symbol	Parameter	Condition	Min	Max	Units
$V_{CC\ I/O}$-V_{SS}	Supply voltage for internal LDO		-	5.5V	V

10.2 Operating Conditions

10.2.1 Power Supply

Table 10-2 Power Supply

Symbol	Parameter	Min	Typ	Max	Unit
$V_{CC\ I/O}$	I/O power supply	3.0	3.3	5.5	V
$V_{CC\ Core}$	Logic power supply	1.7	1.8	1.98	V
$V_{CC\ PLL}$	PLL power supply	1.7	1.8	1.98	V
$V_{CC\ Core\ Ext}$	External logic power supply	1.7	1.8	1.98	V
$V_{CC\ PLL\ Ext}$	External PLL power supply	1.7	1.8	1.98	V

10.2.2 Electrical Characteristics

Table 10-3 DC Characteristics

Symbol	Parameter	Condition	Min	Typ	Max	Units	Notes
$V_{CC\ Core\ LDO}$	Internal LDO output voltage $V_{CC\ Core}/V_{CC\ PLL}$		-	1.8	-	V	**Note3**
$V_{Reset\ I/O}$	Reset threshold for $V_{CC\ I/O}$		-	2.9	-	V	**Note2**
V_{IL}	Low level input voltage	a) $3.0 \le V_{CC\ I/O} \le 3.6V$	-0.3	-	0.8	V	**Note3**
		b) $4.5V \le V_{CC\ I/O} \le 5.5V$	-0.3	-	$0.3 \times V_{CC\ I/O}$		
V_{IH}	High level input voltage	a) $3.0 \le V_{CC\ I/O} \le 3.6V$	2	-	$V_{CC\ I/O}+0.3$	V	**Note3**
		b) $4.5V \le V_{CC\ I/O} \le 5.5V$	$0.7 \times V_{CC\ I/O}$	-	$V_{CC\ I/O}+0.3$		
V_{HYS}	Schmitt trigger hysteresis	$V_{t+}-V_{t-}$	$0.1 \times V_{CC\ I/O}$	-	$0.4 \times V_{CC\ I/O}$	V	**Note3**
V_{OL}	Low level output voltage	$3.0 \le V_{CC\ I/O} \le 5.5V$	-	-	0.5	V	I_{load}=3.5mA **Note3**
V_{OH}	High level output voltage	a) $3.0 \le V_{CC\ I/O} \le 3.6V$	2.4	-	-	V	I_{load}=3.5mA **Note3**
		b) $4.5V \le V_{CC\ I/O} \le 5.5V$	$V_{CC\ I/O}$-0.8	-	-		
V_{OD}	LVDS differential output voltage	R_L=100 Ω R_{BIAS}=11 kΩ	-	383	-	mV	**Note2**
ΔV_{OD}	Change in V_{OD} between 1 and 0		-	-	±50	mV	**Note1**
V_{OC}	LVDS common mode output voltage		-	1.28	-	V	**Note2**
ΔV_{OC}	Change in V_{OC} between 1 and 0		-	-	±50	mV	**Note1**
V_{ID}	LVDS differential input voltage		100	-	-	mV	**Note1**
V_{IC}	LVDS input voltage range		0	-	2.4	V	**Note1**
I_{IL}	Input leakage current		-	-	±10	uA	**Note3**
R_{PU}	Internal pull-up resistor		-	2.9	-	kΩ	**Note3**
R_{MPU}	Middle internal pull-up resistor	a) $V_{CC\ I/O}$=3.3V	-	50	-	kΩ	**Note3**
		b) $V_{CC\ I/O}$=5V	-	50	-		
R_{WPU}	Weak internal pull-up resistor	a) $V_{CC\ I/O}$=3.3V	-	118	-	kΩ	**Note3**
		b) $V_{CC\ I/O}$=5V	-	76	-		
R_{WPD}	Weak internal pull-down resistor	a) $V_{CC\ I/O}$=3.3V	-	104	-	kΩ	**Note3**
		b) $V_{CC\ I/O}$=5V	-	66	-		
R_{LI+}	Internal LVDS input pull-down resistor at LVDS_RX+ pins		-	1.2	-	MΩ	**Note3**
R_{LI-}	Internal LVDS input pull-up resistor at LVDS_RX- pins		-	1.2	-	MΩ	**Note3**
R_{BIAS}	External LVDS BIAS resistor		-	11	-	kΩ	
R_L	LVDS RX load resistor		-	100	-	Ω	
C_{OSC}	OSC_IN/OSC_OUT pin capacitance		-	12	-	pF	

Note1: Guaranteed by design.This is ensured by chip design assurance.

Note2: Test in characterization.This attribute is obtained through sampling tests.

Note3: Test in production.This item is performed at room temperature.

NOTE: R_{WPU}/R_{WPD} cannot be used externally, their full effectiveness appears only inside the FCE1100 (realized as transistors).

NOTE: Input and output characteristics without special indication apply to all non-LVDS I/O signals.

Table 10-4 DC Characteristics(Supply Current)

Symbol	Parameter	Condition	Type	Units
$I_{CC\ I/O}$	2xMII, 1xFMMU, DC off	$V_{CC\ I/O}$=3.3V, Internal LDO used	48	mA
	2xMII, 1xFMMU, DC S+L		48	
	4xMII, 8xFMMU, DC S+L		54	
	2xLVDS, 1xFMMU, DC off		73	
	2xLVDS, 1xFMMU, DC S+L		72	
	4xLVDS, 8xFMMU, DC S+L		137	
$I_{CC\ I/O}$	2xLVDS, 1xFMMU, DC off	$V_{CC\ I/O}$=5V, Internal LDO used	96	mA
	2xLVDS, 1xFMMU, DC S+L		96	
	4xLVDS, 8xFMMU, DC S+L		137	

NOTE: Supply current does not include output driver current for PDIs and LEDs.

10.2.3 Timing Characteristics

Table 10-5 Timing Characteristics

Symbol	Parameter	Min	Typ	Max	Units	Notes
f_{CLK25}	Clock source (OSC_IN) with initial accuracy		25MHz±25ppm			**Note2**
$t_{CLK25OUT1}$	CLK25OUT1 rising edge after OSC_IN rising edge	-	**Note1**	-	ns	
$t_{CLK25OUT2}$	CLK25OUT2 rising edge after OSC_IN rising edge	-	**Note1**	-	ns	
t_{TX_delay}	TX_ENA/TX_D[3:0] edge (TX-Shift = 00) after rising edge of a) OSC_IN b) CLK25OUT1 c) CLK25OUT2	-	a) **Note1** b) 38 c) 0	-	ns	**Note3**
t_{CPU_CLK}	CPU_CLK (25 MHz) rising edge after OSC_IN rising edge	-	**Note1**	-	ns	
t_{POR_Sample}	POR value sample time after power good	-	84	-	ms	**Note2**
t_{Driver_Enable}	Output drivers enabled after POR values sampled (not PDI and not Sync/LatchSignals)	-	80	-	ns	**Note2**
t_{Reset_In}	External reset input time	50	-	-	ns	**Note2**
t_{Reset_Out}	FCE1100 Reset output time	80	84	-	ms	**Note2**
t_{Reset_Func}	FCE1100 functional after RESET signal high (EEPROM not loaded, PDI not functional)	-	-	50	µs	**Note2**
$t_{Startup}$	Startup time (PDI operational after power good, without SII loading error)	-	-	340	ms	**Note2**

Note1: No fixed relationship.

Note2: Guaranteed by design.This is ensured by chip design assurance.

Note3: Test in characterization.The typical values of CLK25OUT1 and CLK25OUT2 are obtained through sampling tests.

NOTE: The timing characteristics of the PDIs, Distributed Clocks, EEPROM I^2C interface, and MII interface can be found in their respective chapters.

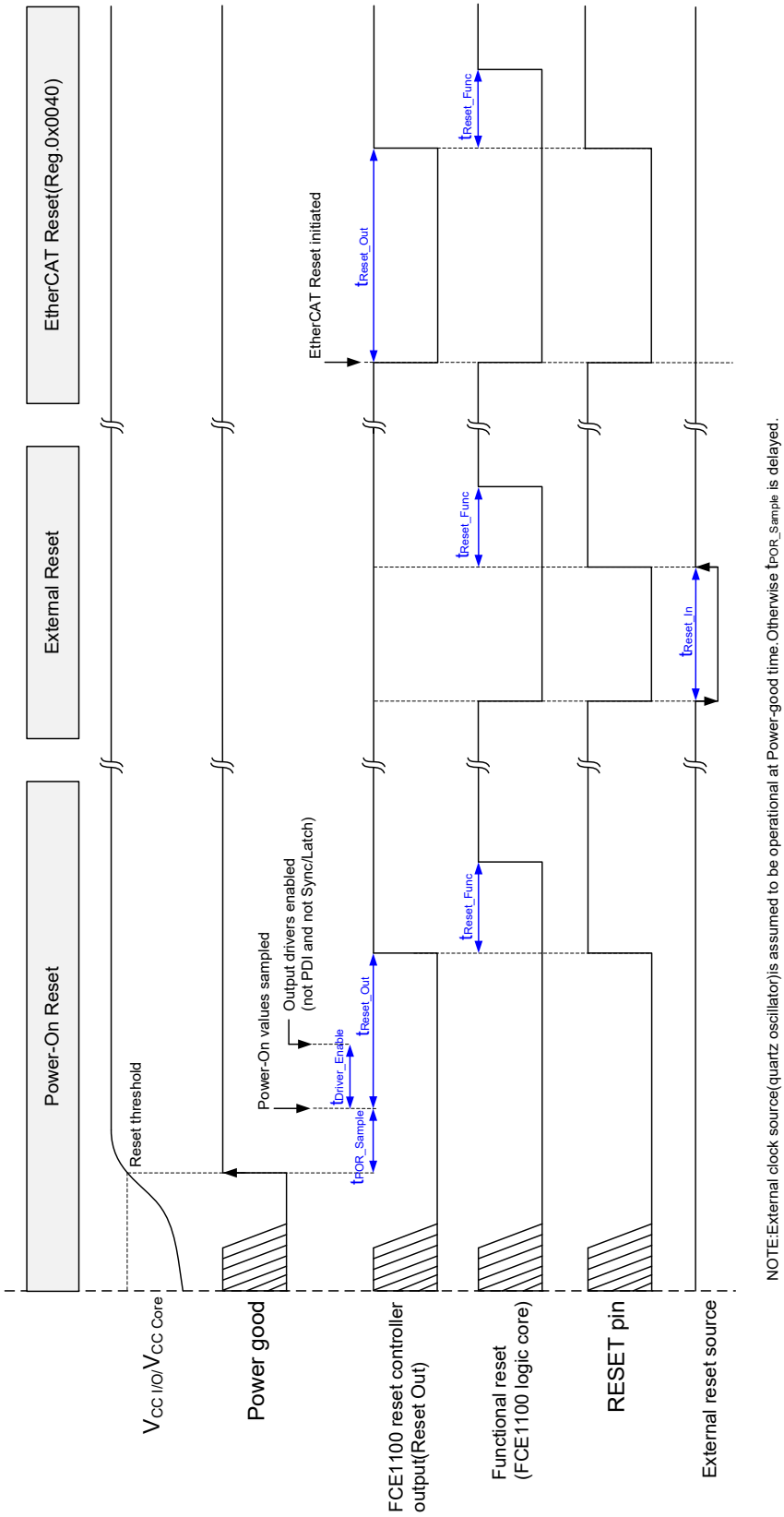


Figure 10-1 Reset Timing

Table 10-6 Forwarding Delays

Symbol	Parameter	Min	Average	Max	Units
t_{Diff}	Average difference processing delay minus forwarding delay (without RX FIFO jitter) between any two ports a) at least one of the two ports is LVDS b) both ports are MII		 a) 20 b) 40		ns
t_{LL}	LVDS port to LVDS port delay (FIFO size 7): a) Through EtherCAT Processing Unit(processing), Low Jitter off b) Alongside EtherCAT Processing Unit(forwarding), Low Jitter off c) Through EtherCAT Processing Unit(processing), Low Jitter on d) Alongside EtherCAT Processing Unit(forwarding), Low Jitter on	 a) 140 b) 120 c) 150 d) 130	 a) 150 b) 130 c) 155 d) 135	 a) 160 b) 140 c) 160 d) 140	ns
t_{LM}	LVDS port to MII port delay (FIFO size 7, TX Shift=00): a) Through EtherCAT Processing Unit(processing), Low Jitter off b) Alongside EtherCAT Processing Unit(forwarding),Low Jitter off	 a) 145 b) 125	 a) 170 b) 150	 a) 195 b) 175	ns
t_{ML}	MII port to LVDS port delay (FIFO size 7, TX Shift=00): a) Through EtherCAT Processing Unit(processing), Low Jitter off b) Alongside EtherCAT Processing Unit(forwarding), Low Jitter off c) Through EtherCAT Processing Unit(processing), Low Jitter on d) Alongside EtherCAT Processing Unit(forwarding), Low Jitter on	 a) 255 b) 235 c) 265 d) 245	 a) 280 b) 260 c) 290 d) 270	 a) 305 b) 285 c) 315 d) 295	ns
t_{MM}	MII port to MII port delay (FIFO size 7, TX Shift=00): a) Through EtherCAT T Processing Unit(processing), Low Jitter off b) Alongside EtherCAT Processing Unit(forwarding), Low Jitter off	 a) 280 b) 240	 a) 305 b) 265	 a) 335 b) 295	ns

NOTE: Average timings are used for Distributed Clocks calculations.

10.2.4 EMS Characteristics

Table 10-7 EMS Characteristics

Symbol	Parameter	Min	Units
$V_{ESD\ (HBM)}$	Electrostatic discharge (Human body model)	4	kV
$V_{ESD\ (CDM)}$	Electrostatic discharge (Charged device model)	800	V
I_{LAT}	Latch up current	±200	mA

10.2.5 Thermal Characteristics

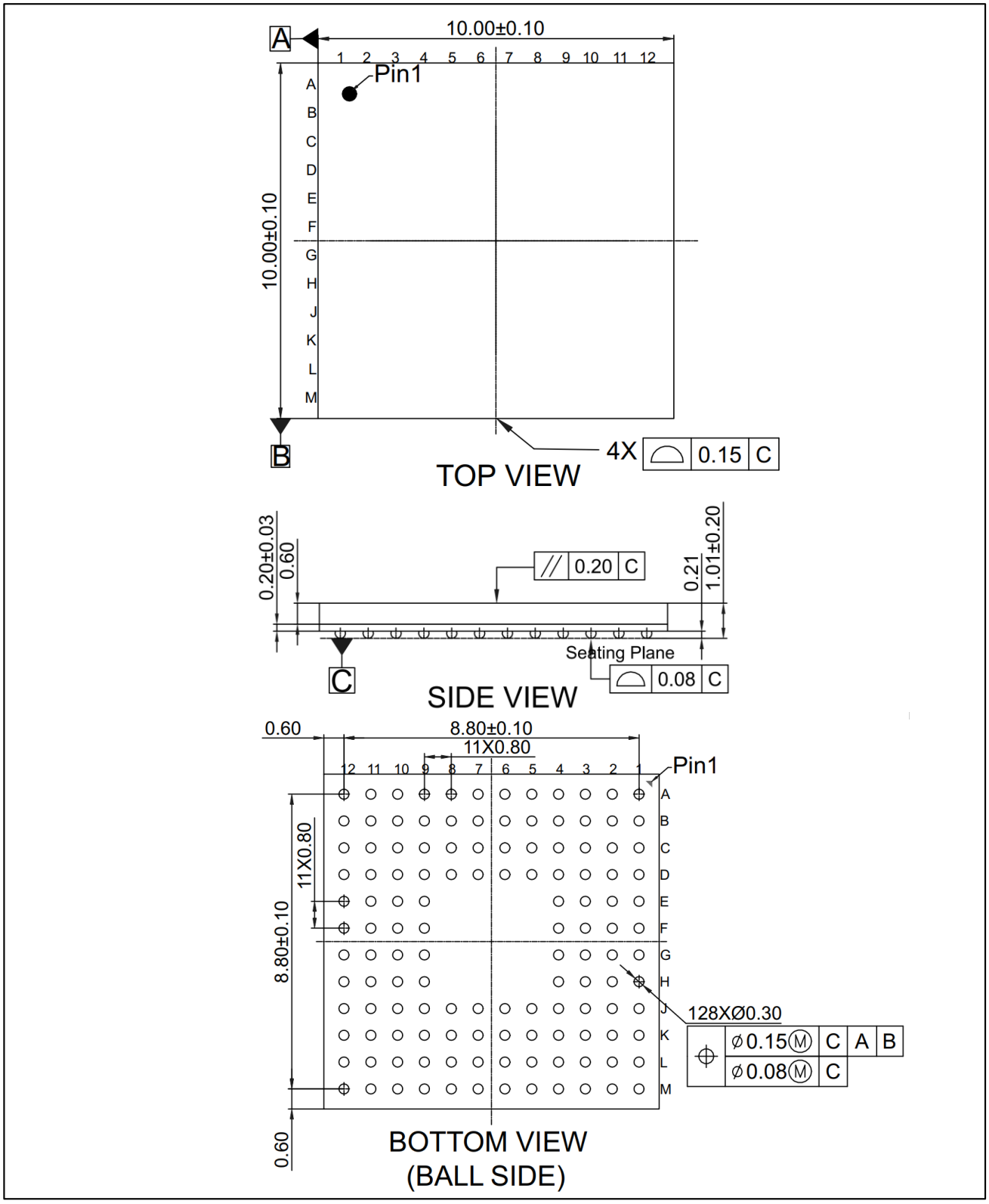
Table 10-8 Thermal Characteristics

Symbol	Parameter	Min	Type	Max	Unit
θ_J	Junction temperature	-40	-	125	℃

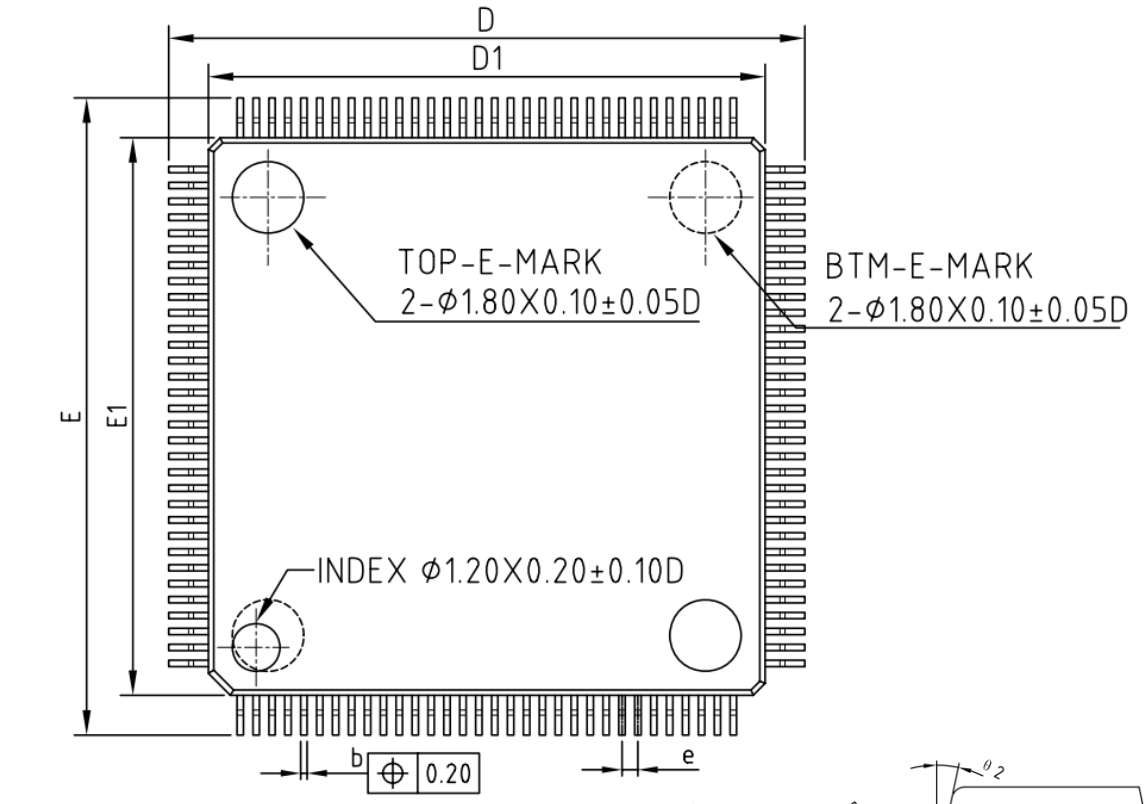
11 封装和订购信息

11.1 封装信息

11.1.1 BGA128 封装

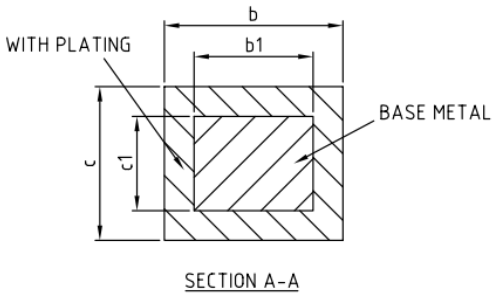


11.1.2 QFP128 封装



COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	–	–	1.60
A1	0.05	–	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.14	–	0.23
b1	0.13	0.16	0.19
c	0.13	–	0.18
c1	0.12	0.127	0.134
D	15.80	16.00	16.20
D1	13.90	14.00	14.10
E	15.80	16.00	16.20
E1	13.90	14.00	14.10
e		0.40BSC	
L	0.45	0.60	0.75
L1		1.00REF	
L2		0.25BSC	
R1	0.08	–	–
R2	0.08	–	0.20
S	0.20	–	–
θ	0°	3.5°	7°
θ 1	0°	–	–
θ 2	11°	12°	13°
θ 3	11°	12°	13°



NOTES:
ALL DIMENSIONS REFER TO JEDEC STANDARD MS-026 BEE DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.

11.2 加工

11.2.1 BGA128 封装的 PCB 建议

PCB 制造技术复杂，请咨询您的 PCB 制造商和 PCB 组装厂。这里给出了针对 BGA128 封装的许多用例的一些建议。

FCE1100 的引脚经过优化，可以使用 BGA 空闲中心的 0.7mm/0.3mm 过孔进行简单的扇出布线（escap routing），因为内部的两个球环主要用于供电。

推荐使用直径为 300μm 的 NSMD，实际阻焊口直径为 400μm（加宽后）。因此，焊锡球覆盖整个焊盘，从而实现更好的连接。

每个焊盘（无论使用或未使用）应仅通过一条走线连接，并且所有焊盘的走线宽度应小且相同，例如 125μm。这使得两个球的焊接性能相等。

不建议使用未镀铜的 PCB，因为焊点易碎。

11.2.2 BGA128 焊接资料

下面的焊接配置文件用于说明最小值和最大值。对于实际的焊接配置文件，必须考虑许多因素，例如，锡膏特性，PCB，电镀，其它元件，材料和工艺类型。

请咨询您的 PCB 组装厂。以下回焊曲线仅供参考。

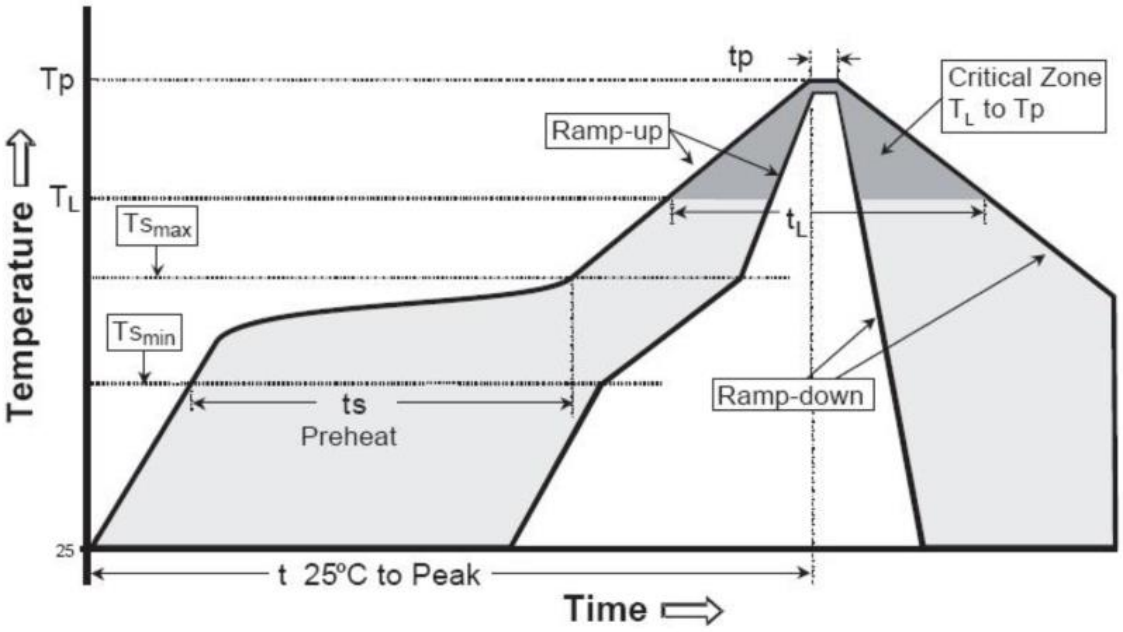


图 11-1 回焊温度和时间

表 11-1 回焊温度和时间

参数	值	Abs.Max	单位
回焊曲线	-	-	
Average Ramp Up Rate/升温速度	-	3	℃/s
Preheat Temperature/预热温度	150~200	-	℃
Preheat Time/预热时间	60~180	-	s
Peak Temperature/顶温	245~260	-	℃
Time within 5℃ of actual Peak Temperature	20~40	-	s
Ramp Down Rate/降温速度	-	6	℃/s
Time 25℃ to Peak Temperature	-	8	min

11.3 订购信息

表 11-2 订购信息

Device	Package Type	Pins	Packing Type	Packing Qty	SPQ	Eco Plan	MSL	Op Temp(°C)	Status
FCE1100B2N	BGA	128	Tray	240	2400	RoHS, Reach & Green	Level-3	-40 to 105	ACTIVE
FCE1100B2N.E	BGA	128	Tray	240	2400	RoHS, Reach & Green	Level-3	-40 to 105	ACTIVE
FCE1100P2N.E	LQFP	128	Tray	90	900	RoHS, Reach & Green	Level-3	-40 to 105	OBSOLETE

【说明】包装信息请参考相应的包装资料。

12 修订记录

修订日期	版本	修订内容
-	V1.0	首版文档。
-	V1.1	新增 QFP128 封装形式，具体参考“QFP128 封装”。
-	V1.2	新增订购信息 FCE1100B2N.E，具体参考“订购信息”。该版 FCE1100B2N.E 修复上电后概率性无法通信问题。 第 1 页增加了此文档适用的产品名称。 第 1 页，第 16 页封装信息增加了 FCE1100B2N.E。
-	V1.3	更新整个 5.0“Electrical Specifications”章节，新增部分直流参数及 EMS 特性，此章节改动为英文叙述。
-	V1.3.1	新增 5.2.2“Electrical Characteristics”章节表格 5-3 的 V_{IL} 的参数内容。 更新章节 3.1.1“FCE1100B2N 引脚定义”及章节 3.1.2“FCE1100P2N 引脚定义”的章节名称。 新增章节 2.2.7“启动过程”。 更改章节 3.2.10.3“PDI 引脚”内容描述。 更改章节 3.2.13“保留引脚”和章节 5.2.3“EMS Characteristics”的表格内容。
-	V1.3.2	更新章节 6.1.1“BGA128 封装”和章节 6.1.2“QFP128 封装”的封装外形。
-	V1.4	新增章节 4.0“LVDS 接口”，章节 5.0“MII 接口”，章节 6.0“PDI 描述”，章节 7.0“分布式时钟 SYNC/LATCH 信号”，章节 8.0“SII EEPROM 接口”。 变更章节 9.0“内存映射”和章节 10.0“Electrical Specifications”及章节 11.0“封装和订购信息”序号，及更改部分内容。 更改章节 1.0“介绍”和章节 2.0“描述”的内容描述。 更改章节 3.0“引脚描述”章节名称，并更改部分内容。 更新历史版本 V1.2 内容描述。
-	V1.4.1	更正章节 8.2“时序特征”内容。 变更章节 11.2“订购信息”为章节 11.3“订购信息”，并新增章节 11.2“加工”内容。

-	V1.4.2	对章节 10.2.2“Electrical Characteristics”中的参数进行更正和注释，变更如下： V_{IL} 的 conditon 由 a) 2.97≤$V_{CC\ I/O}$≤3.63V 变更为 a) 3.0V≤$V_{CC\ I/O}$≤3.6V， V_{IH} 的 conditon 由 a) 2.97≤$V_{CC\ I/O}$≤3.63V 变更为 a) 3.0V≤$V_{CC\ I/O}$≤3.6V， V_{OL} 的 conditon 由 a) 2.97≤$V_{CC\ I/O}$≤3.63V 和 b)4.5V≤$V_{CC\ I/O}$≤5.5V 变更为 3.0V≤$V_{CC\ I/O}$≤5.5V，max 由 0.4V 或 0.5V 变更为 0.5V，note 增加 I_{load}=3.5mA V_{OH} 的 conditon 由 a) 2.97≤$V_{CC\ I/O}$≤3.63V 变更为 a) 3.0V≤$V_{CC\ I/O}$≤3.6V，note 增加 I_{load}=3.5mA。 V_{OD}，ΔV_{OD}，V_{OC}，ΔV_{OC}，V_{ID}，V_{IC}，I_{IL} 新增注释说明。 去掉 I_{OH}，I_{OL}，I_{DD} 不明确项。新增 R_{MPU}，更改 R_{PU}，R_{WPU}，R_{WPD} 为 typ。 对章节 10.2.3“Timing Characteristics”中的项进行注释。 对章节 11.3“订购信息”中的 OP Temp(℃)由-40 to 125 更正为-40 to 105，并新增说明。
-	V1.4.3	对章节 3.1.1.2“引脚名称”及章节 3.1.2.2“引脚名称”的注释做出修改。 对章节 3.2.13“保留引脚”的做出修改。 更改章节 3.2.3“复位引脚”的内部上/下拉电阻内容为 MPU。
2026-03-26	V1.4.4	勘误章节 10.2.1“Power Supply”，其变动如下： $V_{CC\ Core\ Ext}$ 的 Min 由 1.8V 变更为 1.7V，Max 由 5.5V 变更为 1.98V， $V_{CC\ PLL\ Ext}$ 的 Min 由 1.8V 变更为 1.7V，Max 由 5.5V 变更为 1.98V。 修正章节“缩写目录”名称为“缩写”，并修订其内容。 修改“历史版本”为章节 12“修订记录”，增加“修订日期”一栏，并更改其在文档中的章节位置。 对章节 10.2.2“Electrical Characteristics”中的参数注释进行更改，明确参数级别，勘误参数 R_{MPU}，变更如下： 去掉 R_{MPU} 的条件 a)$V_{CC\ I/O}$=3.3V 的 Min 值 50kΩ 和 Max 值 150kΩ，增加 Typ 值 50kΩ。 去掉 R_{MPU} 的条件 b)$V_{CC\ I/O}$=5.0V 的 Min 值 100kΩ 和 Max 值 400kΩ，增加 Typ 值 50kΩ。 章节 10.2.3“Timing Characteristics”中的注释进行更改，明确参数级别。 勘误章节 10.2.5“Thermal Characteristics”，去除 θ_A。 修改章节 11.3“订购信息”中 FCE1100P2N.E 的状态为 OBSOLETE。

		修订文档格式。

附录 A 应用注意

A.1 TX SHIFT 设置

本芯片在使用时，如果基于 OSC_IN/OSC_OUT 来做时钟参考，应该按照实际情况来调节 TX_SHIFT[1:0]的值，使得 PHY 芯片能安全的采集到 TX_ENA 和 TX_D。

大多数情况下，不对 TX_SHIFT[1:0]做任何配置，也可以正常采集数据，但这样的系统并不能保证鲁棒性，因为随着电压和温度的变化，采集点可能会偏离到数据的变化沿，导致采集错误，造成通信不稳定，所以建议将采集点调节至数据最稳定的时刻，提高系统稳定性。

构成延时的示意图如下：

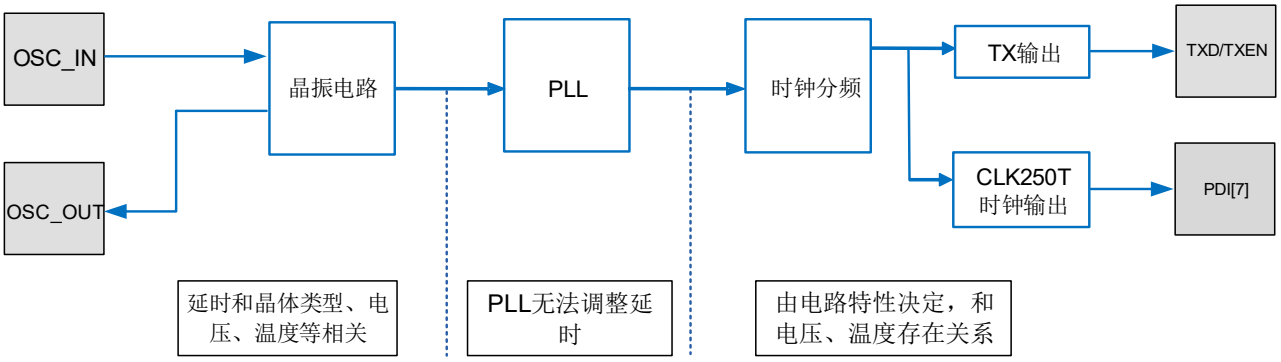


图 A-1 延时示意图

A.2 PHY 芯片选择注意事项

芯片的多个模式配置都是通过在引脚上接上拉或下拉电阻来实现的，芯片在上电时，会读取引脚上的电平，来判断是上拉还是下拉，从而配置芯片进入特定的模式，因此，如果芯片的配置引脚上除了上拉或下拉电阻，还接了其他芯片，比如 PHY 芯片，那么一定要注意 PHY 芯片内部是否有上拉或下拉电阻，如果有，那么要确保 PHY 芯片和上拉 / 下拉电阻的合电阻，依然能够满足芯片的配置要求。

比如使用下拉电阻配置 LINKPOL/MI_CLK，同时此引脚还接了 PHY 芯片的 MDC 管脚，部分 PHY 芯片的此管脚内部存在一个 15kΩ 左右的上拉电阻，这个电阻会导致下拉配置识别错误，从而无法正常识别和工作，此时可以将下拉电阻降低，让芯片能读到正确的配置信息。

A.3 关于 PHY 芯片的时钟

PHY 芯片的时钟需由 FCE1100 芯片的输出时钟提供，而不能使用振荡器提供，图中虚线所示连接是禁止的。

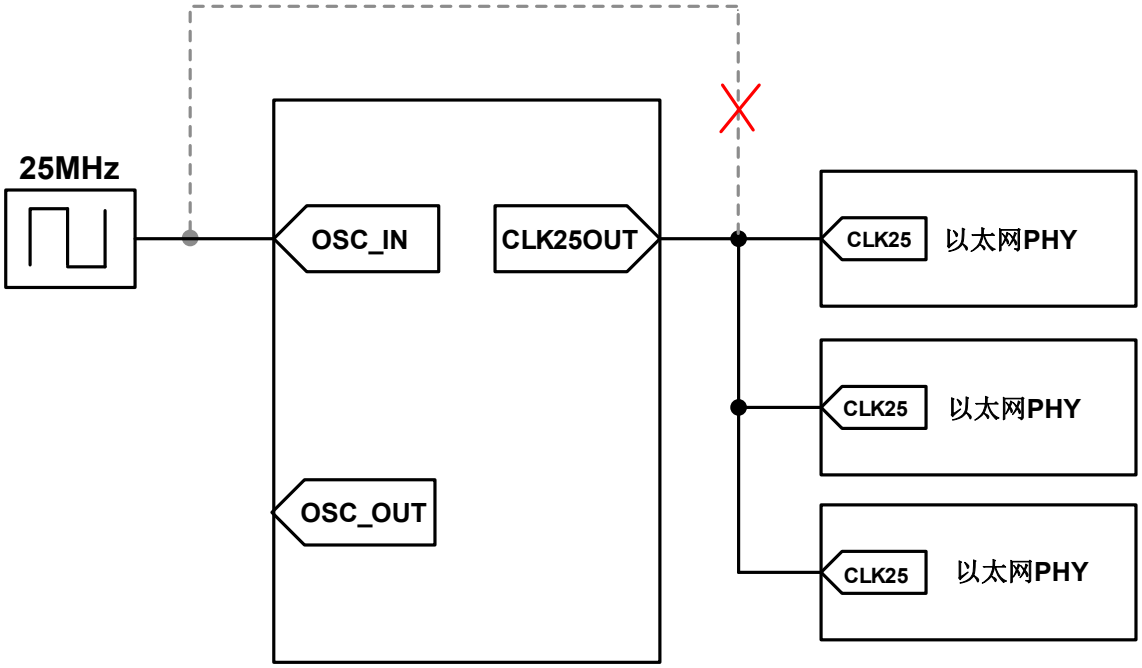


图 A-2 PHY 芯片时钟

通知与声明

方芯提供的技术和可靠性数据（包括数据表）、设计资料（包括参考设计）、设计建议、应用、工具或其他资料均为“原样的”，不保证没有任何瑕疵，同时也不提供任何保证，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权等。

这些资料可供熟练使用方芯产品进行设计的开发人员使用。您将自行承担以下责任：（1）选择合适的方芯产品；（2）设计、验证并测试您的应用方案；（3） 确保您的应用满足相应标准及其他要求，如安全、法规等等。资料如有变更方芯将不会另行通知。这些材料仅用于开发本资料所述的方芯产品的应用方案。严禁对这些资料进行复制或展示。同时并未授权您使用任何方芯及其他第三方的知识产权。

方芯提供的产品受销售合同约束。方芯提供的这些资料也不会扩展或以其他方式改变方芯针对产品发布的适用担保或担保的免责声明。方芯拒绝接受您可能提出的任何附加或者不同的条款。

地址：北京市海淀区高里掌路 1 号院 2 号楼，邮编：100095，邮箱：support@funcience.com

Copyright © 2026，北京方芯半导体有限公司